



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2012-0031367  
(43) 공개일자 2012년04월03일

(51) 국제특허분류(Int. Cl.)  
H01L 51/52 (2006.01) G09G 3/30 (2006.01)  
(21) 출원번호 10-2010-0092856  
(22) 출원일자 2010년09월24일  
심사청구일자 없음

(71) 출원인  
삼성모바일디스플레이주식회사  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(72) 발명자  
류도형  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
고춘석  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
김상수  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(74) 대리인  
리엔목특허법인

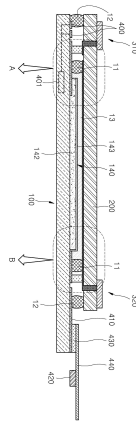
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **유기 발광 디스플레이 장치**

**(57) 요약**

전원배선과 제어신호배선 간의 커패시턴스 부하를 줄일 수 있도록 개선된 유기 발광 디스플레이 장치가 개시된다. 개선된 유기 발광 디스플레이 장치는 게이트전극과 소스드레인전극을 포함한 박막트랜지스터 및 내장 회로가 설치된 제1기판과, 제1기판과 대면하는 제2기판, 소스드레인전극과 연결된 제1전극과 그 제1전극에 대향된 제2전극 및 제1,2전극 사이에 개재된 발광층을 구비하는 유기발광소자, 소스드레인전극 및 제2전극에 전압을 인가하는 전원배선 및, 게이트전극에 전류를 공급하는 타이밍을 컨트롤하기 위한 제어신호를 내장회로에 전달하는 제어신호배선을 포함하며, 제어신호배선은 제1기판 상에서 전원배선 보다 더 외곽측에 배치된다. 이러한 구조에 의하면 제1기판 내에서 전원배선과 제어신호배선이 오버랩되지 않게 되므로, 커패시턴스 부하의 발생을 억제할 수 있고, 따라서 제어 신호 전달이 지연되는 문제를 방지할 수 있다.

**대표도** - 도1



## 특허청구의 범위

### 청구항 1

케이트전극과 소스드레인전극을 포함한 박막트랜지스터 및 상기 박막트랜지스터를 구동하는 내장회로가 설치된 제1기판;

상기 제1기판과 대면하는 제2기판;

상기 소스드레인전극과 연결된 제1전극과 그 제1전극에 대향된 제2전극 및 상기 제1,2전극 사이에 개재된 발광층을 구비하는 유기발광소자;

상기 소스드레인전극 및 상기 제2전극에 전압을 인가하는 전원배선; 및,

상기 케이트전극에 전류를 공급하는 타이밍을 컨트롤하기 위한 제어신호를 상기 내장회로에 전달하는 제어신호배선;을 포함하며,

상기 제어신호배선은 상기 제1기판 상에서 상기 전원배선 보다 더 외곽측에 배치된 유기 발광 디스플레이 장치.

### 청구항 2

제 1 항에 있어서,

상기 전원배선은 상기 소스드레인전극과 연결된 제1전원배선과, 상기 제2전극에 연결된 제2전원배선을 포함하는 유기 발광 디스플레이 장치.

### 청구항 3

제 2 항에 있어서,

상기 제1전원배선은 상기 제2기판의 상기 제1기판과 대향되는 면의 반대면에 설치되는 제1전원입력부와, 상기 제1전원입력부에 연결되며 상기 제2기판을 관통하여 배치된 제1관통부와, 상기 제1관통부에 연결되어 상기 제1기판과 제2기판 사이에 개재된 제1쇼트부 및, 상기 제1쇼트부와 상기 소스드레인전극을 연결하도록 상기 제1기판에 설치된 제1연결부를 포함하는 유기 발광 디스플레이 장치.

### 청구항 4

제 3 항에 있어서,

상기 제1기판과 제2기판 사이에 상기 유기발광소자를 둘러싸는 제1실링부 및 상기 제1실링부 외곽을 둘러싸는 제2실링부가 설치되며, 상기 제1실링부와 상기 제2실링부 사이에 상기 제1쇼트부가 배치된 유기 발광 디스플레이 장치.

### 청구항 5

제 2 항에 있어서,

상기 제2전원배선은 상기 제2기판의 상기 제1기판과 대향되는 면의 반대면에 설치되는 제2전원입력부와, 상기 제2전원입력부에 연결되며 상기 제2기판을 관통하여 배치된 제2관통부와, 상기 제2관통부에 연결되어 상기 제1,2기판 사이에 개재된 제2쇼트부 및, 상기 제2쇼트부와 상기 제2전극을 연결하도록 상기 제1기판에 설치된 제2연결부를 포함하는 유기 발광 디스플레이 장치.

### 청구항 6

제 5 항에 있어서,

상기 제1기판과 제2기판 사이에 상기 유기발광소자를 둘러싸는 제1실링부 및 상기 제1실링부 외곽을 둘러싸는 제2실링부가 설치되며, 상기 제1실링부와 상기 제2실링부 사이에 상기 제2쇼트부가 배치된 유기 발광 디스플레이 장치.

**청구항 7**

제 5 항에 있어서,

상기 제2전원배선은 상기 제2관통부에서 연장되어 상기 제2기판의 상기 제1기판과의 대향면을 덮어주는 인캡부를 더 포함하는 유기 발광 디스플레이 장치.

**청구항 8**

제 2 항에 있어서,

상기 제2기판은 카본 플레이트 재질인 유기 발광 디스플레이 장치.

**청구항 9**

제 1 항에 있어서,

상기 제어신호배선을 통해 상기 내장회로로 상기 제어신호를 보내는 구동회로부와, 상기 구동회로부와 상기 제어신호배선을 연결하기 위한 접속패드가 더 구비되며,

상기 접속패드는 상기 제1기판 상의 상기 전압배선의 외곽측에 배치되는 유기 발광 디스플레이 장치.

**청구항 10**

제 9 항에 있어서,

상기 구동회로부는 이방성도전필름을 개재하여 상기 접속패드에 연결되는 유기 발광 디스플레이 장치.

**명세서**

**기술분야**

[0001] 본 발명은 유기 발광 디스플레이 장치에 관한 것으로서, 더 상세하게는 전원배선과 제어신호배선 간의 배치 구조가 개선된 유기 발광 디스플레이 장치에 관한 것이다.

**배경기술**

[0002] 일반적으로 유기 발광 디스플레이 장치는 박막트랜지스터 및 유기발광소자를 구비하여, 유기발광소자가 박막트랜지스터로부터 적절한 구동 신호를 인가 받아서 발광하며 원하는 화상을 구현하는 구조로 이루어져 있다.

[0003] 여기서 상기 박막트랜지스터는 게이트전극과 활성층 및 소스드레인전극 등이 기판 상에 적층된 구조로 이루어진다. 따라서, 기판에 내장된 회로를 통해 게이트전극에 전류가 공급되면, 상기 활성층을 경유하여 소스드레인전극에 전류가 흐르게 되고, 동시에 이 소스드레인전극과 연결된 유기발광소자의 화소전극에 전류가 흐르게 된다.

[0004] 그리고, 상기 유기발광소자는 상기 화소전극과, 그와 대면하는 대향전극 및 두 전극 사이에 개재된 발광층을 구비한다. 이와 같은 구조에서 상기한 대로 박막트랜지스터를 통해 화소전극에 전류가 흐르게 되면, 상기 대향전극과 화소전극 사이에 적정 전압이 형성되고, 이에 따라 상기 발광층에서 발광이 일어나면서 화상이 구현된다.

[0005] 따라서, 유기 발광 디스플레이 장치에는 상기 소스드레인전극과 대향전극에 전압을 걸어주기 위한 전원배선과, 박막트랜지스터의 게이트전극에 전류를 공급할 때 제어 타이밍을 컨트롤하기 위한 전기신호를 전달하는 제어신호배선 등이 구비되어 있다.

[0006] 그런데, 이 전원배선과 제어신호배선은 모두 전류가 흐르게 되는 배선들이므로, 이들이 아주 근접한 간격을 두고 오버랩되면 부분적인 커패시턴스 부하(capacitance load)가 생겨서 정확한 신호 전달을 방해할 수 있다. 즉, 오버랩된 배선들 사이에 커패시턴스가 발생하여 제어신호의 전달을 지연시킬 수가 있고, 이렇게 되면 제어 타이밍이 정확히 맞지 않게 되는 문제가 생길 수 있다.

[0007] 기존에는 이러한 배선들이 상기 박막트랜지스터가 내장되는 기판에 다 배치되기 때문에, 배선간의 간격

이 수  $\mu\text{m}$  정도로 좁아질 수밖에 없어서, 배선들이 오버랩될 경우 상기와 같은 커패시턴스 부하에 의한 제어신호 전달의 지연 현상이 심해진다. 이를 해결하기 위해 최근에는 제어신호배선의 입력 포인트를 패널 상의 여러 지점에 배치하여 전원배선과의 오버랩을 줄이는 방법이 제안된 바 있다. 그러나, 이렇게 되면 구조가 너무 복잡해지는 문제가 생긴다.

[0008] 따라서, 구조를 너무 복잡하게 만들지 않으면서도 보다 정밀한 발광 제어를 보장하기 위해서는 이 전원 배선과 제어신호배선이 오버랩되는 영역을 효과적으로 줄일 수 있는 방안이 필요하다.

**발명의 내용**

**해결하려는 과제**

[0009] 본 발명의 실시예는 전원배선과 제어신호배선 간의 오버랩되는 영역을 줄여서 커패시턴스 부하를 줄일 수 있도록 개선된 유기 발광 디스플레이 장치를 제공한다.

**과제의 해결 수단**

[0010] 본 발명의 실시예에 따른 유기 발광 디스플레이 장치는, 게이트전극과 소스드레인전극을 포함한 박막트랜지스터 및 상기 박막트랜지스터를 구동하는 내장회로가 설치된 제1기판; 상기 제1기판과 대면하는 제2기판; 상기 소스드레인전극과 연결된 제1전극과 그 제1전극에 대향된 제2전극 및 상기 제1,2전극 사이에 개재된 발광층을 구비하는 유기발광소자; 상기 소스드레인전극 및 상기 제2전극에 전압을 인가하는 전원배선; 및, 상기 게이트전극에 전류를 공급하는 타이밍을 컨트롤하기 위한 제어신호를 상기 내장회로에 전달하는 제어신호배선;을 포함하며, 상기 제어신호배선은 상기 제1기판 상에서 상기 전원배선 보다 더 외곽측에 배치된다.

[0011] 여기서, 상기 전원배선은 상기 소스드레인전극과 연결된 제1전원배선과, 상기 제2전극에 연결된 제2전원배선을 포함할 수 있다.

[0012] 상기 제1전원배선은 상기 제2기판의 상기 제1기판과 대향되는 면의 반대면에 설치되는 제1전원입력부와, 상기 제1전원입력부에 연결되며 상기 제2기판을 관통하여 배치된 제1관통부와, 상기 제1관통부에 연결되어 상기 제1기판과 제2기판 사이에 개재된 제1쇼트부 및, 상기 제1쇼트부와 상기 소스드레인전극을 연결하도록 상기 제1기판에 설치된 제1연결부를 포함할 수 있다.

[0013] 상기 제1기판과 제2기판 사이에 상기 유기발광소자를 둘러싸는 제1실링부 및 상기 제1실링부 외곽을 둘러싸는 제2실링부가 설치될 수 있으며, 상기 제1실링부와 상기 제2실링부 사이에 상기 제1쇼트부가 배치될 수 있다.

[0014] 상기 제2전원배선은 상기 제2기판의 상기 제1기판과 대향되는 면의 반대면에 설치되는 제2전원입력부와, 상기 제2전원입력부에 연결되며 상기 제2기판을 관통하여 배치된 제2관통부와, 상기 제2관통부에 연결되어 상기 제1,2기판 사이에 개재된 제2쇼트부 및, 상기 제2쇼트부와 상기 제2전극을 연결하도록 상기 제1기판에 설치된 제2연결부를 포함할 수 있다.

[0015] 상기 제1기판과 제2기판 사이에 상기 유기발광소자를 둘러싸는 제1실링부 및 상기 제1실링부 외곽을 둘러싸는 제2실링부가 설치될 수 있으며, 상기 제1실링부와 상기 제2실링부 사이에 상기 제2쇼트부가 배치될 수 있다.

[0016] 상기 제2전원배선은 상기 제2관통부에서 연장되어 상기 제2기판의 상기 제1기판과의 대향면을 덮어주는 인캡부를 더 포함할 수 있다.

[0017] 상기 제2기판은 카본 플레이트 재질일 수 있다.

[0018] 상기 제어신호배선을 통해 상기 내장회로로 상기 제어신호를 보내는 구동회로부와, 상기 구동회로부와 상기 제어신호배선을 연결하기 위한 접속패드가 더 구비될 수 있으며, 상기 접속패드는 상기 제1기판 상의 상기 전압배선의 외곽측에 배치될 수 있다.

[0019] 상기 구동회로부는 이방성도전필름을 개재하여 상기 접속패드에 연결될 수 있다.

**발명의 효과**

[0020] 상기한 바와 같은 본 발명의 유기 발광 디스플레이 장치에 의하면 전원배선과 제어신호배선 간의 오버랩 영역이 대폭 감소하기 때문에, 배선들 간의 커패시턴스 부하에 의한 제어 타이밍 지연 현상을 해소할 수 있다.

**도면의 간단한 설명**

[0021] 도 1은 본 발명의 실시예에 따른 유기 발광 디스플레이 장치를 도시한 단면도이다.  
 도 2는 도 1에 도시된 유기 발광 디스플레이 장치에서 박막트랜지스터와 유기발광소자를 도시한 단면도이다.  
 도 3은 도 1의 A부위를 확대한 단면도이다.  
 도 4는 도 1의 B부위를 확대한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0022] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

[0023] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.

[0024] 도 1에 도시된 바와 같이 본 실시예의 유기 발광 표시 장치는 박막트랜지스터(130;도 2 참조) 및 그 박막트랜지스터(130)를 구동하기 위한 내장회로(401)가 설치된 제1기판(100)과, 그 제1기판(100)에 대면하는 제2기판(200), 그리고 제1,2기판(100)(200) 사이에 개재된 유기발광소자(140) 등을 구비하고 있다. 참조부호 13은 흡습층전재를 나타낸다.

[0025] 이 중에서 먼저, 상기 박막트랜지스터(130)와 유기발광소자(140)의 구조를 도 2를 참조하여 간략히 설명한다. 참고로 도 2는 유기 발광 표시 장치 중에서 한 화소 부위를 도시한 것이고, 이러한 화소는 다수 개 존재한다. 그리고, 도 2에 예시된 구조는 박막트랜지스터(130)와 유기발광소자(140)의 적층 구조의 한 예일 뿐이고, 다양한 변형이 가능함을 미리 언급해둔다.

[0026] 우선 상기 유기발광소자(140)는 박막트랜지스터(130)와 전기적으로 연결되어 발광이 일어나는 곳으로, 각 화소마다 구비된 화소전극(141; 이하 제1전극이라 함)과, 공통전극인 대향전극(143; 이하 제2전극이라 함), 그리고 두 전극(141)(143) 사이에 개재된 발광층(142)을 구비한다. 따라서, 박막트랜지스터(130)로부터 제1전극(141)에 전압이 인가되어 상기 제2전극(143)과의 사이에 적절한 전압 조건이 형성되면 발광층(142)에서 발광이 일어나게 된다.

[0027] 상기 제1전극(141)과 제2전극(143) 사이에 개재된 발광층(142)은 정공 주입수송층, 발광층, 전자 주입수송층 등이 모두 또는 선택적으로 적층되어 구비될 수 있다. 다만, 발광층은 필수적으로 구비한다.

[0028] 도면으로 도시하지는 않았지만 상기 제2전극(143) 위로는 보호층이 더 형성될 수 있다.

[0029] 다음으로 상기 박막트랜지스터(130)는, 글라스판(110) 상에 형성된 게이트전극(131)과, 이 게이트전극(131)을 덮는 제1절연층(132)과, 제1절연층(132) 상에 형성된 활성층(133)과, 활성층(133)을 덮도록 제1절연층(132) 상에 형성된 제2절연층(134)과, 제2절연층(134)의 개구(134a)를 통해 활성층(133)과 연결되는 소스드레인 전극(135a)(135b)을 포함한다.

[0030] 글라스판(110) 상에는 평탄도를 개선하기 위해 실리콘 옥사이드 등의 무기물로 버퍼층(120)을 형성할 수 있다.

[0031] 이러한 글라스판(110) 상에 형성된 게이트전극(131)은 도전성 금속으로 단층 혹은 복수층으로 형성될 수 있다. 상기 게이트전극(131)은 폴리브덴을 포함할 수 있다.

[0032] 제1절연층(132)은 실리콘 옥사이드, 탄탈륨 옥사이드, 또는 알루미늄 옥사이드 등으로 형성될 수 있는데, 반드시 이에 한정되는 것은 아니다.

- [0033] 제1절연층(132) 상에는 패터닝된 활성층(133)이 형성된다. 상기 활성층(133)은 결정화 공정이 필요없고 비정질 상태라서 균일도가 좋은 산화물 반도체로 형성될 수 있는데, 예를 들면 G-I-Z-O층 [a(In<sub>2</sub>O<sub>3</sub>)b(Ga<sub>2</sub>O<sub>3</sub>)c(ZnO)층](a, b, c는 각각 a≥0, b≥0, c>0의 조건을 만족시키는 실수)일 수 있다. 물론 반드시 이에 한정되는 것은 아니다.
- [0034] 이어서, 활성층(133)을 덮도록 제2절연층(134)이 형성되며, 이 제2절연층(134)도 실리콘 옥사이드, 탄탈륨 옥사이드, 또는 알루미늄 옥사이드 등으로 형성될 수 있는데, 반드시 이에 한정되는 것은 아니다.
- [0035] 제2절연층(134) 상에는 도전성 금속인 소스드레인전극(135a)(135b)이 상기 활성층(133)과 콘택되도록 형성된다.
- [0036] 그리고, 상기 제2절연층(134) 상에는 이 소스드레인전극(135a)(135b)을 덮도록 패시베이션층(150)이 형성되고, 이 패시베이션층(150) 상에는 소스드레인전극(135a)(135b) 중 드레인전극(135b)과 콘택된 상기 유기발광소자(140)의 제1전극(141)이 형성된다.
- [0037] 또한, 상기 패시베이션층(150) 상에는 상기 제1전극(141)의 일부를 노출시키는 화소정의막(151)이 형성되고, 화소정의막(151)으로 노출된 제1전극(141) 상부로 발광층(142) 및 제2전극(143)이 형성된다.
- [0038] 본 실시예에서, 상기 제1기판(100)은 상기 글라스판(110)에서부터 제1전극(141)과 화소정의막(151)까지가 되고, 그 위에 상기 유기발광소자(140)의 발광층(142)과 제2전극(143)이 형성된다. 즉, 제1기판(100)에 박막트랜지스터(130)와 제1전극(141) 및 박막트랜지스터(130)를 구동하기 위한 내장회로(401) 등이 내장되고, 그 위에 발광층(142)과 제2전극(143)이 위치하게 되며, 제2기판(200)은 봉지기판으로서 유기발광소자(140)를 덮어 주게 되는 것이다.
- [0039] 따라서, 내장회로(401)의 구동에 의해 게이트전극(131)에 전류가 인가되면, 상기 활성층(133)이 통전이 가능한 상태로 변하게 되며, 이에 따라 상기 소스드레인전극(135a)(135b)의 소스전극(135a)에 인가되던 전류가 활성층(133)을 통해 드레인전극(135b)과 제1전극(141)으로 흐르게 된다. 그러면, 상기 제2전극(143)에는 이하에 설명될 제2전원배선(320)을 통해 항상 적정 전압이 인가되고 있으므로 제1,2전극(141)(143) 사이에 적정한 전압이 형성되고, 이에 따라 발광층(142)에서 발광이 일어나게 된다.
- [0040] 그러므로, 이러한 작동을 위해서는 상기 소스드레인전극(135a)(135b)을 통해 제1전극(141)에 전압을 인가하는 제1전원배선(310)과, 상기 제2전극(143)에 전압을 인가하는 제2전원배선(320)이 필요하게 되며, 또한 상기 내장회로(401)에서 게이트전극(131)에 전류를 인가하는 제어 타이밍을 맞추기 위한 클락(clock)신호를 그 내장회로(401)에 보내주기 위한 제어신호배선(400)이 필요하다.
- [0041] 그런데, 이 배선들(310,320,400)이 같은 제1기판(100) 내의 근접한 거리 내에서 오버랩되면 전술한 바와 같이 커패시턴스 부하가 생겨서 제어신호 전달의 지연 현상이 심해질 수 있으므로, 본 실시예에서는 이러한 문제를 해결하기 위해 배선들(310,320,400)의 배치 구조를 아래와 같이 구성한다.
- [0042] 먼저, 도 1에 도시된 바와 같이 상기 제어신호배선(400)은 제1기판(100)의 외곽 측에 배치된다. 이것은 이하에 설명될 제1,2전원배선(310)(320)과 제1기판(100) 내에서 오버랩되는 영역을 줄이기 위한 조치이다. 즉, 제어신호배선(400)을 제1기판(100)의 외곽 측으로 배치하고 제1,2전원배선(310)(320)은 그 안쪽으로 배치함으로써, 제1기판(100) 내에서 제1,2전원배선(310)이 지나가는 경로에 제어신호배선(400)이 겹쳐 있지 않도록 한 것이다. 참조부호 420은 상기 제어신호배선(400)을 통해 내장회로(401)로 제어신호를 보내는 구동회로부를 나타내며, 참조부호 410은 상기 구동회로부(420)와 제어신호배선(400)을 연결하기 위한 접속패드를 나타낸다. 이 접속패드(410) 역시 제1기판(100)의 외곽에 배치되며 제1기판(100)의 외곽을 돌아서 제어신호배선(400)과 연결된다. 즉, 접속패드(410)와 제어신호배선(400)의 연결도 제1,2전원배선(310)(320)과는 겹치지 않도록 제1기판(100)의 외곽을 돌아가게 구성된다. 참조부호 440은 구동회로부(420)가 탑재되는 연성회로기판을, 참조부호 430은 그 연성회로기판(440)과 접속패드(410)를 연결하는 이방성도전필름(anisotropic conductive film; ACF)을 각각 나타낸다.
- [0043] 다음으로, 도 1 및 도 3을 참조하여 상기 제1,2전원배선(310)(320) 중 제1전원배선(310)의 구조를 먼저 설명한다.
- [0044] 상기 제1전원배선(310)은 유기발광소자(140)의 제1전극(141)에 전압을 인가할 수 있도록 상기 소스드레인전극(135a)(135b) 중 소스전극(135a)에 연결되는 배선으로서, Cu, Al, ITO, Ag 같은 도전성 재질로 형성된다. 이 제1전원배선(310)은 제1기판(100) 위에만 형성된 것이 아니라, 제2기판(200)에서부터 제1기판(100)까지 이어

지도록 형성되어 있다. 즉, 제어신호배선(400)이 있는 부분은 제2기판(200) 위에 제1전원배선(310)을 형성함으로써 같은 제1기판(100) 내에서는 배선들이 서로 오버랩되지 않도록 한 것이다.

[0045] 이러한 제1전원배선(310)은 상기 제2기판(200)의 상면 즉, 제1기판(100)과 대향하는 면의 반대면에 배치된 제1전원입력부(311)와, 제2기판(200)을 관통하여 배치된 제1관통부(312), 상기 제1,2기판(100)(200) 사이에 개재된 제1쇼트부(313) 및, 소스드레인전극(135a)(135b)에 연결되는 제1연결부(314)가 차례로 연결된 구조를 가지고 있다. 즉, 제2기판(200)에서 시작하여 제어신호배선(400)을 피해서 제1기판(100)으로 이어지도록 배선이 형성된 것이다. 참조부호 135는 소스드레인전극(135a)(135b)으로 이어지는 소스드레인접속부를 나타낸다. 이렇게 되면 제1기판(100) 내에서는 제어신호배선(400)과 제1전원배선(310)이 오버랩되지 않게 되므로, 커패시턴스 부하가 생기지 않게 되어 신호 전달 지연과 같은 문제가 사라지게 된다. 한편, 도 1에서 제1전원입력부(311)가 제어신호배선(400)과 오버랩된 것처럼 보이지만, 이들은 제1,2기판(100)(200) 사이의 갭과 제2기판(200)의 두께를 합친 만큼 간격을 두고 떨어져 있기 때문에, 커패시턴스 부하는 사실 상 발생하지 않는다. 즉, 커패시턴스 부하는 같은 제1기판(100) 내에서 수  $\mu\text{m}$  이내의 간격을 두고 배선들이 오버랩될 때 발생하는 것이고, 여기서의 제1전원입력부(311)와 제어신호배선(400) 사이에는 수 mm 이상의 간격이 있기 때문에 커패시턴스 부하는 생기지 않는다.

[0046] 따라서, 제어신호배선(400)과 제1전원배선(310) 간의 근접 오버랩을 없애는 배치 구조가 되며, 이에 따라 커패시턴스 부하를 해소하여 제어 타이밍의 신호 전달 지연과 같은 문제를 방지할 수 있게 된다.

[0047] 여기서, 상기 제2기판(200)은 상기 제1관통부(312)와 이하에 설명될 제2관통부(322)를 쉽게 형성할 수 있도록 글라스 재질보다는 카본플레이트 재질로 형성하는 것이 바람직하다. 이 카본플레이트는 예컨대 수지 매트릭스에 복수의 탄소 섬유를 함침한 구조로 이루어질 수 있으며, 다음과 같은 특성을 갖추고 있다.

[0048] 우선, 탄소 섬유는 글라스 재질보다 낮은 열팽창계수를 가지며, 수지 매트릭스는 글라스 재질보다 높은 열팽창계수를 갖는다. 특히 탄소 섬유의 길이 방향 열팽창계수는 마이너스 값을 갖는다. 따라서, 탄소 섬유의 양과 수지 매트릭스의 양의 비율을 조절하면 제2기판(200)의 열팽창 계수를 원하는 수준으로 조절할 수 있다.

[0049] 또한, 탄소 섬유는 수분을 흡수하지 않기 때문에 방습 능력이 뛰어나다.

[0050] 그리고, 탄소 섬유의 기계적 물성이 우수하므로 작은 두께로도 큰 기계적 강성을 구현할 수 있다. 따라서, 유기 발광 디스플레이 장치의 전체 두께를 줄이는 데 유리하며, 두께가 얇은 만큼 상기와 같이 제1,2관통부(312,322)도 쉽게 형성할 수 있다.

[0051] 상기 복수의 탄소 섬유들은 서로 평행하게 배치될 수도 있고 다양한 각도로 서로 교차하게 배치될 수도 있다.

[0052] 또한, 제2기판(200)을 상기한 카본 플레이트 복수개가 다층으로 적층된 구조로 구성할 수도 있다. 이 때 각 층의 탄소 섬유들의 배열 방향을 서로 같게 할 수도 있고, 다양한 각도로 서로 교차하게 배치할 수도 있다. 예를 들면 제2기판(200)을 카본 플레이트 4매의 적층체로 구성할 경우, 제1,4층의 탄소 섬유는 제1방향으로 배열하고, 제2,3층의 탄소 섬유는 제1방향과 다른 제2방향으로 배열할 수 있다. 이와 같이 탄소 섬유의 배열 방향을 다르게 하면 제2기판(200)의 평탄도를 향상시키는데 도움이 된다.

[0053] 이와 같은 카본 플레이트를 이용하여 제2기판(200)을 구성할 수 있다.

[0054] 참조부호 11와 12는 제1쇼트부(313)를 사이에 두고 유기발광소자(140)를 이중으로 둘러싸는 제1실링부와 제2실링부를 각각 나타낸다.

[0055] 다음으로 도 1 및 도 4를 참조하면, 제2전원배선(320)도 이와 같은 구조로 이루어져 있다.

[0056] 상기 제2전원배선(320)은 유기발광소자(140)의 제2전극(143)에 연결되는 배선으로서, Cu, Al, ITO, Ag 같은 도전성 재질로 형성된다. 이 제2전원배선(320)은 제2기판(200)의 상면, 즉 제1기판(100)과 대향되는 면의 반대면에 설치되는 제2전원입력부(321)와, 제2기판(200)을 관통하여 배치된 제2관통부(322), 상기 제1,2기판(100)(200) 사이에 개재된 제2쇼트부(323) 및, 상기 제2전극(143)에 연결된 제2연결부(324a,324b,324c)가 차례로 연결된 구조로 이루어져 있다. 즉, 제2기판(200)에서 시작하여 제어신호배선(400)의 접속패드(410)를 피해서 제1기판(100)으로 이어지도록 배선이 형성된 것이다. 이렇게 되면 제1기판(100) 내에서는 제어신호배선(400)과 제2전원배선(320)이 오버랩되지 않게 되므로, 커패시턴스 부하가 생기지 않게 되어 신호 전달 지연과 같은 문제가 사라지게 된다. 여기서, 제2쇼트부(323)도 제1쇼트부(313)와 마찬가지로 제1실링부(11)와 제2실링

부(12) 사이에 배치된다.

[0057] 따라서, 제어신호배선(400)과 제2전원배선(320) 간의 근접 오버랩을 없애는 배치 구조가 되며, 이에 따라 커패시턴스 부하를 해소하여 제어 타이밍의 신호 전달 지연과 같은 문제를 방지할 수 있게 된다.

[0058] 한편, 상기 제2전원배선(320)에는 상기 제2관통부(322)에서 연장된 인캡부(325)가 더 구비되는데, 이 인캡부(325)는 제2기판(200)의 제1기판(100)과의 대향면을 덮어주는 금속봉지층의 역할을 한다.

[0059] 이상에서 설명한 바와 같이, 본 실시예의 유기 발광 디스플레이 장치는 제1기판(100) 내에서 제1,2전원 배선(310)(320)과 제어신호배선(400)이 오버랩되지 않도록 배선 구조가 개선되어 있으므로, 커패시턴스 부하의 발생을 억제할 수 있고, 따라서 제어 신호 전달이 지연되는 문제를 방지할 수 있다.

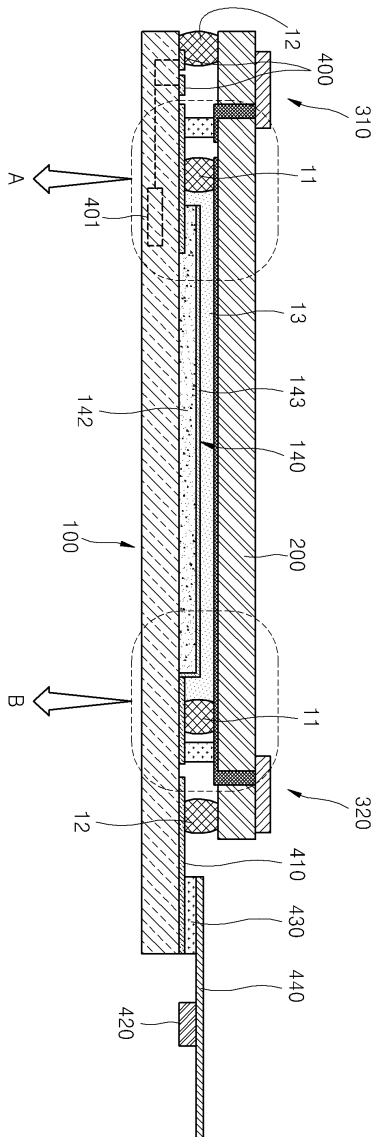
[0060] 본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

**부호의 설명**

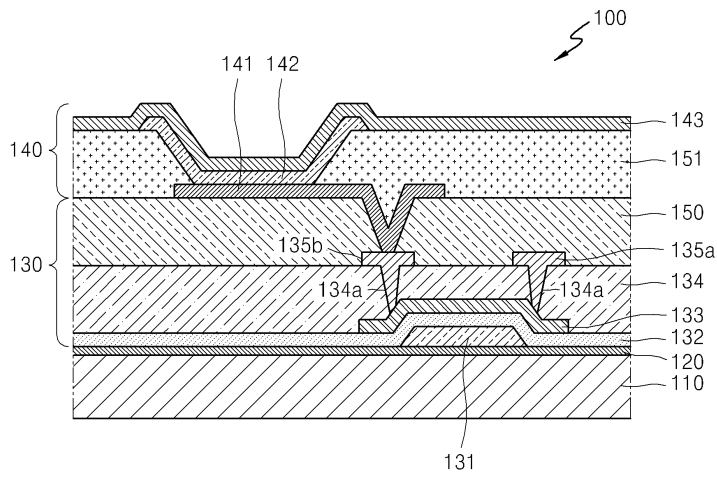
- |        |                       |                            |
|--------|-----------------------|----------------------------|
| [0061] | 11... 제1실링부           | 12... 제2실링부                |
|        | 100... 제1기판           | 110... 글라스판                |
|        | 120... 버퍼층            | 130... 박막트랜지스터             |
|        | 131... 게이트전극          | 132... 제1절연층               |
|        | 133... 활성층            | 134... 제2절연층               |
|        | 135a, b... 소스드레인전극    | 135... 소스드레인접속부            |
|        | 140... 유기발광소자         | 141... 제1전극(화소전극)          |
|        | 142... 발광층            | 143... 제2전극(대향전극)          |
|        | 150... 패시베이션층         | 151... 화소정의막               |
|        | 200... 제2기판           | 310, 320... 제1,2전원배선       |
|        | 311, 321... 제1,2전원입력부 | 312, 322... 제1,2관통부        |
|        | 313, 323... 제1,2쇼트부   | 314, 324a, b, c... 제1,2연결부 |
|        | 400... 제어신호배선         | 401... 내장회로                |
|        | 410... 접속패드           | 420... 구동회로부               |
|        | 430... 이방성도전필름        | 440... 연성회로기판              |

도면

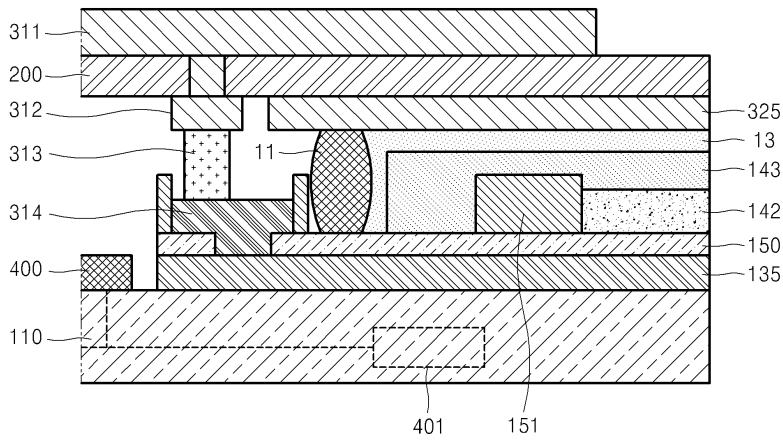
도면1



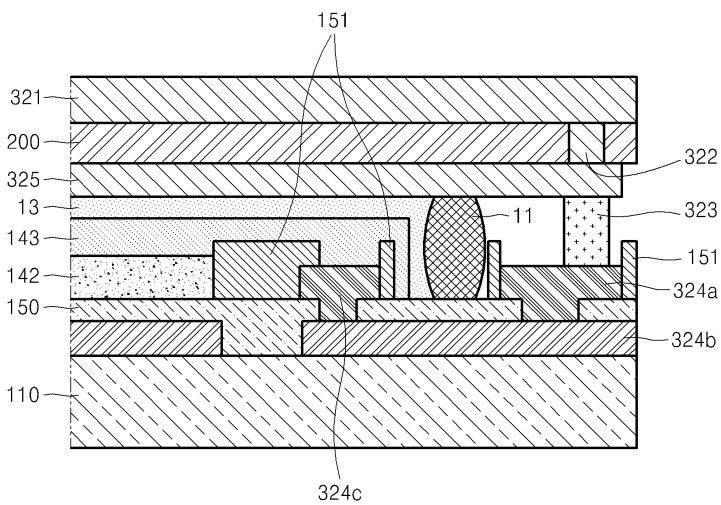
도면2



도면3



도면4



专利名称(译)	标题 : OLED显示器设备		
公开(公告)号	<a href="#">KR1020120031367A</a>	公开(公告)日	2012-04-03
申请号	KR1020100092856	申请日	2010-09-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	RYU DO HYUNG 류도형 KO CHUN SEOK 고춘석 KIM SANG SOO 김상수		
发明人	류도형 고춘석 김상수		
IPC分类号	H01L51/52 G09G3/30		
CPC分类号	H01L27/3276 H01L51/5246 H01L27/3286 G09G3/3233		
其他公开文献	KR101769586B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

目的：提供一种有机电致发光显示装置，通过大幅减少控制信号线和电源线之间的重叠区域来解决由于线之间的电容负载引起的控制定时延迟。组成：用于驱动的内置电路（401）薄膜晶体管安装在第一基板（100）中。有机发光装置（140）放置在第一基板和第二基板（200）之间。有机发光装置包括像素电极，相对电极（143）和发光层（142）。在发光层上形成用于改善平面性的缓冲层。控制信号线（400）布置在第一基板的外侧。电源线将电压施加到源 - 漏电极和第二电极。第一电极电连接到源 - 漏电极。COPYRIGHT KIPO 2012

