



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0016783
(43) 공개일자 2012년02월27일

(51) Int. Cl.

H01L 51/52 (2006.01) H01L 51/56 (2006.01)

(21) 출원번호 10-2010-0079229

(22) 출원일자 2010년08월17일

심사청구일자 없음

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

오재환

경기도 용인시 기흥구 삼성2로 95 (농서동)

진성현

경기도 용인시 기흥구 삼성2로 95 (농서동)

(뒷면에 계속)

(74) 대리인

리엔목특허법인

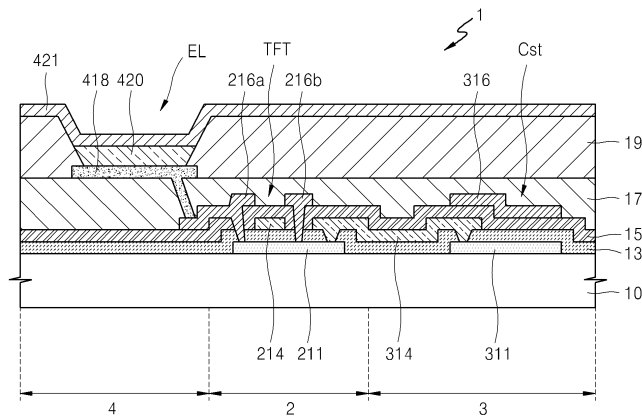
전체 청구항 수 : 총 20 항

(54) 유기 발광 디스플레이 장치 및 그 제조 방법

(57) 요약

결정화에 사용되는 레이저의 효율이 향상되는 동시에 유지비가 절감된 유기 발광 디스플레이 장치 및 그 제조 방법을 제공하기 위하여, 본 발명은 활성층, 게이트 전극 및 소스/드레인 전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기 발광 소자; 상기 활성층과 동일층에 형성된 커패시터 제1 전극 및 제1 절연층을 사이에 두고 상기 커패시터 제1 전극과 마주보도록 형성된 커패시터 제2 전극을 포함하는 스토리지 커패시터; 및 상기 활성층과 상기 커패시터 제1 전극을 전기적으로 연결하는 연결 전극을 포함하는 유기 발광 디스플레이 장치를 제공한다.

대표도 - 도7



(72) 발명자

장영진

경기도 용인시 기흥구 삼성2로 95 (농서동)

이원규

경기도 용인시 기흥구 삼성2로 95 (농서동)

최재범

경기도 용인시 기흥구 삼성2로 95 (농서동)

박철호

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

활성층, 게이트 전극 및 소스/드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기 발광 소자;

상기 활성층과 동일층에 형성된 커패시터 제1 전극 및 제1 절연층을 사이에 두고 상기 커패시터 제1 전극과 마주보도록 형성된 커패시터 제2 전극을 포함하는 스토리지 커패시터; 및

상기 활성층과 상기 커패시터 제1 전극을 전기적으로 연결하는 연결 전극을 포함하는 유기 발광 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 활성층은 다결정질 실리콘으로 형성되고, 상기 커패시터 제1 전극은 비정질 실리콘으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 3

제 1 항에 있어서,

상기 연결 전극은 상기 게이트 전극과 동일층에 동일 물질로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 4

제 3 항에 있어서,

상기 제1 절연층은 상기 활성층과 상기 커패시터 제1 전극을 덮도록 형성되고, 상기 제1 절연층에서 상기 활성층 및 상기 커패시터 제1 전극과 대응되는 각 영역에 소정의 컨택 홀들이 형성되며, 상기 컨택 홀들을 통해 상기 연결 전극이 상기 활성층과 상기 커패시터 제1 전극을 전기적으로 연결하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 5

제 1 항에 있어서,

상기 연결 전극은 상기 소스/드레인 전극과 동일층에 동일 물질로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 6

제 5 항에 있어서,

제2 절연층을 더 포함하고,

상기 제1 절연층 및 상기 제2 절연층은 상기 활성층과 상기 커패시터 제1 전극을 덮도록 형성되고, 상기 제1 절연층 및 상기 제2 절연층에서 상기 활성층 및 상기 커패시터 제1 전극과 대응되는 각 영역에 소정의 컨택 홀들이 형성되며, 상기 컨택 홀들을 통해 상기 연결 전극이 상기 활성층과 상기 커패시터 제1 전극을 전기적으로 연결하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 7

기관상에 형성된 활성층 및 상기 활성층과 동일층에 소정 간격 이격되어 형성된 커패시터 제1 전극;

상기 활성층 및 상기 커패시터 제1 전극을 덮도록 형성된 제1 절연층;

상기 제1 절연층 상에 형성된 게이트 전극 및 상기 게이트 전극과 동일층에 동일 물질로 소정 간격 이격되어 상기 활성층 및 상기 커패시터 제1 전극을 전기적으로 연결하는 연결 전극;

상기 게이트 전극 및 상기 연결 전극을 덮도록 형성된 제2 절연층;

상기 제2 절연층 상에 형성된 소스/드레인 전극 및 상기 소스/드레인 전극과 동일층에 동일 물질로 소정 간격 이격되어 형성된 커패시터 제2 전극; 및

상기 소스/드레인 전극과 전기적으로 연결되는 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기 발광 소자;를 포함하는 유기 발광 디스플레이 장치.

청구항 8

제 7 항에 있어서,

상기 활성층은 다결정질 실리콘으로 형성되고, 상기 커패시터 제1 전극은 비정질 실리콘으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 9

기관상에 형성된 활성층 및 상기 활성층과 동일층에 소정 간격 이격되어 형성된 커패시터 제1 전극;

상기 활성층 및 상기 커패시터 제1 전극을 덮도록 형성된 제1 절연층;

상기 제1 절연층 상에 형성된 게이트 전극 및 상기 게이트 전극과 동일층에 동일 물질로 소정 간격 이격되어 형성된 커패시터 제2 전극;

상기 게이트 전극 및 상기 커패시터 제2 전극을 덮도록 형성된 제2 절연층;

상기 제2 절연층 상에 형성된 소스/드레인 전극 및 상기 소스/드레인 전극과 동일층에 동일 물질로 형성되어 상기 활성층 및 상기 커패시터 제1 전극을 전기적으로 연결하는 연결 전극; 및

상기 소스/드레인 전극과 전기적으로 연결되는 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기 발광 소자;를 포함하는 유기 발광 디스플레이 장치.

청구항 10

제 9 항에 있어서,

상기 활성층은 다결정질 실리콘으로 형성되고, 상기 커패시터 제1 전극은 비정질 실리콘으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 11

박막 트랜지스터와, 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광 소자와, 상기 박막 트랜지스터와 소정 간격 이격하여 형성되며 상기 박막 트랜지스터와 전기적으로 연결되는 스토리지 커패시터를 포함하는 다수 개의 픽셀들이 형성된 화소 영역; 및

상기 화소 영역을 둘러싸도록 형성되며 상기 화소 영역으로 전원 및 전기 신호를 공급하는 회로 영역;을 포함하고,

상기 회로 영역에 형성된 반도체층은 다결정질 실리콘으로 형성되며, 상기 화소 영역에 형성된 반도체층은 다결정질 실리콘과 비정질 실리콘이 교번하여 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 12

제 11 항에 있어서,

상기 박막 트랜지스터에 형성된 반도체층은 다결정질 실리콘으로 형성되고, 상기 스토리지 커패시터에 형성된 반도체층은 비정질 실리콘으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 13

제 11 항에 있어서,

상기 박막 트랜지스터에 형성된 반도체층과 상기 스토리지 커패시터에 형성된 반도체층은 서로 전기적으로 연결되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 14

기관상에 반도체층을 증착하는 단계;

상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계;

상기 반도체층을 패터닝하여 활성층 및 커패시터 제1 전극을 형성하는 단계;

상기 활성층 및 상기 커패시터 제1 전극 각각의 일부를 노출하는 컨택 홀을 갖는 제1 절연층을 형성하는 단계;

상기 활성층 및 상기 커패시터 제1 전극의 노출된 영역과 각각 접촉하는 연결 전극과, 게이트 전극을 각각 형성하는 단계;

상기 활성층의 양단부의 일부를 노출하는 컨택 홀을 갖는 제2 절연층을 형성하는 단계; 및

상기 활성층의 노출된 양측과 접촉하는 소스/드레인 전극 및 커패시터 제2 전극을 각각 형성하는 단계;를 포함하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계는,

상기 활성층이 형성될 영역만을 결정화하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 16

제 14 항에 있어서,

상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계는,

레이저 발생장치가 상기 기관에 대하여 상대적으로 이동하면서 결정화를 수행하는 동안, 상기 레이저 발생장치가 상기 활성층이 형성될 영역을 통과할 때만 상기 레이저 발생장치를 온(ON) 시키는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 17

기관상에 반도체층을 증착하는 단계;

상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계;

상기 반도체층을 패터닝하여 활성층 및 커패시터 제1 전극을 형성하는 단계;

상기 활성층 및 상기 커패시터 제1 전극 상에 제1 절연층을 형성하고, 상기 제1 절연층 상에 게이트 전극 및 커패시터 제2 전극을 각각 형성하는 단계;

상기 게이트 전극 및 상기 커패시터 제2 전극 상에 제2 절연층을 형성하는 단계;

상기 제1 절연층 및 상기 제2 절연층을 패터닝하여, 상기 활성층의 양단부의 일부를 노출하는 제1 컨택 홀과, 상기 활성층 및 상기 커패시터 제1 전극 각각의 일부를 노출하는 제2 컨택 홀을 형성하는 단계;

상기 활성층의 노출된 양측과 접촉하는 소스/드레인 전극과, 상기 활성층 및 상기 커패시터 제1 전극의 노출된 영역과 각각 접촉하는 연결 전극을 각각 형성하는 단계;를 포함하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계는,
상기 활성층이 형성될 영역만을 결정화하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 19

제 17 항에 있어서,

상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계는,

레이저 발생장치가 상기 기관에 대하여 상대적으로 이동하면서 결정화를 수행하는 동안, 상기 레이저 발생장치가 상기 활성층이 형성될 영역을 통과할 때만 상기 레이저 발생장치를 온(ON) 시키는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 20

화소 영역 및 회로 영역을 포함하는 유기 발광 디스플레이 장치의 제조 방법에 있어서,

상기 회로 영역에 형성된 반도체층을 결정화할 때는 레이저 발생장치를 온(ON) 상태로 유지하면서 결정화를 진행하고,

상기 화소 영역에 형성된 반도체층을 결정화할 때는 레이저 발생장치를 주기적으로 온(ON) 및 오프(OFF) 하면서 결정화를 진행하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 디스플레이 장치 및 그 제조 방법에 관한 것으로, 상세하게는 결정화에 사용되는 레이저의 효율이 향상된 유기 발광 디스플레이 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 액티브 매트릭스형(Active Matrix type, AM) 유기 발광 디스플레이 장치는 각 픽셀마다 픽셀 구동회로를 구비하며, 이 픽셀 구동회로는 실리콘을 이용한 박막 트랜지스터(Thin Film Transistor: TFT)를 포함한다. 박막 트랜지스터를 구성하는 실리콘으로는 비정질 실리콘 또는 다결정질 실리콘이 사용된다.

[0003] 픽셀 구동회로에 사용되는 비정질 실리콘 박막 트랜지스터(amorphous silicon TFT: a-Si TFT)는 소스, 드레인 및 채널을 구성하는 반도체 활성층이 비정질 실리콘이기 때문에 1cm²/Vs 이하의 낮은 전자 이동도를 갖는다. 이에 따라 최근에는 상기 비정질 실리콘 박막 트랜지스터를 다결정질 실리콘 박막 트랜지스터(polycrystalline silicon TFT: poly-Si TFT)로 대체하는 경향으로 가고 있다. 이러한 다결정질 실리콘 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터에 비해 전자 이동도가 크고, 빛의 조사에 대한 안정성이 우수하다. 따라서, 이 다결정질 실리콘 박막 트랜지스터는 AM 유기 발광 디스플레이 장치의 구동 및/또는 스위칭 박막 트랜지스터의 활성층으로 사용되기에 매우 적합하다.

[0004] 상기와 같은 다결정질 실리콘을 여러 가지 방법으로 제작할 수 있는데, 이는 다결정질 실리콘을 직접 증착하는 방법과, 비정질 실리콘을 증착한 후 결정화하는 방법으로 크게 두 가지로 구분될 수 있다.

[0005] 다결정질 실리콘을 직접 증착하는 방법에는 열화학기상증착법(Cheical Vapor Deposition: CVD), Photo CVD, HR(hydrogen radical) CVD, ECR(electron cyclotron resonance) CVD, PE(Plasma Enhanced) CVD, LP(Low Pressure) CVD 등의 방법이 있다.

[0006] 한편, 비정질 실리콘을 증착한 후 결정화하는 방법에는 고상결정화(Solid Phase Crystallization: SPC)법, 엑시머 레이저(Excimer Laser Crystallization: ELC)법, 금속 유도 결정화(Metal Induced Crystallization: MIC)법, 금속 유도 측면 결정화(Metal Induced Lateral Crystallization: MILC)법, 연속측면고상화(Sequential Lateral Solidification: SLS)법 등이 있다.

[0007] 이와 같이 비정질 실리콘을 증착한 후 이를 결정화하기 위한 결정화 장비가 도 1에 도시되어 있다.

[0008] 상기 결정화 장비(9)는 레이저 빔(L)을 발생하는 레이저 발생장치(91)와, 상기 레이저 발생장치를 통해 방출된 레이저 빔(L)을 집속시키는 집속렌즈(92)와, 상기 집속렌즈(92)를 통과한 레이저 빔(L)을 일정한 비율로 축소하

는 축소렌즈(93)로 구성된다.

- [0009] 상기 레이저 발생장치(91)는 광원에서 가공되지 않은 레이저 빔(L)을 방출시키고, 어테뉴에이터(미도시)를 통과시켜 레이저 빔(L)의 에너지 크기를 조절하고, 상기 집속렌즈(92)를 통해 레이저 빔(L)을 조사하게 된다.
- [0010] 한편, 상기 레이저 발생장치(91)에 대응되는 위치에는 비정질 실리콘층이 증착된 기판(10)이 고정된 x-y스테이지(94)가 위치한다. 이때, 상기 기판(10)의 모든 영역을 결정화하기 위해서는 상기 x-y스테이지(94)를 이동하여 줌으로써 결정영역을 확대해 나가는 방법을 사용한다.
- [0011] 전문한 바와 같은 종래의 결정화 장비를 이용하여 실리콘을 결정화하는 방법을 알아본다.
- [0012] 일반적으로, 결정질 실리콘은 상기 기판에 절연막인 버퍼층(buffer layer)(미도시)을 형성하고, 상기 버퍼층 상부에 비정질 실리콘층을 증착한 후에 이를 레이저를 이용해 결정화하여 형성한다. 상기 비정질 실리콘층은 일반적으로 화학기상증착법(CVD) 등을 이용하여 기판에 증착하게 된다.
- [0013] 그런데, 종래 레이저 빔을 이용한 결정화는 기판의 전 영역, 즉 화소 영역과 회로 영역을 모두 결정화하였으며, 화소 영역에서도 채널 영역과 저장 영역과 발광 영역을 모두 결정화하였다. 또한, 레이저 빔의 빔 폭이 제한되어 있기 때문에, 레이저 발생장치 또는 기판이 서로에 대해 상대적으로 이동하면서 결정화가 이루어진다. 그런데, 유기 발광 디스플레이 장치가 대형화되어감에 따라 결정화를 수행하여야 하는 면적 또한 점점 대형화되어가며, 따라서 레이저 발생장치에서 레이저를 발생시키기 위한 유지비가 상승하고 생산성이 저하된다는 문제점이 존재하였다.

발명의 내용

해결하려는 과제

- [0014] 본 발명은 결정화에 사용되는 레이저의 효율이 향상되는 동시에 유지비가 절감된 유기 발광 디스플레이 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0015] 본 발명은 활성층, 게이트 전극 및 소스/드레인 전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기 발광 소자; 상기 활성층과 동일층에 형성된 커패시터 제1 전극 및 제1 절연층을 사이에 두고 상기 커패시터 제1 전극과 마주보도록 형성된 커패시터 제2 전극을 포함하는 스토리지 커패시터; 및 상기 활성층과 상기 커패시터 제1 전극을 전기적으로 연결하는 연결 전극을 포함하는 유기 발광 디스플레이 장치를 제공한다.
- [0016] 본 발명에 있어서, 상기 활성층은 다결정질 실리콘으로 형성되고, 상기 커패시터 제1 전극은 비정질 실리콘으로 형성될 수 있다.
- [0017] 본 발명에 있어서, 상기 연결 전극은 상기 게이트 전극과 동일층에 동일 물질로 형성될 수 있다.
- [0018] 여기서, 상기 제1 절연층은 상기 활성층과 상기 커패시터 제1 전극을 덮도록 형성되고, 상기 제1 절연층에서 상기 활성층 및 상기 커패시터 제1 전극과 대응되는 각 영역에 소정의 컨택 홀들이 형성되며, 상기 컨택 홀들을 통해 상기 연결 전극이 상기 활성층과 상기 커패시터 제1 전극을 전기적으로 연결할 수 있다.
- [0019] 본 발명에 있어서, 상기 연결 전극은 상기 소스/드레인 전극과 동일층에 동일 물질로 형성될 수 있다.
- [0020] 여기서, 제2 절연층을 더 포함하고, 상기 제1 절연층 및 상기 제2 절연층은 상기 활성층과 상기 커패시터 제1 전극을 덮도록 형성되고, 상기 제1 절연층 및 상기 제2 절연층에서 상기 활성층 및 상기 커패시터 제1 전극과 대응되는 각 영역에 소정의 컨택 홀들이 형성되며, 상기 컨택 홀들을 통해 상기 연결 전극이 상기 활성층과 상기 커패시터 제1 전극을 전기적으로 연결할 수 있다.
- [0021] 다른 측면에 관한 본 발명은 기판상에 형성된 활성층 및 상기 활성층과 동일층에 소정 간격 이격되어 형성된 커패시터 제1 전극; 상기 활성층 및 상기 커패시터 제1 전극을 덮도록 형성된 제1 절연층; 상기 제1 절연층 상에 형성된 게이트 전극 및 상기 게이트 전극과 동일층에 동일 물질로 소정 간격 이격되어 상기 활성층 및 상기 커패시터 제1 전극을 전기적으로 연결하는 연결 전극; 상기 게이트 전극 및 상기 연결 전극을 덮도록 형성된 제2 절연층; 상기 제2 절연층 상에 형성된 소스/드레인 전극 및 상기 소스/드레인 전극과 동일층에 동일 물질로 소정 간격 이격되어 형성된 커패시터 제2 전극; 및 상기 소스/드레인 전극과 전기적으로 연결되는 화소 전극, 발

광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기 발광 소자;를 포함하는 유기 발광 디스플레이 장치를 제공한다.

- [0022] 본 발명에 있어서, 상기 활성층은 다결정질 실리콘으로 형성되고, 상기 커패시터 제1 전극은 비정질 실리콘으로 형성될 수 있다.
- [0023] 또 다른 측면에 관한 본 발명은 기판상에 형성된 활성층 및 상기 활성층과 동일층에 소정 간격 이격되어 형성된 커패시터 제1 전극; 상기 활성층 및 상기 커패시터 제1 전극을 덮도록 형성된 제1 절연층; 상기 제1 절연층 상에 형성된 게이트 전극 및 상기 게이트 전극과 동일층에 동일 물질로 소정 간격 이격되어 형성된 커패시터 제2 전극; 상기 게이트 전극 및 상기 커패시터 제2 전극을 덮도록 형성된 제2 절연층; 상기 제2 절연층 상에 형성된 소스/드레인 전극 및 상기 소스/드레인 전극과 동일층에 동일 물질로 형성되어 상기 활성층 및 상기 커패시터 제1 전극을 전기적으로 연결하는 연결 전극; 및 상기 소스/드레인 전극과 전기적으로 연결되는 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기 발광 소자;를 포함하는 유기 발광 디스플레이 장치를 제공한다.
- [0024] 본 발명에 있어서, 상기 활성층은 다결정질 실리콘으로 형성되고, 상기 커패시터 제1 전극은 비정질 실리콘으로 형성될 수 있다.
- [0025] 또 다른 측면에 관한 본 발명은 박막 트랜지스터와, 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광 소자와, 상기 박막 트랜지스터와 소정 간격 이격하여 형성되며 상기 박막 트랜지스터와 전기적으로 연결되는 스토리지 커패시터를 포함하는 다수 개의 픽셀들이 형성된 화소 영역; 및 상기 화소 영역을 둘러싸도록 형성되며 상기 화소 영역으로 전원 및 전기 신호를 공급하는 회로 영역;을 포함하고, 상기 회로 영역에 형성된 반도체층은 다결정질 실리콘으로 형성되며, 상기 화소 영역에 형성된 반도체층은 다결정질 실리콘과 비정질 실리콘이 교번하여 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치를 제공한다.
- [0026] 본 발명에 있어서, 상기 박막 트랜지스터에 형성된 반도체층은 다결정질 실리콘으로 형성되고, 상기 스토리지 커패시터에 형성된 반도체층은 비정질 실리콘으로 형성될 수 있다.
- [0027] 본 발명에 있어서, 상기 박막 트랜지스터에 형성된 반도체층과 상기 스토리지 커패시터에 형성된 반도체층은 서로 전기적으로 연결될 수 있다.
- [0028] 또 다른 측면에 관한 본 발명은, 기판상에 반도체층을 증착하는 단계; 상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계; 상기 반도체층을 패터닝하여 활성층 및 커패시터 제1 전극을 형성하는 단계; 상기 활성층 및 상기 커패시터 제1 전극 각각의 일부를 노출하는 컨택 홀을 갖는 제1 절연층을 형성하는 단계; 상기 활성층 및 상기 커패시터 제1 전극의 노출된 영역과 각각 접촉하는 연결 전극과, 게이트 전극을 각각 형성하는 단계; 상기 활성층의 양단부의 일부를 노출하는 컨택 홀을 갖는 제2 절연층을 형성하는 단계; 및 상기 활성층의 노출된 양측과 접촉하는 소스/드레인 전극 및 커패시터 제2 전극을 각각 형성하는 단계;를 포함하는 유기 발광 디스플레이 장치의 제조 방법을 제공한다.
- [0029] 본 발명에 있어서, 상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계는, 상기 활성층이 형성될 영역만을 결정화할 수 있다.
- [0030] 본 발명에 있어서, 상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계는, 레이저 발생장치가 상기 기판에 대하여 상대적으로 이동하면서 결정화를 수행하는 동안, 상기 레이저 발생장치가 상기 활성층이 형성될 영역을 통과할 때만 상기 레이저 발생장치를 온(ON) 시킬 수 있다.
- [0031] 또 다른 측면에 관한 본 발명은, 기판상에 반도체층을 증착하는 단계; 상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계; 상기 반도체층을 패터닝하여 활성층 및 커패시터 제1 전극을 형성하는 단계; 상기 활성층 및 상기 커패시터 제1 전극 상에 제1 절연층을 형성하고, 상기 제1 절연층 상에 게이트 전극 및 커패시터 제2 전극을 각각 형성하는 단계; 상기 게이트 전극 및 상기 커패시터 제2 전극 상에 제2 절연층을 형성하는 단계; 상기 제1 절연층 및 상기 제2 절연층을 패터닝하여, 상기 활성층의 양단부의 일부를 노출하는 제1 컨택 홀과, 상기 활성층 및 상기 커패시터 제1 전극 각각의 일부를 노출하는 제2 컨택 홀을 형성하는 단계; 상기 활성층의 노출된 양측과 접촉하는 소스/드레인 전극과, 상기 활성층 및 상기 커패시터 제1 전극의 노출된 영역과 각각 접촉하는 연결 전극을 각각 형성하는 단계;를 포함하는 유기 발광 디스플레이 장치의 제조 방법을 제공한다.
- [0032] 본 발명에 있어서, 상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계는, 상기 활성층이 형

성될 영역만을 결정화할 수 있다.

[0033] 본 발명에 있어서, 상기 반도체층의 일부만을 결정화하는 선택적 결정화를 수행하는 단계는, 레이저 발생장치가 상기 기판에 대하여 상대적으로 이동하면서 결정화를 수행하는 동안, 상기 레이저 발생장치가 상기 활성층이 형성될 영역을 통과할 때만 상기 레이저 발생장치를 온(ON) 시킬 수 있다.

[0034] 또 다른 측면에 관한 본 발명은, 화소 영역 및 회로 영역을 포함하는 유기 발광 디스플레이 장치의 제조 방법에 있어서, 상기 회로 영역에 형성된 반도체층을 결정화할 때는 레이저 발생장치를 온(ON) 상태로 유지하면서 결정화를 진행하고, 상기 화소 영역에 형성된 반도체층을 결정화할 때는 레이저 발생장치를 주기적으로 온(ON) 및 오프(OFF) 하면서 결정화를 진행하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법을 제공한다.

발명의 효과

[0035] 이와 같은 본 발명에 의해서, 결정화에 사용되는 레이저의 효율이 향상되는 동시에 유지비가 절감되는 효과를 얻을 수 있다.

도면의 간단한 설명

[0036] 도 1은 비정질 실리콘을 증착한 후 이를 결정화하기 위한 결정화 장비를 개략적으로 나타내는 도면이다.
 도 2는 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 나타낸 평면도이다.
 도 3은 레이저 발생장치에서 조사된 레이저 빔이 기판을 결정화하는 공정의 일 실시예를 나타내는 도면이다.
 도 4는 레이저 발생장치에서 조사된 레이저 빔이 기판을 결정화하는 공정의 다른 실시예를 나타내는 도면이다.
 도 5는 도 2의 유기 발광 디스플레이 장치를 구성하는 한 픽셀의 일 실시예를 나타내는 평면도이다.
 도 6은 도 2의 유기 발광 디스플레이 장치를 구성하는 한 픽셀의 다른 실시예를 나타내는 평면도이다.
 도 7은 도 2의 유기 발광 디스플레이 장치를 구성하는 한 픽셀의 일 실시예를 나타내는 단면도이다.
 도 8은 저장 영역의 커패시터 전극으로써 다결정질 실리콘이 사용되었을 경우, 전압에 따른 커패시턴스(capacitance) 값을 나타내는 그래프이다.
 도 9는 저장 영역의 커패시터 전극으로써 비정질 실리콘이 사용되며 저장 영역의 커패시터 전극과 채널 영역의 활성층을 전기적으로 연결했을 경우, 전압에 따른 커패시턴스(capacitance) 값을 나타내는 그래프이다.
 도 10 내지 도 20은 도 7에 도시된 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 나타내는 단면도이다.
 도 21은 도 2의 유기 발광 디스플레이 장치를 구성하는 다른 실시예를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0037] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0038] 도 2는 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 나타낸 평면도이다.

[0039] 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 TFT(thin film transistor) 및 발광 화소 등을 포함하는 제1 기판(10) 및 상기 제1 기판(10)과 실링을 통해 합착되는 제2 기판(미도시)을 포함한다.

[0040] 제1 기판(10)에는 박막 트랜지스터(TFT), 유기 발광 소자(EL), 스토리지 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1 기판(10)은 LTPS(crystalline silicon) 기판, 유리 기판, 플라스틱 기판, 스테인리스 스틸(Stainless Using Steel; SUS) 기판 등일 수 있다.

[0041] 제2 기판(미도시)은 제1 기판(10)에 구비된 TFT 및 발광 화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1 기판(10) 상에 배치되는 봉지 기판일 수 있다. 제2 기판(미도시)은 제1 기판(10)과 대향되도록 위치하고, 제1 기판(10)과 제2 기판(미도시)은 그 가장자리를 따라 배치되는 실링 부재(12)에 의해 서로 접합된다. 제2 기판(미도시)은 투명 재질의 유리 기판 또는 플라스틱 기판일 수 있다.

[0042] 제1 기판(10)은 빛이 출사되는 화소 영역(PA)과 이 화소 영역(PA)의 외곽에 위치한 회로 영역(CA)을 포함한다.

본 발명의 실시예들에 따르면, 화소 영역(PA) 외측의 회로 영역(CA)에 실링 부재(12)가 배치되어, 제1 기관(10)과 제2 기관(미도시)을 접합한다.

- [0043] 상술한 바와 같이, 제1 기관(10)의 화소 영역(PA)에는 유기 발광 소자(EL), 이를 구동하는 박막 트랜지스터(TFT) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 회로 영역(CA)에는 화소 영역(PA)의 배선으로부터 연장 형성된 패드 전극(PE)이 포함될 수 있다.
- [0044] 여기서, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 화소 영역(PA)의 반도체층은 전체 결정화(fully crystallization)가 수행되는 반면, 회로 영역(CA)의 반도체층은 선택 결정화(selectively crystallization)가 수행되는 것을 일 특징으로 한다.
- [0045] 상세히, 종래 레이저 빔을 이용한 결정화는 기관의 전 영역, 즉 화소 영역과 회로 영역을 모두 결정화하였으며, 화소 영역에서도 채널 영역과 저장 영역과 발광 영역을 모두 결정화하였다. 그런데, 유기 발광 디스플레이 장치가 대형화되어감에 따라 결정화를 수행하여야 하는 면적 또한 점점 대형화되어가며, 따라서 레이저 발생장치에서 레이저를 발생시키기 위한 유지비가 상승하고 생산성이 저하된다는 문제점이 존재하였다.
- [0046] 이와 같은 문제점을 해결하기 위하여, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는, 전체가 높은 전자 이동도를 요구하는 회로 영역(CA)의 경우 전체적으로 결정화를 수행하는 반면, 특정 부분 예를 들어 박막 트랜지스터(TFT) 부분만 높은 전자 이동도를 요구하는 화소 영역(PA)의 경우, 그 부분만 선택적으로 결정화를 수행하는 것이다. 그리고 이와 같은 전체 결정화(fully crystallization) 또는 선택 결정화(selectively crystallization)는 레이저의 온(ON)/오프(OFF)를 제어함으로써 수행될 수 있다. 즉, 전체 결정화를 요하는 회로 영역(CA)을 결정화할 때는 레이저 발생장치를 온(ON)으로 유지한 상태에서 기관 또는 레이저 발생장치가 서로에 대해 이동하면서 결정화를 수행한다. 반면, 선택 결정화를 요하는 화소 영역(PA)을 결정화할 때는, 레이저 발생장치를 오프(OFF)로 유지한 상태에서 기관 또는 레이저 발생장치가 서로에 대해 이동하다가, 결정화가 필요한 부분, 예를 들어 박막 트랜지스터(TFT) 부분을 지날 때만 레이저 발생장치를 온(ON) 시켜서 결정화를 수행하는 것이다.
- [0047] 즉, 도 3(a) 내지 도 3(c)에 도시된 바와 같이, 기관(10)이 레이저 발생장치(미도시)에 대하여 이동하는 과정에서, 기관(10)의 회로 영역(CA)이 레이저 발생장치에서 조사된 레이저 빔(L)을 지날 때는, 레이저 발생장치를 온(ON)으로 유지한 상태에서 기관이 이동하면서 결정화를 수행한다. 한편, 기관(10)의 화소 영역(PA)이 레이저 발생장치에서 조사된 레이저 빔(L)을 지날 때는, 레이저 발생장치를 오프(OFF)로 유지한 상태에서 기관이 화살표 방향으로 이동하다가, 결정화가 필요한 부분, 예를 들어 박막 트랜지스터(TFT) 부분을 지날 때만 레이저 발생장치를 온(ON) 시켜서 결정화를 수행하는 것이다.
- [0048] 이와 같이 화소 영역(PA)과 회로 영역(CA)의 결정화 방법을 달리하여, 회로 영역(CA)에서는 전체 결정화(fully crystallization)가 수행되는 반면, 화소 영역(PA)에서는 선택 결정화(selectively crystallization)가 수행됨으로써, 레이저 발생장치의 효율을 극대화하고 유지비를 절감하는 동시에 생산성이 향상되는 효과를 얻을 수 있다.
- [0049] 도 4는 레이저 발생장치에서 조사된 레이저 빔이 기관(10)을 결정화하는 공정의 다른 실시예를 나타내는 도면이다. 도 4에 도시된 바와 같이, 유기 발광 디스플레이 장치의 대형화가 이루어짐에 따라, 하나의 마더 글래스(mother glass) 상에 다수 개의 패널(즉, 유기 발광 디스플레이 장치)이 형성될 수도 있다. 이때, 도 4에 도시된 바와 같이, 패널들이 두 열로 배치되어 있을 경우, 기관의 이동 방향에 대하여 서로 이웃하는 패널들의 회로 영역(CA)이 서로 인접하도록 형성될 수 있다. 즉, 이웃한 두 개의 패널에 있어서 전체 결정화를 수행하기 위해 온(ON) 상태로 유지되어야 하는 회로 영역(CA)이 서로 인접하게 배치되어 연속적으로 형성됨으로써, 이웃한 두 개의 패널에 걸쳐서 전체 결정화를 한 번만 수행해도 되는 것이다.
- [0050] 이하에서는 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)의 화소 영역(PA)의 일 픽셀의 구성을 기술하도록 한다.
- [0051] 도 5는 도 2의 유기 발광 디스플레이 장치를 구성하는 한 픽셀의 일 실시예를 나타내는 평면도이고, 도 6은 도 2의 유기 발광 디스플레이 장치를 구성하는 한 픽셀의 다른 실시예를 나타내는 평면도이다.
- [0052] 도 5 및 도 6을 참조하면, 본 발명의 유기 발광 디스플레이 장치(1)의 일 픽셀은 채널 영역(2), 저장 영역(3) 및 발광 영역(4)을 포함한다. 여기서, 도 5에는 채널 영역(2), 저장 영역(3) 및 발광 영역(4)이 일 방향을 따라

서 나란히 형성되는 픽셀 구성이 도시되어 있고, 도 6에는 저장 영역(3)과 발광 영역(4)이 서로 이웃하도록 길 이 방향으로 길게 형성되고, 그 일 측에 채널 영역(2)이 저장 영역(3) 및 발광 영역(4)과 각각 이웃하도록 형성 되는 구성이 도시되어 있다.

[0053] 이때, 도 5 및 도 6에 도시된 바와 같이, 하나의 픽셀 내에서도 높은 전자 이동도를 요구하는 영역은 채널 영역 (2)과 저장 영역(3) 뿐이며, 일 픽셀의 전체 면적의 절반 이상을 차지하는 발광 영역(4)은 높은 전자 이동도를 요구하지 아니한다. 따라서, 채널 영역(2)과 저장 영역(3)만이 결정화를 필요로 한다. 그런데, 저장 영역(3)의 면적 또한 채널 영역(2)의 면적과 거의 동일할 정도로 넓은 면적을 차지하기 때문에, 저장 영역(3)을 결정화하 지 않고 비정질 실리콘을 저장 영역(3)의 전극으로 활용할 수 있는 방안을 강구한다면, 일 픽셀의 전체 면적의 일부인 채널 영역(2) 만을 결정화해도 되기 때문에, 레이저의 유지비용이 감소하는 동시에 레이저 이용의 효율 성이 향상될 수 있을 것이다.

[0054] 이를 위하여, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 채널 영역(2)에 형성된 반도체층만 을 선택적으로 결정화하여 다결정질 실리콘 상태의 활성층을 형성하고, 저장 영역(3)에 형성된 반도체층은 결정 화를 하지 않은 비정질 실리콘 상태의 커패시터 제1 전극을 형성한다. 그리고 상기 활성층과 커패시터 제1 전극 을 덮는 절연층 상에 컨택 홀을 형성하고, 상기 컨택 홀을 통해 상기 활성층과 커패시터 제1 전극을 전기적으로 연결하여, 커패시터 제1 전극이 전극으로서의 기능을 수행할 수 있도록 하는 것을 일 특징으로 하는바, 이하에 서는 이에 대하여 상세히 설명하도록 한다.

[0055] 도 7은 도 2의 유기 발광 디스플레이 장치를 구성하는 한 픽셀의 일 실시예를 나타내는 단면도이다.

[0056] 도 7을 참조하면, 본 발명의 유기 발광 디스플레이 장치(1)의 일 픽셀은 채널 영역(2), 저장 영역(3) 및 발광 영역(4)을 포함한다.

[0057] 채널 영역(2)에는 구동소자로서 박막 트랜지스터(TFT)가 구비된다. 박막 트랜지스터(TFT)는, 활성층(211), 게이트 전극(214) 및 소스/드레인 전극(216a/216b)으로 구성된다. 상기 게이트 전극(214)과 활성층(211) 사이에는 이들 간의 절연을 위한 제1 절연층(13)이 개재되어 있다. 또한, 상기 활성층(211)의 양쪽 가장자리에는 고농도 의 불순물이 주입된 소스/드레인 영역이 형성되어 있으며, 이들은 상기 소스/드레인 전극(216a/216b)에 각각 연 결되어 있다.

[0058] 저장 영역(3)에는 스토리지 커패시터(Cst)가 구비된다. 스토리지 커패시터(Cst)는 커패시터 제1 전극(311) 및 커패시터 제2 전극(316)으로 이루어지며, 이들 사이에 제1 절연층(13)이 개재된다. 여기서, 상기 커패시터 제1 전극(311)은 상기 박막 트랜지스터(TFT)의 활성층(211)과 동일한 층에 동일한 물질로 형성될 수 있다. 한편, 상 기 커패시터 제2 전극(316)은 상기 박막 트랜지스터(TFT)의 소스/드레인 전극(216a/216b)과 동일한 층에 동일한 물질로 형성될 수 있다.

[0059] 여기서, 채널 영역(2)의 활성층(211)은 다결정질 실리콘으로 형성된 반면, 활성층(211)과 동일한 층에 형성된 저장 영역(3)의 커패시터 제1 전극(311)은 비정질 실리콘으로 형성된다. 즉, 비정질 실리콘 상태의 반도체층이 기판(10)상에 증착된 후, 선택적 결정화를 통해 채널 영역(2)의 비정질 실리콘은 다결정질 실리콘으로 결정화된 반면, 저장 영역(3)의 비정질 실리콘은 결정화되지 않고 그대로 유지되는 것이다.

[0060] 한편, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 채널 영역(2)과 활성층(211)과 저장 영역 (3)의 커패시터 제1 전극(311)을 전기적으로 연결하는 연결 전극(314)을 더 포함한다. 즉, 채널 영역(2)과 활성 층(211)과 저장 영역(3)의 커패시터 제1 전극(311)을 덮도록 형성된 제1 절연층(13) 상에 컨택 홀(도 13의 H1, H2 참조)을 형성한 후, 그 상부에 상기 컨택 홀을 채우도록 연결 전극(314)을 형성함으로써, 채널 영역(2)과 활 성층(211)과 저장 영역(3)의 커패시터 제1 전극(311)을 전기적으로 연결하는 것이다. 여기서, 연결 전극(314)은 채널 영역(2)의 게이트 전극(214)과 동일한 층에 동일한 물질로 형성될 수 있다.

[0061] 발광 영역(4)에는 유기 발광 소자(EL)가 구비된다. 유기 발광 소자(EL)는 상기 박막 트랜지스터(TFT)의 소스/드 레인 전극(216a/216b) 중 하나와 접속된 화소 전극(418), 화소 전극(418)과 마주보도록 형성된 대향 전극(421) 및 그 사이에 개재된 중간층(420)으로 구성된다. 상기 화소 전극(418)은 투명한 전도성 물질로 형성된다.

[0062] 도 8은 저장 영역의 커패시터 전극으로써 다결정질 실리콘이 사용되었을 경우, 전압에 따른 커패시턴스 (capacitance) 값을 나타내는 그래프이고, 도 9는 본 발명의 일 실시예에 따라 저장 영역의 커패시터 전극으로

써 비정질 실리콘이 사용되며 저장 영역의 커패시터 전극과 채널 영역의 활성층을 전기적으로 연결했을 경우, 전압에 따른 커패시턴스(capacitance) 값을 나타내는 그래프이다.

- [0063] 도 8에 도시된 바와 같이, 저장 영역의 커패시터 전극으로써 다결정질 실리콘이 사용되었을 경우, 스토리지 커패시터(Cst)의 커패시턴스(capacitance) 값은 대략 $1.4e^{-11}$ (F) ~ $1.6e^{-11}$ 이다. 그리고, 도 9에 도시된 바와 같이, 저장 영역의 커패시터 전극으로써 비정질 실리콘이 사용되며 저장 영역의 커패시터 전극과 채널 영역의 활성층을 전기적으로 연결했을 경우, 스토리지 커패시터(Cst)의 커패시턴스(capacitance) 값은 대략 $0.6e^{-11}$ (F) ~ $1.6e^{-11}$ 이다. 이는 도 8에 도시된 커패시턴스(capacitance) 값보다는 약간 작지만, 스토리지 커패시터(Cst)로서 기능하기에는 충분한 값이다. 이와 같은 실험 결과를 통해 채널 영역의 활성층과 저장 영역의 커패시터 제1 전극을 전기적으로 연결시킴으로써, 이와 같이 저장 영역의 커패시터 전극으로써 다결정질 실리콘을 사용하지 않고 비정질 실리콘을 사용하는 것이 가능해짐을 알 수 있는 것이다.
- [0064] 이하에서는 도 7에 도시된 배면 발광형 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 설명한다. 도 10 내지 도 20은 도 7에 도시된 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 나타내는 단면도이다.
- [0065] 먼저, 도 10에 도시된 바와 같이, 기판(10) 상부에 반도체층(11)을 증착한다.
- [0066] 상세히, 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0067] 상기 반도체층(11)은 열화학기상증착법(Cheical Vapor Deposition: CVD), Photo CVD, HR(hydrogen radical) CVD, ECR(electron cyclotron resonance) CVD, PE(Plasma Enhanced) CVD, LP(Low Pressure) CVD 등 다양한 증착 방법에 의해 증착될 수 있다. 여기서 반도체층은 비정질 실리콘(amorphous silicon) 층으로 형성될 수 있다.
- [0068] 한편, 기판(10)상에 반도체층(11)을 증착하기 이전에, 기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층 및/또는 버퍼층과 같은 절연층(미도시)이 구비될 수 있다. 상기 절연층(미도시)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0069] 다음으로, 도 11에 도시된 바와 같이 레이저 발생장치(91)를 기판(10)에 대해 이동시키거나 또는 기판(10)을 레이저 발생장치(91)에 대해 이동시키면서, 반도체층(11)에서 채널 영역(도 7의 2 참조)의 활성층(도 7의 211 참조)이 될 소정 영역(11a)만 결정화한다. 이와 같은 선택적 결정화는 레이저 발생장치(91)를 오프(OFF)로 유지한 상태에서 기판 또는 레이저 발생장치가 서로에 대해 이동하다가, 결정화가 필요한 소정 영역(11a)을 지날 때만 레이저 발생장치를 온(ON) 시켜서 결정화를 수행하는 것이다. 도 11에는 한 픽셀 내에서의 레이저 빔의 파형만이 도시되어 있으나, 레이저 발생장치가 이동하여 각 픽셀을 지나면서 도 11의 레이저 빔의 파형이 반복적으로 발생할 것이다.
- [0070] 여기서 반도체층(11)은 RTA(rapid thermal annealing)법, SPC(solid phase crystallzation)법, ELA(excimer laser annealing)법, MIC(metal induced crystallzation)법, MILC(metal induced lateral crystallzation)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 다결정질 실리콘(polycrystalline silicon)으로 결정화될 수 있다.
- [0071] 다음으로, 도 12에 도시된 바와 같이, 반도체층(11)을 패터닝하여, 박막 트랜지스터(TFT)의 활성층(211)과 스토리지 커패시터(Cst)의 커패시터 제1 전극(311)을 형성한다. 즉, 반도체층(11)은 제1 마스크(미도시)를 사용한 마스크 공정에 의해, 박막 트랜지스터(TFT)의 활성층(211) 및 커패시터(Cst)의 커패시터 제1 전극(311)으로 패터닝된다. 여기서, 박막 트랜지스터(TFT)의 활성층(211)은 다결정질 실리콘이며, 커패시터(Cst)의 커패시터 제1 전극(311)은 비정질 실리콘이다. 본 실시예에서는, 활성층(211)과 커패시터 제1 전극(311)이 분리 형성되었으나, 활성층(211)과 커패시터 제1 전극(311)을 일체로 형성할 수도 있다.
- [0072] 다음으로, 도 13에 도시된 바와 같이, 활성층(211)과 커패시터 제1 전극(311)이 형성된 기판(10)의 전면에 제1 절연층(13)을 증착한 후, 소정의 컨택 홀(H1, H2)을 형성한다.
- [0073] 여기서, 제1 절연층(13)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로

증착할 수 있다. 상기 제1 절연층(13)은, 박막 트랜지스터(TFT)의 활성층(211)과 게이트 전극(도 7의 214 참조) 사이에 개재되어 박막 트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터 제2 전극(도 7의 315 참조)과 커패시터 제1 전극(311) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.

- [0074] 그리고, 이와 같은 제1 절연층(13)이 제2 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 컨택 홀(H1, H2)이 형성된다. 여기서, 컨택 홀(H1)은 활성층(211)의 일부를 노출시키고, 컨택 홀(H2)은 커패시터 제1 전극(311)의 일부를 노출시킨다.
- [0075] 다음으로, 도 14에 도시된 바와 같이, 제1 절연층(13) 상부에 제1 도전층(14)을 증착한다.
- [0076] 여기서, 제1 도전층(14)은 IT₀, IZ₀, Zn₀, 또는 In₂O₃와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 또는 제1 도전층(14)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 또한, 상기 제1 도전층(14)은 상기 컨택 홀(H1, H2)들을 충전할 수 있을 정도로 충분한 두께로 증착될 수 있다.
- [0077] 다음으로, 도 15에 도시된 바와 같이, 제1 도전층(14)을 패터닝하여, 박막 트랜지스터(TFT)의 게이트 전극(214)과 연결 전극(314)을 형성한다. 즉, 제1 도전층(14)은 제3 마스크(미도시)를 사용한 마스크 공정에 의해, 박막 트랜지스터(TFT)의 게이트 전극(214) 및 연결 전극(314)으로 패터닝된다. 이와 같은 연결 전극(314)에 의해 활성층(211)과 커패시터 제1 전극(311)이 전기적으로 연결될 수 있으며, 이를 통해 비정질 실리콘으로 이루어진 커패시터 제1 전극(311)이 전극으로서의 역할을 수행할 수 있게 되는 것이다.
- [0078] 다음으로, 도 16에 도시된 바와 같이, 제1 절연층(13), 게이트 전극(214) 및 연결 전극(314)이 형성된 기판(10)의 전면에 제2 절연층(15)을 증착한 후, 소정의 컨택 홀(H3, H4)을 형성한다.
- [0079] 상기 제2 절연층(15)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2 절연층(15)은 충분한 두께로 형성되어, 예컨대 전술한 제1 절연층(13)보다 두껍게 형성되어, 박막 트랜지스터의 게이트 전극(214)과 소스/드레인 전극(도 7의 216a/216b 참조) 사이의 충전 절연막 역할을 수행한다. 한편, 제2 절연층(15)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1 절연층(13)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기 절연 물질을 교번하여 형성할 수도 있다.
- [0080] 그리고, 이와 같은 제2 절연층(15)이 제4 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 컨택 홀(H3, H4)이 형성된다. 여기서, 컨택 홀(H3, H4)은 활성층(211)의 양단부의 소스/드레인 영역의 일부를 노출시킨다.
- [0081] 다음으로, 도 17에 도시된 바와 같이, 상기 충전 절연막(15)을 덮도록 기판(10) 전면에 제2 도전층(16)을 증착한다.
- [0082] 상기 제2 도전층(16)은 전술한 제1 도전층(14)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 컨택 홀들(H3, H4)을 충전할 수 있을 정도로 충분한 두께로 증착될 수 있다.
- [0083] 다음으로, 도 18에 도시된 바와 같이, 제2 도전층(도 17의 16 참조)을 패터닝하여, 소스/드레인 전극(216a/216b) 및 커패시터 제2 전극(316)을 각각 형성한다.
- [0084] 상세히, 상기 제2 도전층(도 17의 16 참조)을 제5 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 소스/드레인 전극(216a/216b) 및 커패시터 제2 전극(316)을 형성한다. 따라서 소스/드레인 전극(216a/216b) 및 커패시터 제2 전극(316)은 동일층에서 동일 물질로 형성된다.
- [0085] 다음으로, 도 19에 도시된 바와 같이, 제2 절연층(15), 소스/드레인 전극(216a/216b) 및 커패시터 제2 전극(316)이 형성된 기판(10)의 전면에 제3 절연층(17)을 증착한 후, 소정의 컨택 홀(H5)을 형성한다.
- [0086] 여기서, 제3 절연층(17)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 상기 제3 절연층(17)은, 패시베이션막 역할을 하게 된다.
- [0087] 그리고, 이와 같은 제3 절연층(17)이 제6 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 컨택 홀(H5)이 형성된다. 여기서, 컨택 홀(H5)은 소스/드레인 전극(216a/216b)의 일부를 노출시킨다.
- [0088] 다음으로, 도 21에 도시된 바와 같이, 상기 제3 절연층(17)을 덮도록 기판(10) 전면에 제3 도전층(미도시)을 증

착한 후, 이를 패터닝하여 화소 전극(18)을 형성한다.

- [0089] 이후, 도 7에 도시된 바와 같이, 화소 전극(418)의 양단부를 덮도록 화소 정의막(pixel define layer: PDL)(19)을 형성한 후, 화소 정의막(19)에 의해 정의된 발광 영역에 유기 발광층을 포함하는 중간층(420) 및 대향 전극(421)을 형성한다.
- [0090] 상기 중간층(420)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0091] 상기 중간층(420)은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0092] 저분자 유기물로 형성되는 경우, 중간층(420)은 유기 발광층을 중심으로 화소 전극(418)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향 전극(421) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0093] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(420)은 유기 발광층을 중심으로 화소 전극(418) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소 전극(418) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0094] 상기 대향 전극(421)은 기판(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기 발광 디스플레이 장치의 경우, 화소 전극(418)은 애노드 전극으로 사용되고, 대향 전극(421)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0095] 유기 발광 디스플레이 장치가 기판(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소 전극(418)은 투명전극이 되고 대향 전극(421)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.
- [0096] 도 21은 도 2의 유기 발광 디스플레이 장치를 구성하는 한 픽셀의 다른 실시예를 나타내는 단면도이다.
- [0097] 도 21을 참조하면, 본 발명의 다른 일 실시예에 따른 유기 발광 디스플레이 장치(1')의 일 픽셀은 채널 영역(2), 저장 영역(3) 및 발광 영역(4)을 포함한다. 여기서, 다른 일 실시예에 따른 유기 발광 디스플레이 장치(1')의 일 픽셀은 연결 전극(316)이 게이트 전극과 동일한 층에 형성되는 것이 아니라, 소스/드레인 전극(216a/216b)과 동일한 층에 형성된다는 점에서 전술한 실시예와 구별된다.
- [0098] 채널 영역(2)에는 구동소자로서 박막 트랜지스터(TFT)가 구비된다. 박막 트랜지스터(TFT)는, 활성층(211), 게이트 전극(214) 및 소스/드레인 전극(216a/216b)으로 구성된다. 상기 게이트 전극(214)과 활성층(211) 사이에는 이들 간의 절연을 위한 제1 절연층(13)이 개재되어 있다. 또한, 상기 활성층(211)의 양쪽 가장자리에는 고농도의 불순물이 주입된 소스/드레인 영역이 형성되어 있으며, 이들은 상기 소스/드레인 전극(216a/216b)에 각각 연결되어 있다.
- [0099] 저장 영역(3)에는 스토리지 커패시터(Cst)가 구비된다. 스토리지 커패시터(Cst)는 커패시터 제1 전극(311) 및 커패시터 제2 전극(314')으로 이루어지며, 이들 사이에 제1 절연층(13)이 개재된다. 여기서, 상기 커패시터 제1 전극(311)은 상기 박막 트랜지스터(TFT)의 활성층(211)과 동일한 층에 동일한 물질로 형성될 수 있다. 한편, 상기 커패시터 제2 전극(314')은 상기 박막 트랜지스터(TFT)의 게이트 전극(214)과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0100] 여기서, 채널 영역(2)의 활성층(211)은 다결정질 실리콘으로 형성된 반면, 활성층(211)과 동일한 층에 형성된

저장 영역(3)의 커패시터 제1 전극(311)은 비정질 실리콘으로 형성된다. 즉, 비정질 실리콘이 기판(10)상에 증착된 후, 선택적 결정화를 통해 채널 영역(2)의 비정질 실리콘은 다결정질 실리콘으로 결정화된 반면, 저장 영역(3)의 비정질 실리콘은 결정화되지 않고 그대로 유지되는 것이다.

[0101] 한편, 본 발명의 다른 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 채널 영역(2)과 활성층(211)과 저장 영역(3)의 커패시터 제1 전극(311)을 전기적으로 연결하는 연결 전극(316')을 더 포함한다. 즉, 채널 영역(2)과 활성층(211)과 저장 영역(3)의 커패시터 제1 전극(311)을 덮도록 형성된 제1 절연층(13) 및 제2 절연층(15) 상에 컨택 홀을 형성한 후, 그 상부에 상기 컨택 홀을 채우도록 연결 전극(316')을 형성함으로써, 채널 영역(2)과 활성층(211)과 저장 영역(3)의 커패시터 제1 전극(311)을 전기적으로 연결하는 것이다. 여기서, 연결 전극(316')은 채널 영역(2)의 소스/드레인 전극(216a/216b)과 동일한 층에 동일한 물질로 형성될 수 있다.

[0102] 발광 영역(4)에는 유기 발광 소자(EL)가 구비된다. 유기 발광 소자(EL)는 상기 박막 트랜지스터(TFT)의 소스/드레인 전극(216a/216b) 중 하나와 접속된 화소 전극(418), 화소 전극(418)과 마주보도록 형성된 대향 전극(421) 및 그 사이에 개재된 중간층(420)으로 구성된다. 상기 화소 전극(418)은 투명한 전도성 물질로 형성된다.

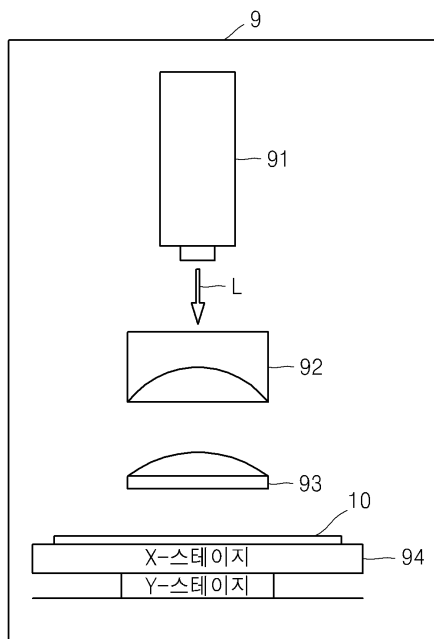
[0103] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 사항은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

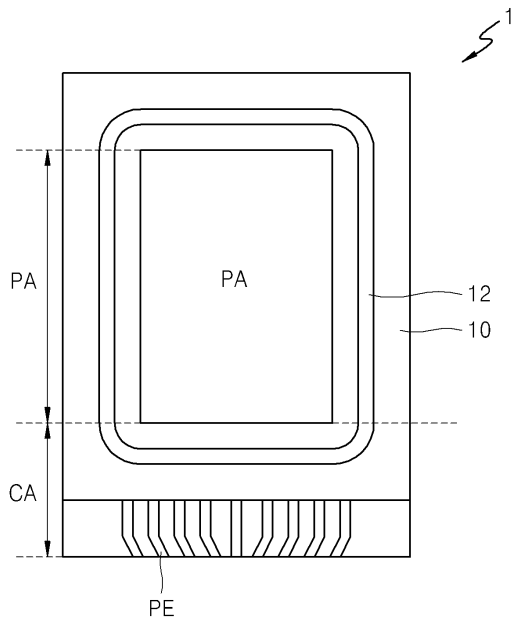
- | | | |
|--------|----------------------|-------------|
| [0104] | 1: 유기 발광 디스플레이 장치 | 2: 채널 영역 |
| | 211: 활성층 | 214: 게이트 전극 |
| | 216a/216b: 소스/드레인 전극 | 3: 저장 영역 |
| | 311: 커패시터 제1 전극 | 314: 연결 전극 |
| | 316: 커패시터 제2 전극 | 4: 발광 영역 |
| | 418: 화소 전극 | 420: 중간층 |
| | 421: 대향 전극 | |

도면

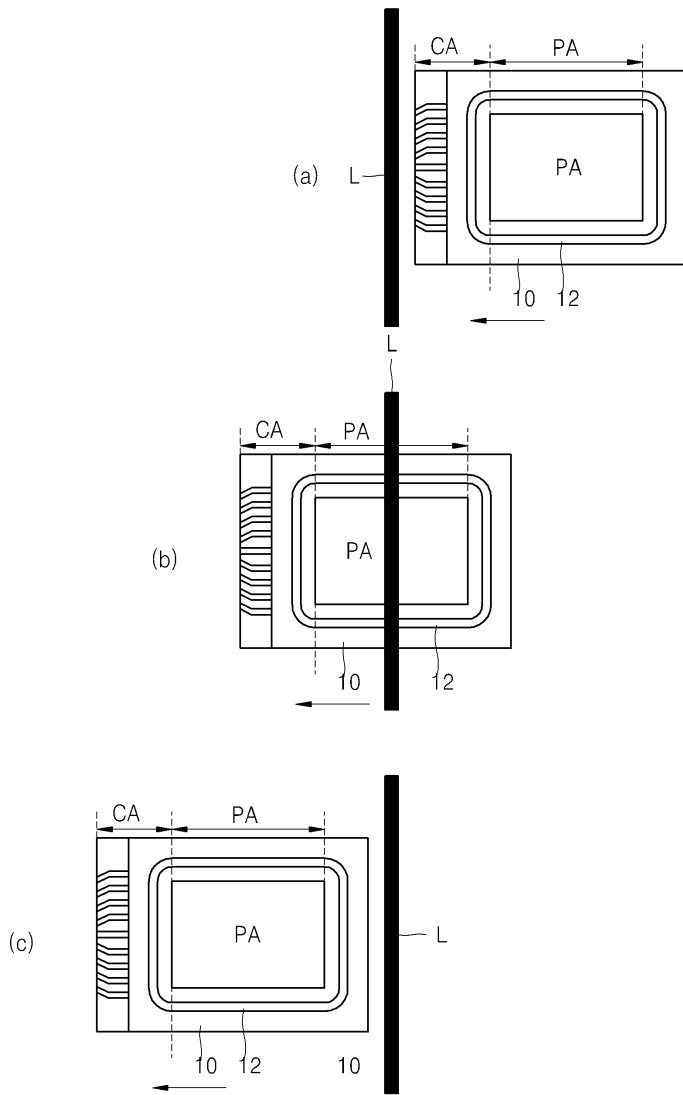
도면1



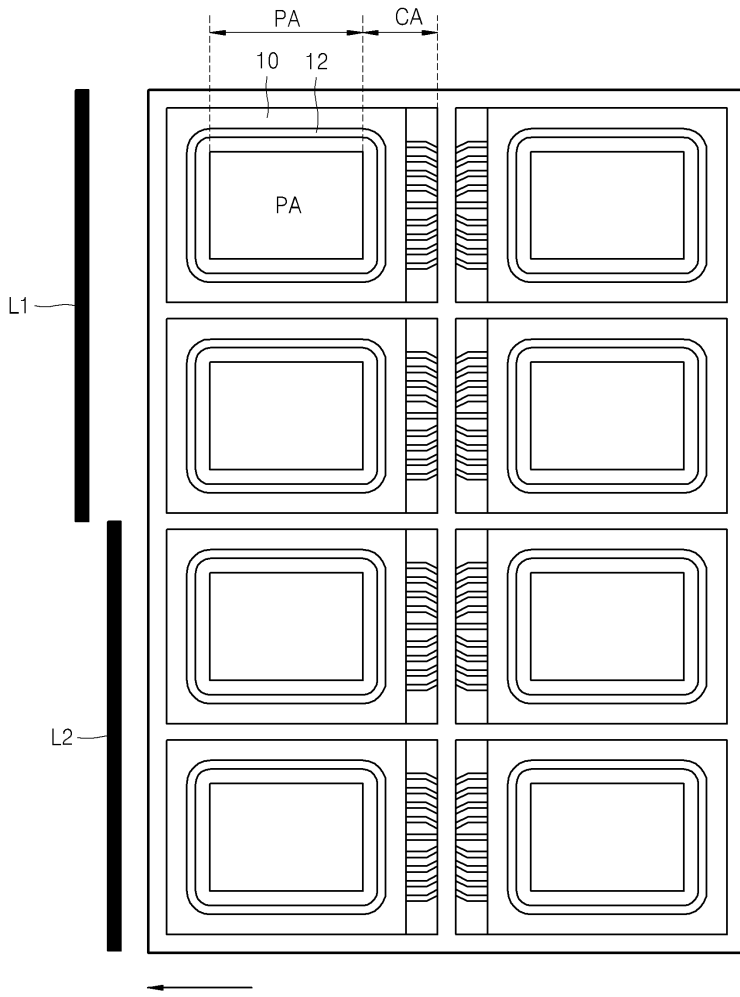
도면2



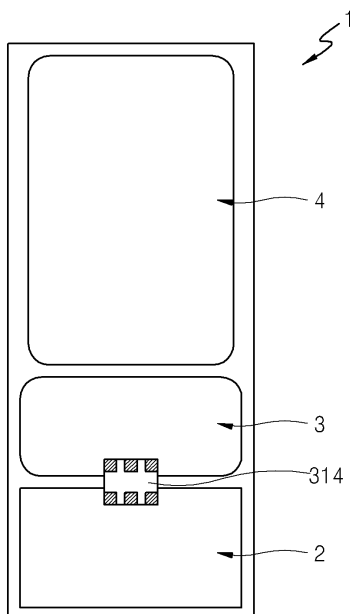
도면3



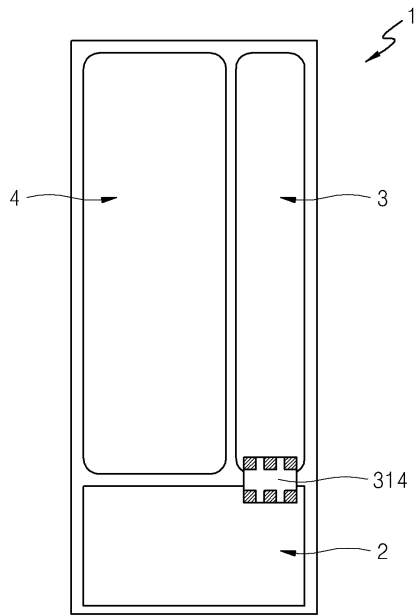
도면4



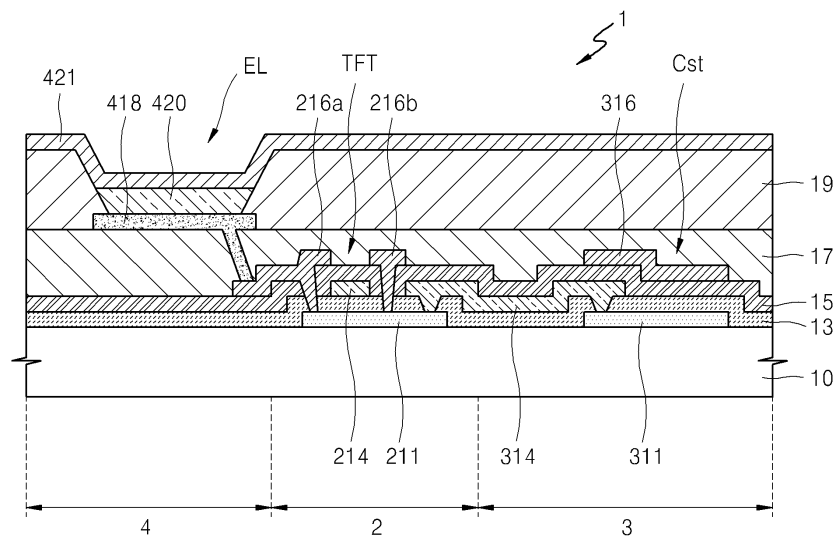
도면5



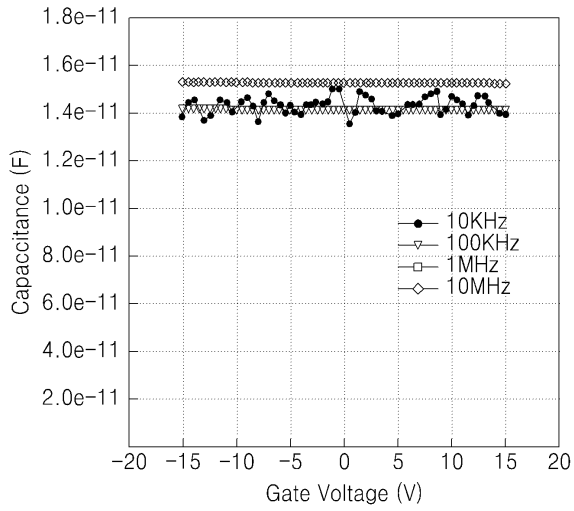
도면6



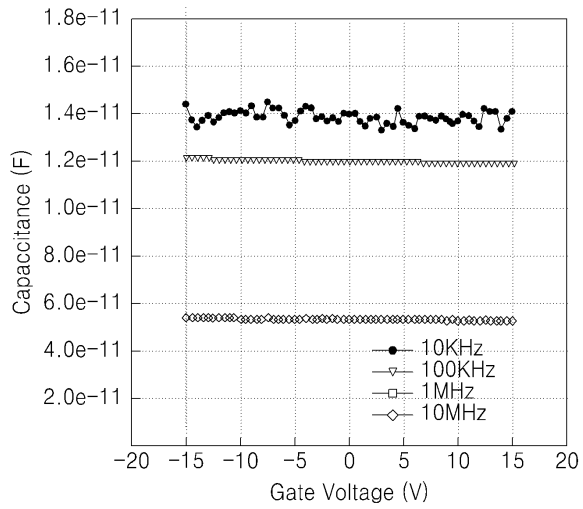
도면7



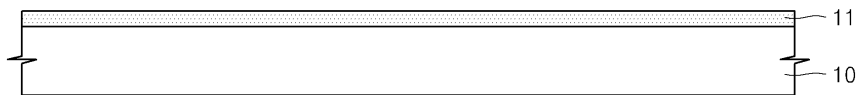
도면8



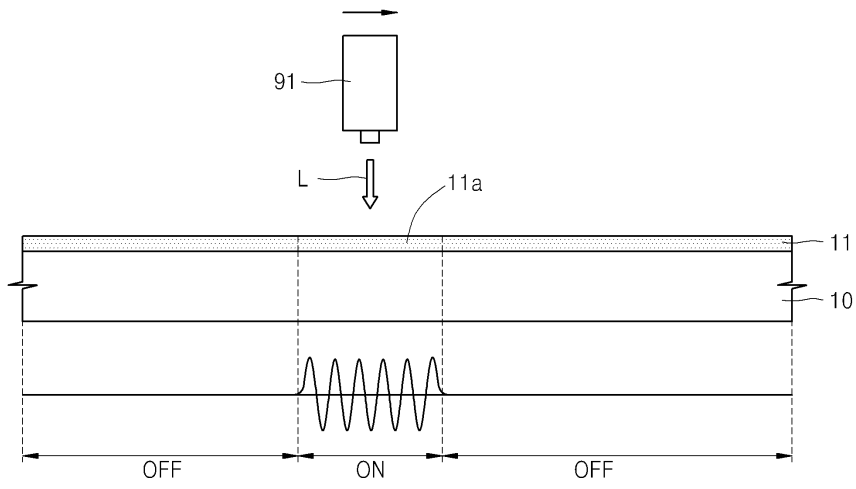
도면9



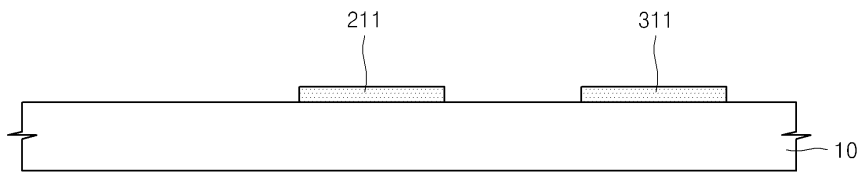
도면10



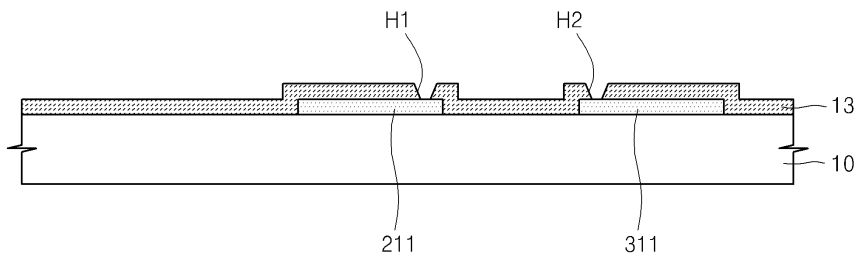
도면11



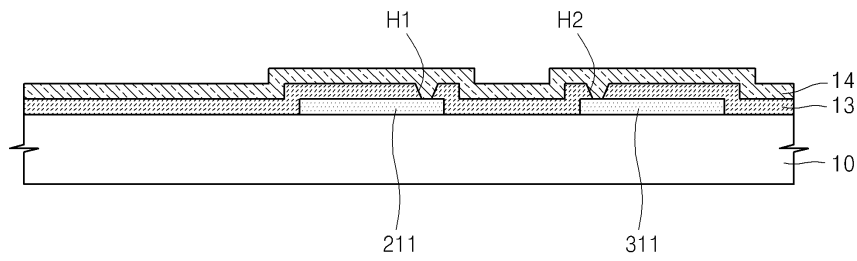
도면12



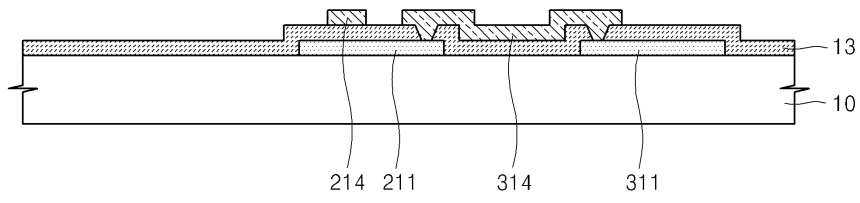
도면13



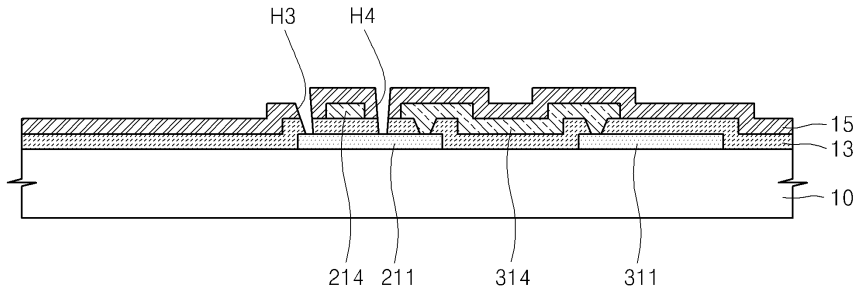
도면14



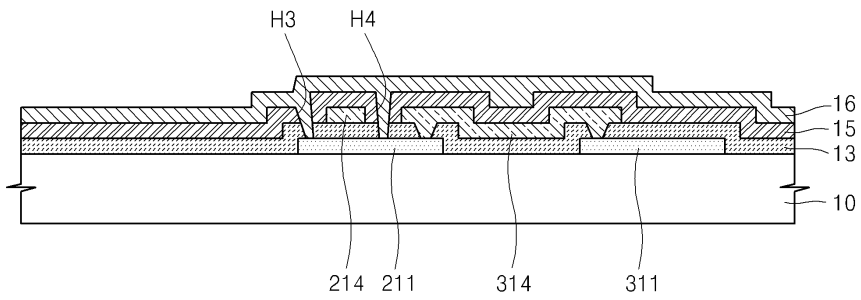
도면15



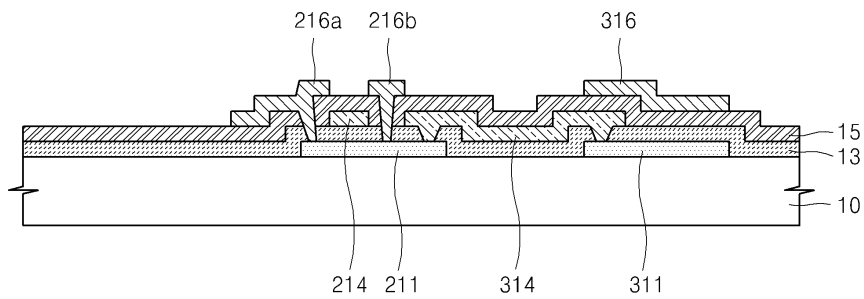
도면16



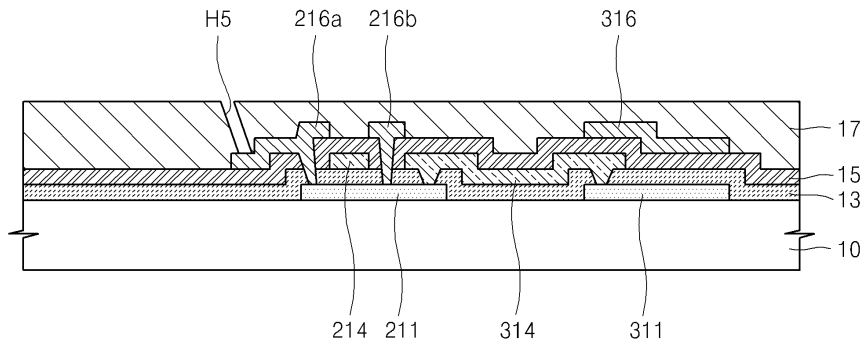
도면17



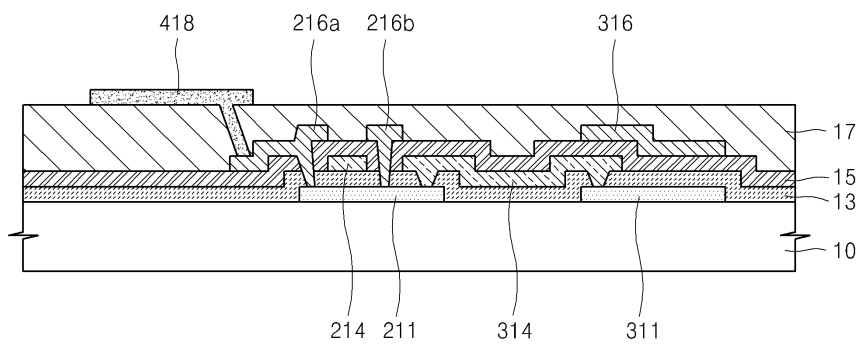
도면18



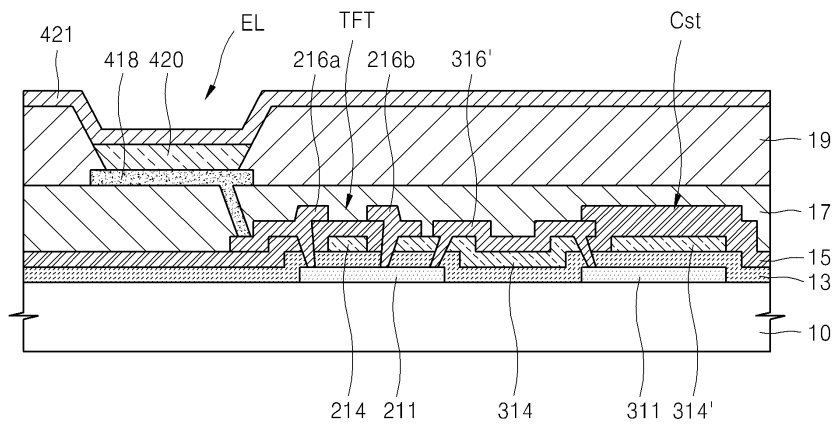
도면19



도면20



도면21



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 有机发光显示装置及其制造方法 | | |
| 公开(公告)号 | KR1020120016783A | 公开(公告)日 | 2012-02-27 |
| 申请号 | KR1020100079229 | 申请日 | 2010-08-17 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| 当前申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | OH JAE HWAN 오재환 JIN SEONG HYUN 진성현 CHANG YOUNG JIN 장영진 LEE WON KYU 이원규 CHOI JAE BEOM 최재범 PARK CHEOL HO 박철호 | | |
| 发明人 | 오재환 진성현 장영진 이원규 최재범 박철호 | | |
| IPC分类号 | H01L51/52 H01L51/56 | | |
| CPC分类号 | H01L27/3262 H01L27/3265 H01L27/1255 H01L27/127 H01L27/3258 | | |
| 其他公开文献 | KR101807848B1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

目的：提供一种有机发光显示装置及其制造方法，以通过提高结晶中使用的激光的效率来减少产生激光的维护。组成：薄膜晶体管（TFT）包括有源层（211），栅电极（214）和源/漏电极（216a / 216b）。有机发光装置（EL）包括中间层（420），该中间层包括像素电极（418）和发光层，并且还包括相对电极（421）。存储电容器包括第一电容器电极（311）和第二电容器电极（316）。连接电极（314）电连接有源层和第一电容器电极。连接电极形成为与栅电极相同的材料。

