



(72) 발명자

**이동원**

경기도 용인시 기흥구 농서동 산24

**이원필**

경기도 용인시 기흥구 농서동 산24

## 특허청구의 범위

### 청구항 1

기관;

상기 기관상에 배치되는 박막 트랜지스터;

상기 박막 트랜지스터 상에 픽셀마다 형성되는 제1 전극;

적어도 두 층을 포함하며 상기 제1 전극의 가장자리를 덮도록 형성되는 제1 화소 정의막;

상기 제1 화소 정의막 상에 상기 제1 화소 정의막의 적어도 일부를 덮도록 형성되는 제2 화소 정의막;

상기 제1 전극 상에 형성되고 발광층을 포함하는 유기층; 및

상기 제1 전극과 마주보도록 위치하는 제2 전극을 포함하는 유기 발광 디스플레이 장치.

### 청구항 2

제 1 항에 있어서,

상기 제1 화소 정의막은 무기 물질을 포함하고, 상기 제2 화소 정의막은 유기 물질을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

### 청구항 3

제 1 항에 있어서,

상기 제1 화소 정의막은 상기 제1 전극과 접하는 제1 층 및 상기 제1 층 상부에 형성되어 상기 제2 화소 정의막과 접하는 제2 층을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

### 청구항 4

제 3 항에 있어서,

상기 제1 층은 소수성 재료를 포함하고, 상기 제2 층은 친수성 재료를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

### 청구항 5

제 3 항에 있어서,

상기 제1 층은 상기 제1 전극과의 사이에 식각 선택비가 있는 물질로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

### 청구항 6

제 3 항에 있어서,

상기 제1 층은  $\text{SiNx}$ 를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

### 청구항 7

제 3 항에 있어서,

상기 제2 층은  $\text{SiO}_2$ 를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

### 청구항 8

제 3 항에 있어서,

상기 제1 층과 상기 제2 층 사이에 개재되어 버퍼층 역할을 수행하는 제3 층을 더 포함하는 것을 특징으로 하는

유기 발광 디스플레이 장치.

#### 청구항 9

제 1 항에 있어서,

상기 제1 화소 정의막은 상기 제2 화소 정의막 보다 화소 영역 쪽으로 일정 정도 돌출되도록 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

#### 청구항 10

제 1 항에 있어서,

상기 제2 화소 정의막은 상기 제1 화소 정의막의 단부를 덮지 아니하도록 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

#### 청구항 11

제 1 항에 있어서,

상기 박막 트랜지스터는,

상기 기판상에 형성되는 반도체 활성층과, 상기 반도체 활성층에 절연된 게이트 전극과, 상기 반도체 활성층에 각각 접하는 소스 및 드레인 전극을 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

#### 청구항 12

제 11 항에 있어서,

상기 드레인 전극과 상기 제1 전극 사이에 개재되는 패시베이션막을 더 포함하는 유기 발광 디스플레이 장치.

#### 청구항 13

제 11 항에 있어서,

상기 드레인 전극과 상기 제1 전극이 직접 접촉하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

#### 청구항 14

제 1 항에 있어서,

상기 제2 전극은 상기 제2 화소 정의막 상에 상기 제2 화소 정의막을 따라 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

#### 청구항 15

기판과, 상기 기판상에 형성되는 반도체 활성층과, 상기 반도체 활성층에 절연된 게이트 전극과, 상기 반도체 활성층에 각각 접하는 소스 및 드레인 전극을 구비하는 박막 트랜지스터(thin film transistor: TFT)를 구비하는 단계;

상기 박막 트랜지스터(thin film transistor: TFT) 상에, 상기 박막 트랜지스터의 상기 드레인 전극과 전기적으로 연결되도록 제1 전극을 형성하는 단계;

상기 제1 전극 상에 상기 제1 전극의 가장자리를 덮도록, 적어도 두 층을 포함하는 제1 화소 정의막을 형성하는 단계;

상기 제1 화소 정의막 상에 상기 제1 화소 정의막의 적어도 일부를 덮도록 제2 화소 정의막을 형성하는 단계;

상기 제1 화소 정의막 및 상기 제2 화소 정의막을 패터닝하여 상기 제1 전극이 외부로 노출되는 단계;

상기 제1 전극 상에 유기층을 형성하는 단계; 및

상기 제2 화소 정의막 및 상기 유기층 상에 제2 전극을 형성하는 단계를 포함하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 16

제 15 항에 있어서,

상기 박막 트랜지스터(thin film transistor: TFT) 상에 제1 전극을 형성하는 단계는,

상기 박막 트랜지스터 상에 패시베이션막을 형성하는 단계;

상기 패시베이션막을 패터닝 하여 소정의 개구부를 형성하는 단계; 및

상기 패시베이션막 상에 전도성 물질을 도포한 후 이를 패터닝 하여 제1 전극을 형성하는 단계를 포함하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 17

제 15 항에 있어서,

상기 박막 트랜지스터(thin film transistor: TFT) 상에 제1 전극을 형성하는 단계는,

상기 박막 트랜지스터 상에 전도성 물질을 도포한 후 이를 패터닝 하여 제1 전극을 형성하는 단계를 포함하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 18

제 17 항에 있어서,

상기 드레인 전극과 상기 제1 전극이 직접 접촉하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 19

제 15 항에 있어서,

상기 제1 화소 정의막은 무기 물질을 포함하고, 상기 제2 화소 정의막은 유기 물질을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 20

제 15 항에 있어서,

상기 제1 화소 정의막 및 상기 제2 화소 정의막을 패터닝하여 상기 제1 전극이 외부로 노출되는 단계는,

상기 제2 화소 정의막이 상기 제1 화소 정의막의 단부를 덮지 아니하도록 패터닝되는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 21

제 15 항에 있어서,

상기 제1 화소 정의막을 형성하는 단계는,

상기 제1 전극과 접하는 제1 층을 형성하는 단계; 및

상기 제1 층 상부에 형성되는 제2 층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 22

제 21 항에 있어서,

상기 제1 층은 소수성 재료를 포함하고, 상기 제2 층은 친수성 재료를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 23

제 21 항에 있어서,

상기 제1 층은 상기 제1 전극과의 사이에 식각 선택비가 있는 물질로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 24

제 21 항에 있어서,

상기 제1 층은 SiNx를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 25

제 21 항에 있어서,

상기 제2 층은 SiO<sub>2</sub>를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 26

제 21 항에 있어서,

상기 제1 층과 상기 제2 층 사이에 개재되어 버퍼층 역할을 수행하는 제3 층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

#### 청구항 27

제 15 항에 있어서,

상기 유기층은 잉크젯(Inkjet) 또는 노즐 프린팅(Nozzle printing) 방법으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

### 명세서

#### 기술 분야

[0001] 본 발명은 유기 발광 디스플레이 장치 및 그 제조 방법에 관한 것으로, 상세하게는 픽셀 전극의 테두리 영역에서 불량이 개선된 유기 발광 디스플레이 장치 및 그 제조 방법에 관한 것이다.

#### 배경 기술

[0002] 통상적으로, 평판 표시 장치(flat display device)는 크게 발광형과 수광형으로 분류할 수 있다. 발광형으로는 평판 음극선관(flat cathode ray tube)과, 플라스마 디스플레이 패널(plasma display panel)과, 전계 발광 소자(electro luminescent device)와, 발광 다이오드(light emitting diode) 등이 있다. 수광형으로는 액정 디스플레이(liquid crystal display)를 들 수 있다. 이 중에서, 전계 발광 소자는 시야각이 넓고, 콘트라스트가 우수할 뿐만 아니라 응답 속도가 빠르다는 장점을 가지고 있어서 차세대 표시 소자로서 주목을 받고 있다. 이러한 전자 발광 소자는 발광층을 형성하는 물질에 따라서 무기 전계 발광 소자와 유기 전계 발광 소자로 구분된다.

[0003] 이 중에서, 유기 전계 발광 소자는 형광성 유기 화합물을 전기적으로 여기(excitation)시켜서 발광시키는 자발광형 디스플레이로, 낮은 전압에서 구동이 가능하고, 박형화가 용이하며, 광시야각, 빠른 응답 속도 등 액정 디스플레이에 있어서 문제점으로 지적되는 것을 해결할 수 있는 차세대 디스플레이로 주목받고 있다.

[0004] 유기 전계 발광 소자는 애노드 전극과 캐소드 전극 사이에 유기물로 이루어진 발광층을 구비하고 있다. 유기 전계 발광 소자는 이들 전극들에 양극 및 음극 전압이 각각 인가됨에 따라 애노드 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 캐소드 전극으로부터 전자 수송층을 경유하여 발광층으로 이동되어서, 발광층에서 전자와 정공이 재결합하여 여기자(exiton)을 생성하게 된다.

[0005] 이 여기자가 여기 상태에서 기저 상태로 변화함에 따라, 발광층의 형광성 분자가 발광함으로써 화상을 형성하게 된다. 풀 컬러(full color)형 유기 전계 발광 소자의 경우에는 적(R), 녹(G), 청(B)의 삼색을 발광하는 화소(pixel)를 구비토록 함으로써 풀 컬러를 구현한다.

[0006] 이와 같은 유기 전계 발광 소자에서, 애노드 전극의 양단부에는 화소 정의막(Pixel Define Layer)이 형성된다.

그리고, 이 화소 정의막에 소정의 개구를 형성한 후, 개구가 형성되어 외부로 노출된 애노드 전극의 상부에 발광층 및 캐소드 전극이 차례로 형성된다.

## 발명의 내용

### 해결하려는 과제

[0007] 본 발명은 픽셀 전극의 테두리 영역에서 불량이 개선된 유기 발광 디스플레이 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

### 과제의 해결 수단

[0008] 본 발명은 기판; 상기 기판상에 배치되는 박막 트랜지스터; 상기 박막 트랜지스터 상에 픽셀마다 형성되는 제1 전극; 적어도 두 층을 포함하며 상기 제1 전극의 가장자리를 덮도록 형성되는 제1 화소 정의막; 상기 제1 화소 정의막 상에 상기 제1 화소 정의막의 적어도 일부를 덮도록 형성되는 제2 화소 정의막; 상기 제1 전극 상에 형성되고 발광층을 포함하는 유기층; 및 상기 제1 전극과 마주보도록 위치하는 제2 전극을 포함하는 유기 발광 디스플레이 장치를 제공한다.

[0009] 본 발명에 있어서, 상기 제1 화소 정의막은 무기 물질을 포함하고, 상기 제2 화소 정의막은 유기 물질을 포함할 수 있다.

[0010] 본 발명에 있어서, 상기 제1 화소 정의막은 상기 제1 전극과 접하는 제1 층 및 상기 제1 층 상부에 형성되어 상기 제2 화소 정의막과 접하는 제2 층을 포함할 수 있다.

[0011] 여기서, 상기 제1 층은 소수성 재료를 포함하고, 상기 제2 층은 친수성 재료를 포함할 수 있다.

[0012] 여기서, 상기 제1 층은 상기 제1 전극과의 사이에 식각 선택비가 있는 물질로 형성될 수 있다.

[0013] 여기서, 상기 제1 층은  $\text{SiNx}$ 를 포함할 수 있다.

[0014] 여기서, 상기 제2 층은  $\text{SiO}_2$ 를 포함할 수 있다.

[0015] 여기서, 상기 제1 층과 상기 제2 층 사이에 개재되어 버퍼층 역할을 수행하는 제3 층을 더 포함할 수 있다.

[0016] 본 발명에 있어서, 상기 제1 화소 정의막은 상기 제2 화소 정의막 보다 화소 영역 쪽으로 일정 정도 돌출되도록 형성될 수 있다.

[0017] 본 발명에 있어서, 상기 제2 화소 정의막은 상기 제1 화소 정의막의 단부를 덮지 아니하도록 형성될 수 있다.

[0018] 본 발명에 있어서, 상기 박막 트랜지스터는, 상기 기판상에 형성되는 반도체 활성층과, 상기 반도체 활성층에 절연된 게이트 전극과, 상기 반도체 활성층에 각각 접하는 소스 및 드레인 전극을 구비할 수 있다.

[0019] 여기서, 상기 드레인 전극과 상기 제1 전극 사이에 개재되는 패시베이션막을 더 포함할 수 있다.

[0020] 여기서, 상기 드레인 전극과 상기 제1 전극이 직접 접촉할 수 있다.

[0021] 본 발명에 있어서, 상기 제2 전극은 상기 제2 화소 정의막 상에 상기 제2 화소 정의막을 따라 형성될 수 있다.

[0022] 다른 측면에 관한 본 발명은, 기판과, 상기 기판상에 형성되는 반도체 활성층과, 상기 반도체 활성층에 절연된 게이트 전극과, 상기 반도체 활성층에 각각 접하는 소스 및 드레인 전극을 구비하는 박막 트랜지스터(thin film transistor: TFT)를 구비하는 단계; 상기 박막 트랜지스터(thin film transistor: TFT) 상에, 상기 박막 트랜지스터의 상기 드레인 전극과 전기적으로 연결되도록 제1 전극을 형성하는 단계; 상기 제1 전극 상에 상기 제1 전극의 가장자리를 덮도록, 적어도 두 층을 포함하는 제1 화소 정의막을 형성하는 단계; 상기 제1 화소 정의막 상에 상기 제1 화소 정의막의 적어도 일부를 덮도록 제2 화소 정의막을 형성하는 단계; 상기 제1 화소 정의막 및 상기 제2 화소 정의막을 패터닝하여 상기 제1 전극이 외부로 노출되는 단계; 상기 제1 전극 상에 유기층을 형성하는 단계; 및 상기 제2 화소 정의막 및 상기 유기층 상에 제2 전극을 형성하는 단계를 포함하는 유기 발광 디스플레이 장치의 제조 방법을 제공한다.

[0023] 본 발명에 있어서, 상기 박막 트랜지스터(thin film transistor: TFT) 상에 제1 전극을 형성하는 단계는, 상기 박막 트랜지스터 상에 패시베이션막을 형성하는 단계; 상기 패시베이션막을 패터닝 하여 소정의 개구부를 형성하는 단계; 및 상기 패시베이션막 상에 전도성 물질을 도포한 후 이를 패터닝 하여 제1 전극을 형성하는 단계를

포함할 수 있다.

- [0024] 본 발명에 있어서, 상기 박막 트랜지스터(thin film transistor: TFT) 상에 제1 전극을 형성하는 단계는, 상기 박막 트랜지스터 상에 전도성 물질을 도포한 후 이를 패터닝 하여 제1 전극을 형성하는 단계를 포함할 수 있다.
- [0025] 여기서, 상기 드레인 전극과 상기 제1 전극이 직접 접촉할 수 있다.
- [0026] 본 발명에 있어서, 상기 제1 화소 정의막은 무기 물질을 포함하고, 상기 제2 화소 정의막은 유기 물질을 포함할 수 있다.
- [0027] 본 발명에 있어서, 상기 제1 화소 정의막 및 상기 제2 화소 정의막을 패터닝하여 상기 제1 전극이 외부로 노출되는 단계는, 상기 제2 화소 정의막이 상기 제1 화소 정의막의 단부를 덮지 아니하도록 패터닝 될 수 있다.
- [0028] 본 발명에 있어서, 상기 제1 화소 정의막을 형성하는 단계는, 상기 제1 전극과 접하는 제1 층을 형성하는 단계; 및 상기 제1 층 상부에 형성되는 제2 층을 형성하는 단계를 포함할 수 있다.
- [0029] 여기서, 상기 제1 층은 소수성 재료를 포함하고, 상기 제2 층은 친수성 재료를 포함할 수 있다.
- [0030] 여기서, 상기 제1 층은 상기 제1 전극과의 사이에 식각 선택비가 있는 물질로 형성될 수 있다.
- [0031] 여기서, 상기 제1 층은 SiNx를 포함할 수 있다.
- [0032] 여기서, 상기 제2 층은 SiO<sub>2</sub>를 포함할 수 있다.
- [0033] 여기서, 상기 제1 층과 상기 제2 층 사이에 개재되어 버퍼층 역할을 수행하는 제3 층을 형성하는 단계를 더 포함할 수 있다.
- [0034] 본 발명에 있어서, 상기 유기층은 잉크젯(Inkjet) 또는 노즐 프린팅(Nozzle printing) 방법으로 형성될 수 있다.

### 발명의 효과

- [0035] 이와 같은 본 발명에 의해서 픽셀 전극의 테두리 영역에서 불량이 개선되는 효과를 얻을 수 있다.

### 도면의 간단한 설명

- [0036] 도 1은 본 발명의 제1 실시예에 관한 유기 발광 디스플레이 장치를 도시한 단면도이다.
- 도 2 내지 도 7은 도 1에 따른 유기 발광 디스플레이 장치의 제조 방법을 순차적으로 도시한 단면도들이다.
- 도 8은 본 발명의 제2 실시예에 관한 유기 발광 디스플레이 장치를 도시한 단면도이다.
- 도 9 내지 도 13은 도 8에 따른 유기 발광 디스플레이 장치의 제조 방법을 순차적으로 도시한 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.
- [0038] (제1 실시예)
- [0039] 도 1은 본 발명의 제1 실시예에 관한 유기 발광 디스플레이 장치를 도시한 단면도이다.
- [0040] 도 1에 도시된 바와 같이, 글라스재 또는 플라스틱재의 기판(50)상에 버퍼층(51)이 형성되어 있고, 이 위에 박막 트랜지스터(thin film transistor: TFT)와, 유기 전계 발광 소자(OLED)가 형성된다.
- [0041] 기판(50) 상에는 버퍼층(51)이 형성되고, 버퍼층(51) 상에는 반도체 소재로 형성된 활성층(52)이 구비되고, 이 활성층(52)을 덮도록 게이트 절연막(53)이 형성된다. 게이트 절연막(53)의 상부에는 게이트 전극(54)이 형성된다. 게이트 전극(54)은 박막 트랜지스터 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 그리고, 게이트 전극(54)을 덮도록 층간 절연막(55)이 형성되며, 층간 절연막(55)의 상부에 소스/드레인 전극(56)(57)이 형성된다. 소스/드레인 전극(56)(57)은 게이트 절연막(53) 및 층간 절연막(55)에 형성된 콘택 홀에 의해 활성층(52)의 소스/드레인 영역(52b)(52c)에 각각 접촉된다. 그리고, 소스/드레인 전극(56)(57) 상부로는 SiO<sub>2</sub>, SiNx 등으로 이루어진 패시베이션막(58)이 형성된다.
- [0042] 상세히, 기판(50) 상에 구비되는 활성층(52)은 무기 반도체 또는 유기 반도체로부터 선택되어 형성될 수 있는



것으로, 소스/드레인 영역(52b)(52c)에 n형 또는 p형 불순물이 도핑되어 있고, 이들 소스 영역과 드레인 영역을 연결하는 채널 영역(52a)을 구비한다.

[0043] 활성층(52)은 무기 반도체 또는 유기 반도체로 형성될 수 있다. 활성층(52)을 형성하는 무기 반도체는 CdS, GaS, ZnS, CdSe, CaSe, ZnSe, CdTe, SiC, 및 Si를 포함하는 것일 수 있다. 그리고, 활성층(52)을 형성하는 유기 반도체로는 고분자로서, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헥테로고리방향족 공중합체 및 그 유도체를 포함할 수 있고, 저분자로서, 펜타센, 테트라센, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-6-티오펜, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 또는 파이로멜리틱 디이미드 및 이들의 유도체, 퍼틸렌테트라카르복실산 디안하이드라이드 또는 퍼틸렌테트라카르복실릭 디이미드 및 이들의 유도체를 포함할 수 있다.

[0044] 활성층(52)은 게이트 절연막(53)에 덮히고, 게이트 절연막(53)의 상부에 게이트 전극(54)이 형성된다. 게이트 전극(54)은 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 형성될 수 있는 데, 반드시 이에 한정되지 않으며, 도전성 폴리머 등 다양한 도전성 물질이 게이트 전극(54)으로 사용될 수 있다. 게이트 전극(54)은 활성층(52)의 채널 영역에 대응되는 영역을 커버하도록 형성된다.

[0045] 박막 트랜지스터(TFT)의 상부로는 박막 트랜지스터(TFT)를 보호하는 보호막의 역할을 할 수도 있고, 그 상면을 평탄화시키는 평탄화막의 역할을 할 수도 있는 패시베이션막(58)이 형성된다.

[0046] 한편, 패시베이션막(58)에 소정의 개구를 형성한 후, 패시베이션막(58) 및 층간 절연막(55)의 상부에는 유기 전계 발광 소자(OLED)의 애노드 전극이 되는 제1 전극(61)이 형성되고, 이를 덮도록 유기물로 화소 정의막(Pixel Define Layer: 70)이 형성된다. 화소 정의막(70)에 소정의 개구를 형성한 후, 화소 정의막(70)의 상부 및 개구가 형성되어 외부로 노출된 제1 전극(61)의 상부에 유기층(62)을 형성한다. 여기서, 유기층(62)은 발광층을 포함한다. 본 발명은 반드시 이와 같은 구조로 한정되는 것은 아니며, 다양한 유기 발광 디스플레이 장치의 구조가 그대로 적용될 수 있음은 물론이다.

[0047] 이와 같은 본 발명의 제1 실시예에 관한 유기 발광 디스플레이 장치는, 화소 정의막(70)이 유기층과 무기층이 차례로 형성된 적층 구조로 형성되며, 상기 무기층이 다시 복수 개의 층이 차례로 형성된 적층 구조로 형성되는 것을 일 특징으로 하는 바, 이에 대하여는 뒤에서 상세히 설명한다.

[0048] 유기 전계 발광 소자(OLED)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, 박막 트랜지스터의 드레인 전극(56)에 연결되어 이로부터 플러스 전원을 공급받는 제1 전극(61)과, 전계 화소를 덮도록 구비되어 마이너스 전원을 공급하는 제2 전극(63) 및 이들 제1 전극(61)과 제2 전극(63)의 사이에 배치되어 발광하는 유기층(62)으로 구성된다.

[0049] 제1 전극(61)과 제2 전극(63)은 유기층(62)에 의해 서로 절연되어 있으며, 유기층(62)에 서로 다른 극성의 전압을 가해 유기층(62)에서 발광이 이뤄지도록 한다.

[0050] 여기서, 유기층(62)은 저분자 또는 고분자 유기층이 사용될 수 있는 데, 저분자 유기층을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기층은 진공증착의 방법으로 형성된다.

[0051] 고분자 유기층의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이때, 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

[0052] 이와 같은 유기층은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

[0053] 제1 전극(61)은 애노드 전극의 기능을 하고, 제2 전극(63)은 캐소드 전극의 기능을 하는 데, 물론, 이들 제1 전극(61)과 제2 전극(63)의 극성은 반대로 되어도 무방하다.

[0054] 제1 전극(61)은 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 ITO, IZO,

ZnO, 또는  $\text{In}_2\text{O}_3$ 로 구비될 수 있고, 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 IT0, IZO, ZnO, 또는  $\text{In}_2\text{O}_3$ 를 형성할 수 있다.

[0055] 한편, 제2 전극(63)도 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 제2 전극(63)이 캐소드 전극으로 사용되므로, 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물이 유기층(62)의 방향을 향하도록 증착한 후, 그 위에 IT0, IZO, ZnO, 또는  $\text{In}_2\text{O}_3$  등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물을 전면 증착하여 형성한다.

[0056] 이하에서는 본 발명의 제1 실시예에 관한 유기 발광 디스플레이 장치의 화소 정의막에 대하여 살펴본다.

[0057] 화소 정의막이란 유기 발광 디스플레이 장치를 제작함에 있어, 발광 영역을 보다 정확하게 정의해주는 역할을 하는 패터닝 된 절연층을 의미한다. 종래의 유기 발광 디스플레이 장치의 화소 정의막은, 유기 물질로 이루어진 단층막으로 형성되는 것이 일반적이었다. 한편, 이와 같은 화소 정의막 상에 유기층을 형성하기 위하여 종래에는 증착 방법이 일반적으로 사용되었으나, 마스크 공정을 줄이고 패턴 정밀도를 향상시키기 위하여 최근에는 잉크젯(Inkjet) 또는 노즐 프린팅(Nozzle printing) 등의 프린트 기술이 개발되고 있다.

[0058] 이와 같은 프린트(Print) 기술을 이용하는 유기층 패터닝 공정에서는, 가용성(Soluble) 재료나 폴리머(polymer) 계열의 액상 물질을 화소 정의막이 형성하는 뱅크(bank) 사이에 주입하고, 이를 건조(Dry)하여 유기층을 형성한다. 이때, 제1 전극 위에 처음으로 프린트되는 물질로는, 발광 재료와 제1 전극 간의 전류 흐름을 이어주기 위한 도전 물질인 전자 수송층(ETL)이 사용되는데, 일반적으로는 PEDOT 등의 재료를 사용한다. 이러한 물질은 물과 같은 성질의 재료로서, 화소 정의막의 재료 특성에 따라 그 인쇄되는 양상이 달라진다. 예를 들어, 화소 정의막이 친수성의 물질이면 유기 재료는 넓게 퍼지며 잘 묻게 되고, 화소 정의막이 소수성의 물질이면 유기 재료가 둥글게 뭉치게 되며 잘 묻지 않게 된다.

[0059] 그래서, 종래 화소 정의막의 일반적인 구조는, 소수성의 유기 화소 정의막(polyimide, acryl 등)과 친수성의 제1 전극(ITO 등)으로 뱅크를 구성한다. 즉, 제1 전극은 친수성으로 유기 물질이 잘 묻고, 유기 화소 정의막은 소수성으로 유기 물질이 픽셀 내에만 잘 모여 있도록 하여, 건조 이후 유기 물질이 제1 전극 위에 잘 안착 되도록 한다. 그런데, 이와 같은 프린트(Print) 기술을 이용하는 유기층 패터닝 공정의 불량 중 가장 많은 부분을 차지하는 항목이 테두리 불량이다. 즉, 유기층의 건조 과정에서 픽셀 내의 유기층의 테두리 영역이 말려 올라가면서 유기층 내에 두께 편차가 생기며, 이로 인하여 픽셀의 테두리 영역에 불량이 발생하는 것이다.

[0060] 이와 같은 픽셀의 테두리 영역에서의 불량을 방지하기 위하여, 본 발명의 제1 실시예에 따른 유기 발광 디스플레이 장치는 무기막으로 형성된 제1 화소 정의막(71)과, 유기막으로 형성된 제2 화소 정의막(72)을 구비하되, 상기 제1 화소 정의막(71)은 다시 무기막의 다층 구조로 형성되는 것을 일 특징으로 한다. 여기서, 제1 화소 정의막(71)은 제1 전극(61)들 사이에 형성되고, 제2 화소 정의막(72)은 제1 전극(61)의 외곽부(edge)와 제1 화소 정의막(71)을 덮도록 형성된다.

[0061] 이를 더욱 상세히 설명하면 다음과 같다.

[0062] 본 발명에서는 픽셀의 테두리 영역에서의 불량을 방지하기 위하여, 무기막으로 형성된 제1 화소 정의막(71)과, 유기막으로 형성된 제2 화소 정의막(72)을 포함하는 듀얼 화소 정의막(Dual PDL) 구조를 적용하여, 불량이 발생하는 테두리 부분을 절연시킴으로써 불량을 발생시키는 영역이 발광하지 아니하도록 할 수 있다. 그런데, 무기막으로 형성되는 제1 화소 정의막(71)은 두께가 얇아야 하고 절연성이 있어야 하므로, 일반적으로 무기 산화막( $\text{SiNx}$ ,  $\text{SiO}_2$ ,  $\text{SiOx}$  등)을 사용하는데, 뱅크로 사용되기 위하여서는 친수성의 성질을 가진  $\text{SiO}_2$ 가 바람직하지만,  $\text{SiO}_2$ 는 제1 전극으로 사용하는 ITO와의 식각 선택비가 없으므로 제1 화소 정의막(71)으로  $\text{SiNx}$ 를 사용할 수 있다. 그러나  $\text{SiNx}$ 는 소수성의 성질이 있으므로 또 다른 불량을 발생시킬 수 있다.

[0063] 따라서, 본 발명에서는 무기막으로 형성되는 제1 화소 정의막(71)을 다층 구조로 형성하여, 제1 전극(61)과 접촉하는 제1 화소 정의막(71)의 하부에는 소수성의  $\text{SiNx}$ 로 형성된 제1 층(71a)을 배치하고, 상기 제1 층(71a)의 상부 즉 유기층(62)과 접촉하는 제1 화소 정의막(71)의 상부에는 친수성의  $\text{SiO}_2$ 로 형성된 제2 층(71b)을 배치할 수 있다. 즉, 제1 전극(61)과 접촉하는 제1 화소 정의막(71)의 하부에는 제1 전극(61)과의 사이에 식각 선택비가 있는  $\text{SiNx}$ 로 형성된 제1 층(71a)을 배치하여 제1 화소 정의막(71)이 선택적으로 식각될 수 있도록 하는 동시에, 유기층(62)과 접촉하는 제1 화소 정의막(71)의 상부에는 친수성의  $\text{SiO}_2$ 로 형성된 제2 층(71b)을 배치하여

제1 화소 정의막(71)이 बैं크로서의 역할을 수행할 수 있도록 하는 것이다.

- [0064] 더불어, 상기 제1 층(71a)과 제2 층(71b) 사이에는 제3 층(71c)이 더 개재될 수 있다. 상기 제3 층(71c)은 공정의 마진(margin)을 위한 버퍼층으로 기능 할 수 있다.
- [0065] 한편, 이와 같이 무기막으로 형성된 제1 화소 정의막(71)을 덮도록 제1 화소 정의막(71) 상에 유기막으로 형성된 제2 화소 정의막(72)이 형성될 수 있다. 이와 같은 유기막으로 형성된 제2 화소 정의막(72)은 소수성을 띠며, 유기 물질이 픽셀 내에만 잘 모여 있도록 하여, 건조 이후 유기 물질이 제1 전극 위에 잘 안착 되도록 한다.
- [0066] 이와 같은 본 발명에 의해서, 기존 공정의 변경 없이도 개선된 구조의 화소 정의막을 적용하는 것이 가능해지는 효과를 얻을 수 있다. 또한, 무기막으로 형성되는 제1 화소 정의막(71)을 다층 구조로 형성하여, 화소 영역의 테두리 불량에 현저하게 개선될 뿐만 아니라, 불량 발광 영역을 제거함으로써 광 특성의 개선되는 효과를 얻을 수 있다.
- [0067] 이하에서는, 본 발명의 제1 실시예에 따른 유기 발광 디스플레이 장치의 제조 방법에 대하여 상세히 설명한다.
- [0068] 도 2 내지 도 7은 도 1의 실시예에 따른 유기 발광 디스플레이 장치의 제조 단계를 개략적으로 도시한 단면도이다.
- [0069] 도 2를 참조하면, 먼저 박막 트랜지스터(thin film transistor: TFT)를 구비한다. 상세히, 기판(50) 상에는 버퍼층(51)이 형성되고, 버퍼층(51) 상에는 반도체 소재로 형성된 활성층(52)이 구비되고, 이 활성층(52)을 덮도록 게이트 절연막(53)이 형성된다. 게이트 절연막(53)의 상부에는 게이트 전극(54)이 형성된다. 그리고, 게이트 전극(54)을 덮도록 층간 절연막(55)이 형성되며, 층간 절연막(55)의 상부에 소스/드레인 전극(56)(57)이 형성된다. 소스/드레인 전극(56)(57)은 게이트 절연막(53) 및 층간 절연막(55)에 형성된 콘택 홀에 의해 활성층(52)의 소스/드레인 영역에 각각 접촉된다. 그리고, 소스/드레인 전극(56)(57) 상부로는  $\text{SiO}_2$ ,  $\text{SiNx}$  등으로 이루어진 패시베이션막(58)이 형성된다.
- [0070] 다음으로, 도 3 및 도 4를 참조하면, 박막 트랜지스터(thin film transistor: TFT) 상에 제1 전극(61)이 형성된다. 상세히, 도 3에 도시된 바와 같이 패시베이션막(58)을 패터닝 하여 화소 영역에 해당하는 개구부(58a) 및 콘택 홀(58b)이 형성된 후, 도 4에 도시된 바와 같이 패시베이션막(58) 상에 금속 또는 전도성 금속 산화물 등의 전도성 물질을 도포한 후, 이를 패터닝 함으로써 제1 전극(61)을 형성한다.
- [0071] 다음으로, 도 5를 참조하면, 패시베이션막(58) 및 제1 전극(61) 상에 무기막의 다층 구조로 형성되는 제1 화소 정의막(71)이 형성되고, 그 위에 유기막으로 형성되는 제2 화소 정의막(72)이 형성된다.
- [0072] 먼저, 제1 전극(61)과 접촉하도록 소수성의  $\text{SiNx}$ 로 형성된 제1 층(71a)을 배치된다. 다음으로, 제1 층(71a) 상에는 공정의 마진(margin)을 위한 버퍼층으로 기능 하는 제3 층(71c)이 배치된다. 마지막으로, 제3 층(71c) 상에는 친수성의  $\text{SiO}_2$ 로 형성된 제2 층(71b)이 배치된다. 즉, 제1 전극(61)과 접촉하는 제1 화소 정의막(71)의 하부에는 제1 전극(61)과의 사이에 식각 선택비가 있는  $\text{SiNx}$ 로 형성된 제1 층(71a)을 배치하여 제1 화소 정의막(71)이 선택적으로 식각될 수 있도록 하는 동시에, 유기층(도 1의 62 참조)과 접촉하는 제1 화소 정의막(71)의 상부에는 친수성의  $\text{SiO}_2$ 로 형성된 제2 층(71b)을 배치하여 제1 화소 정의막(71)이 बैं크로서의 역할을 수행할 수 있도록 하는 것이다.
- [0073] 여기서, 상기 제1 화소 정의막(71)의 제1 층(71a)의 재료로는  $\text{SiNx}$ 를 예시하고 있고, 제2 층(71b)의 재료로는  $\text{SiO}_2$ 를 예시하고 있으나, 본 발명의 사상은 이에 제한되지 아니하며, 제1 화소 정의막(71)은 절연 특성을 갖는  $\text{SiO}_2$ ,  $\text{SiNx}$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{CuOx}$ ,  $\text{Tb}_4\text{O}_7$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{Nb}_2\text{O}_5$ ,  $\text{Pr}_2\text{O}_3$  등에서 선택된 무기 재료로 형성될 수 있다. 또한, 제1 화소 정의막(71)은 스퍼터법, 화학진공증착(CVD:chemical vapor deposition)법, 증착법 등에 의해 형성될 수 있다.
- [0074] 또한, 상기 제1 화소 정의막(71)은 세 층을 포함하는 것으로 도시되어 있으나, 본 발명의 사상은 이에 제한되지 아니하며, 화소 정의막에 요구되는 사양에 따라 두 층 이상의 다양한 다층 구조로 형성될 수 있다.
- [0075] 한편, 제1 화소 정의막(71) 상에 유기막으로 형성되는 제2 화소 정의막(72)이 형성된다. 제2 화소 정의막(72)은 절연 특성을 갖는 유기계로서 폴리아크릴(polyacryl), 폴리이미드(polyimide), 폴리아마이드(PA), 벤조사이클로부텐(BCB) 및 페놀수지로 이루어진 군에서 선택되는 하나로 형성될 수 있다. 여기서, 제2 화소 정의막(72)은 스펀 코팅, 슬롯 코팅 등의 코팅법에 의하여 형성될 수 있다.

- [0076] 다음으로, 도 6을 참조하면, 제1 화소 정의막(71) 및 제2 화소 정의막(72)이 패터닝되어 제1 전극(61)이 외부로 노출된다. 제1 화소 정의막(71)은 스퍼터법, 화학진공증착(CVD:chemical vapor deposition)법, 증착법 등에 의해 형성되고, 제2 화소 정의막(72)은 스핀 코팅, 슬롯 코팅 등의 코팅법에 의하여 형성된 후, 포토리소그래피(photoolithography) 공정을 통해 제1 전극(61)을 노출시키도록 제1 화소 정의막(71) 및 제2 화소 정의막(72)이 패터닝 될 수 있다. 또는 제1 화소 정의막(71) 및 제2 화소 정의막(72)은 잉크젯 등의 방법으로 패터닝 될 수도 있다.
- [0077] 이때, 식각 선택비를 조절하여 제1 화소 정의막(71)이 제2 화소 정의막(72) 보다 화소 영역 쪽으로 일정 정도 돌출되도록 형성할 수 있다. 즉, 제2 화소 정의막(72)이 제1 화소 정의막(71)의 단부를 덮지 아니하도록 제2 화소 정의막(72)이 형성될 수 있다. 이와 같이 제1 화소 정의막(71)이 제2 화소 정의막(72) 보다 화소 영역 쪽으로 일정 정도 돌출되도록 형성됨으로써, 소수성의 제2 화소 정의막(72)과 제1 화소 정의막(71) 최상층에 형성된 친수성의 제2 층(71b)에 의하여, 화소 정의막이 뱅크 역할을 더욱 확실하게 수행할 수 있게 된다.
- [0078] 다음으로, 도 7에 도시된 바와 같이 제1 전극(61) 상부에 유기층(62)을 형성한다. 이때, 마스크 공정을 줄이고 패턴 정밀도를 향상시키기 위하여 잉크젯(Inkjet) 또는 노즐 프린팅(Nozzle printing) 등의 프린트 기술이 사용될 수 있다.
- [0079] 그리고, 유기층(62) 상에 제2 전극(63)을 형성하면, 도 1에 도시된 바와 같은 본 발명의 제1 실시예에 따른 유기 발광 디스플레이 장치의 제조가 완료되는 것이다.
- [0080] 이와 같은 본 발명에 의해서, 기존 공정의 변경 없이도 개선된 구조의 화소 정의막을 적용하는 것이 가능해지는 효과를 얻을 수 있다. 또한, 무기막으로 형성되는 제1 화소 정의막(71)을 다층 구조로 형성하여, 화소 영역의 테두리 불량이 현저하게 개선될 뿐만 아니라, 불량 발광 영역을 제거함으로써 광 특성의 개선되는 효과를 얻을 수 있다.
- [0081] (제2 실시예)
- [0082] 도 8은 본 발명의 제2 실시예에 관한 유기 발광 디스플레이 장치를 도시한 단면도이다.
- [0083] 도 8에 도시된 바와 같이, 글라스재 또는 플라스틱재의 기판(150)상에 버퍼층(151)이 형성되어 있고, 이 위에 박막 트랜지스터(thin film transistor: TFT)와, 유기 전계 발광 소자(OLED)가 형성된다.
- [0084] 기판(150) 상에는 버퍼층(151)이 형성되고, 버퍼층(151) 상에는 반도체 소재로 형성된 활성층(152)이 구비되고, 이 활성층(152)을 덮도록 게이트 절연막(153)이 형성된다. 게이트 절연막(153)의 상부에는 게이트 전극(154)이 형성된다. 게이트 전극(154)은 박막 트랜지스터 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 그리고, 게이트 전극(154)을 덮도록 층간 절연막(155)이 형성되며, 층간 절연막(155)의 상부에 소스/드레인 전극(156)(157)이 형성된다. 소스/드레인 전극(156)(157)은 게이트 절연막(153) 및 층간 절연막(155)에 형성된 콘택 홀에 의해 활성층(152)의 소스/드레인 영역(152b)(152c)에 각각 접촉된다. 그리고, 드레인 전극(157)의 상부로는 드레인 전극(157)과 접촉하도록 제1 전극(161)이 형성된다.
- [0085] 한편, 제1 전극(161)의 상부로는 박막 트랜지스터(TFT)를 보호하는 보호막의 역할을 할 수도 있고, 그 상면을 평탄화시키는 평탄화막의 역할을 할 수도 있으며, 나아가 발광 영역을 정의해주는 화소 정의막 역할까지 수행하는 제1 화소 정의막(171)이 형성된다. 또한, 제1 화소 정의막(171)의 상부에는 제1 화소 정의막(171)을 덮도록 제2 화소 정의막(172)이 형성된다.
- [0086] 이와 같은 제1 화소 정의막(171)과 제2 화소 정의막(172)을 포함하는 화소 정의막(170) 상에 소정의 개구를 형성한 후, 화소 정의막(170)의 상부 및 개구가 형성되어 외부로 노출된 제1 전극(161)의 상부에 유기층(162)을 형성한다. 여기서, 유기층(162)은 발광층을 포함한다. 그리고, 유기층(162) 상에는 전체 화소를 덮도록 구비되어 마이너스 전원을 공급하는 제2 전극(163)이 형성된다. 본 발명은 반드시 이와 같은 구조로 한정되는 것은 아니며, 다양한 유기 발광 디스플레이 장치의 구조가 그대로 적용될 수 있음은 물론이다.
- [0087] 이와 같은 본 발명의 제2 실시예에 관한 유기 발광 디스플레이 장치는, 화소 정의막(170)이 유기층과 무기층이 차례로 형성된 적층 구조로 형성되며, 상기 무기층이 다시 복수 개의 층이 차례로 형성된 적층 구조로 형성되는 것을 일 특징으로 하며, 특히 제1 전극(161)이 형성된 후 제1 화소 정의막(171)이 형성된다는 점에서 전술한 제1 실시예와 구별된다.
- [0088] 즉, 전술한 제1 실시예에서는, 유기 물질로 형성된 패시베이션막(도 1의 58 참조)이 별도로 구비되고, 패시베이션막(도 1의 58 참조) 상부에 제1 전극(도 1의 61 참조)이 형성된 후, 그 위에 무기막의 다층 구조로 형성된 제



1 화소 정의막(도 1의 71 참조)과, 유기막으로 형성된 제2 화소 정의막(도 1의 72 참조)이 차례로 형성되었다. 이에 반하여, 본 발명의 제2 실시예에 따른 유기 발광 디스플레이 장치에서는 별도의 패시베이션막을 구비하지 아니하고, 무기막의 다층 구조로 형성된 제1 화소 정의막(171)이 패시베이션막의 역할까지 동시에 수행하는 것을 일 특징으로 한다. 즉, 드레인 전극(157)의 상부에 드레인 전극(157)과 접촉하도록 제1 전극(161)을 먼저 형성한 후, 상기 제1 전극(161)을 덮도록 무기막의 다층 구조로 형성된 제1 화소 정의막(171)과 유기막으로 형성된 제2 화소 정의막(172)을 형성한 후, 제1 전극(161)이 외부로 노출되도록 화소 정의막(170) 상에 소정의 개구를 형성하고 그 상부에 유기층(162) 및 제2 전극(163)을 형성하는 것이다.

[0089] 이와 같은 본 발명에 의해서, 무기막으로 형성되는 제1 화소 정의막(171)을 다층 구조로 형성하여, 화소 영역의 테두리 불량이 현저하게 개선될 뿐만 아니라, 불량 발광 영역을 제거함으로써 광 특성의 개선되는 효과를 얻을 수 있다. 나아가, 패시베이션막과 제1 화소 정의막의 기능을 통합함으로써, 제조 공정이 간단해지고 제조 비용이 절감되는 효과를 얻을 수 있다.

[0090] 이하에서는, 본 발명의 제2 실시예에 따른 유기 발광 디스플레이 장치의 제조 방법에 대하여 상세히 설명한다.

[0091] 도 9 내지 도 13은 도 8의 실시예에 따른 유기 발광 디스플레이 장치의 제조 단계를 개략적으로 도시한 단면도이다.

[0092] 도 9를 참조하면, 먼저 박막 트랜지스터(thin film transistor: TFT)를 구비한다. 상세히, 기판(150) 상에는 버퍼층(151)이 형성되고, 버퍼층(151) 상에는 반도체 소재로 형성된 활성층(152)이 구비되고, 이 활성층(152)을 덮도록 게이트 절연막(153)이 형성된다. 게이트 절연막(153)의 상부에는 게이트 전극(154)이 형성된다. 그리고, 게이트 전극(154)을 덮도록 층간 절연막(155)이 형성되며, 층간 절연막(155)의 상부에 소스/드레인 전극(156)(157)이 형성된다. 소스/드레인 전극(156)(157)은 게이트 절연막(153) 및 층간 절연막(155)에 형성된 콘택홀에 의해 활성층(152)의 소스/드레인 영역에 각각 접촉된다.

[0093] 다음으로, 도 10을 참조하면, 박막 트랜지스터(thin film transistor: TFT) 상에 제1 전극(161)이 형성된다. 상세히, 소스/드레인 전극(156)(157) 및 층간 절연막(155)의 상부에 직접 금속 또는 전도성 금속 산화물 등의 전도성 물질을 도포한 후, 이를 패터닝 함으로써, 드레인 전극(157)과 접촉하는 제1 전극(161)이 형성되는 것이다. 이와 같이, 본 발명의 제2 실시예에 따른 유기 발광 디스플레이 장치의 제조 방법은, 드레인 전극(157)과 제1 전극(161) 사이에 별도의 패시베이션막(도 1의 58 참조)을 개재하지 아니하고, 제1 전극(161)이 드레인 전극(157)과 직접 접촉한다는 점에서 전술한 제1 실시예와 구별된다.

[0094] 다음으로, 도 11을 참조하면, 소스/드레인 전극(156)(157), 제1 전극(161) 및 층간 절연막(155) 상에, 무기막의 다층 구조로 형성되는 제1 화소 정의막(171)이 형성되고, 그 위에 유기막으로 형성되는 제2 화소 정의막(172)이 형성된다.

[0095] 먼저, 제1 전극(161)과 접촉하도록 소수성의 SiNx로 형성된 제1 층(171a)을 배치된다. 다음으로, 제1 층(171a) 상에는 공정의 마진(margin)을 위한 버퍼층으로 기능 하는 제3 층(171c)이 배치된다. 마지막으로, 제3 층(171c) 상에는 친수성의 SiO<sub>2</sub>로 형성된 제2 층(171b)이 배치된다. 즉, 제1 전극(161)과 접촉하는 제1 화소 정의막(171)의 하부에는 제1 전극(161)과의 사이에 식각 선택비가 있는 SiNx로 형성된 제1 층(171a)을 배치하여 제1 화소 정의막(171)이 선택적으로 식각될 수 있도록 하는 동시에, 유기층(도 8의 162 참조)과 접촉하는 제1 화소 정의막(171)의 상부에는 친수성의 SiO<sub>2</sub>로 형성된 제2 층(171b)을 배치하여 제1 화소 정의막(171)이 बैं크로서의 역할을 수행할 수 있도록 하는 것이다.

[0096] 여기서, 상기 제1 화소 정의막(171)의 제1 층(171a)의 재료로는 SiNx를 예시하고 있고, 제2 층(171b)의 재료로는 SiO<sub>2</sub>를 예시하고 있으나, 본 발명의 사상은 이에 제한되지 아니하며, 제1 화소 정의막(171)은 절연 특성을 갖는 SiO<sub>2</sub>, SiNx, Al<sub>2</sub>O<sub>3</sub>, CuOx, Tb<sub>4</sub>O<sub>7</sub>, Y<sub>2</sub>O<sub>3</sub>, Nb<sub>2</sub>O<sub>5</sub>, Pr<sub>2</sub>O<sub>3</sub> 등에서 선택된 무기 재료로 형성될 수 있다. 또한, 제1 화소 정의막(171)은 스퍼터법, 화학진공증착(CVD:chemical vapor deposition)법, 증착법 등에 의해 형성될 수 있다.

[0097] 또한, 상기 제1 화소 정의막(171)은 세 층을 포함하는 것으로 도시되어 있으나, 본 발명의 사상은 이에 제한되지 아니하며, 화소 정의막에 요구되는 사양에 따라 두 층 이상의 다양한 다층 구조로 형성될 수 있다.

[0098] 한편, 제1 화소 정의막(171) 상에 유기막으로 형성되는 제2 화소 정의막(172)이 형성된다. 제2 화소 정의막(172)은 절연 특성을 갖는 유기계로서 폴리아크릴(polyacryl), 폴리이미드(polyimide), 폴리아마이드(PA), 벤조사이클로부텐(BCB) 및 페놀수지로 이루어진 군에서 선택되는 하나로 형성될 수 있다. 여기서, 제2 화소 정의막

(172)은 스핀 코팅, 슬롯 코팅 등의 코팅법에 의하여 형성될 수 있다.

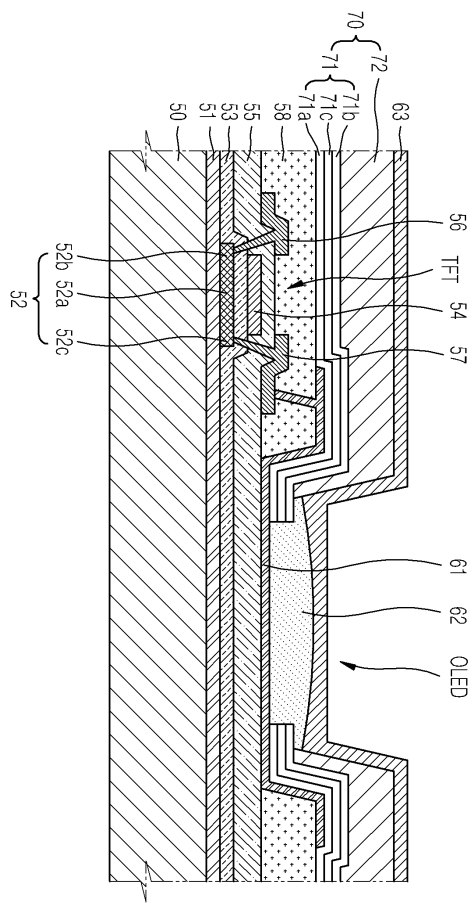
- [0099] 다음으로, 도 12를 참조하면, 제1 화소 정의막(171) 및 제2 화소 정의막(172)이 패터닝되어 제1 전극(161)이 외부로 노출된다. 제1 화소 정의막(171)은 스퍼터법, 화학진공증착(CVD:chemical vapor deposition)법, 증착법에 의해 형성되고, 제2 화소 정의막(172)은 스핀 코팅, 슬롯 코팅 등의 코팅법에 의하여 형성된 후, 포토리소그래피(photolithography) 공정을 통해 제1 전극(161)을 노출시키도록 제1 화소 정의막(171) 및 제2 화소 정의막(172)이 패터닝 될 수 있다. 또는 제1 화소 정의막(171) 및 제2 화소 정의막(172)은 잉크젯 등의 방법으로 패터닝 될 수도 있다.
- [0100] 이때, 식각 선택비를 조절하여 제1 화소 정의막(171)이 제2 화소 정의막(172) 보다 화소 영역 쪽으로 일정 정도 돌출되도록 형성할 수 있다. 즉, 제2 화소 정의막(172)이 제1 화소 정의막(171)의 단부를 덮지 아니하도록 제2 화소 정의막(172)이 형성될 수 있다. 이와 같이 제1 화소 정의막(171)이 제2 화소 정의막(172) 보다 화소 영역 쪽으로 일정 정도 돌출되도록 함으로써, 소수성의 제2 화소 정의막(172)과 제1 화소 정의막(171) 최상층에 형성된 친수성의 제2 층(171b)에 의하여, 화소 정의막이 배크 역할을 더욱 확실하게 수행할 수 있게 된다.
- [0101] 다음으로, 도 13에 도시된 바와 같이 제1 전극(161) 상부에 유기층(162)을 형성한다. 이때, 마스크 공정을 줄이고 패터닝 정밀도를 향상시키기 위하여 잉크젯(Inkjet) 또는 노즐 프린팅(Nozzle printing) 등의 프린트 기술이 사용될 수 있다.
- [0102] 그리고, 유기층(162) 상에 제2 전극(163)을 형성하면, 도 8에 도시된 바와 같은 본 발명의 제2 실시예에 따른 유기 발광 디스플레이 장치의 제조가 완료되는 것이다.
- [0103] 이와 같은 본 발명에 의해서, 무기막으로 형성되는 제1 화소 정의막(171)을 다층 구조로 형성하여, 화소 영역의 테두리 불량이 현저하게 개선될 뿐만 아니라, 불량 발광 영역을 제거함으로써 광 특성의 개선되는 효과를 얻을 수 있다. 나아가, 패시베이션막과 제1 화소 정의막의 기능을 통합함으로써, 제조 공정이 간단해지고 제조 비용이 절감되는 효과를 얻을 수 있다.
- [0104] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 사항은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

### 부호의 설명

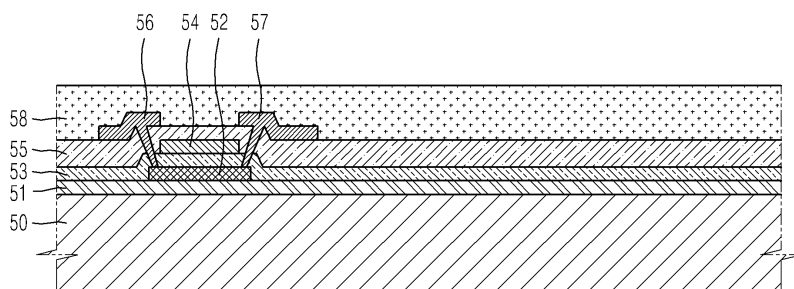
- [0105]
- |                 |                  |
|-----------------|------------------|
| 50, 150: 기판     | 51, 151: 버퍼층     |
| 52, 152: 활성층    | 53, 153: 게이트 절연막 |
| 54, 154: 게이트 전극 | 55, 155: 층간 절연막  |
| 56, 156: 소스 전극  | 57, 157: 드레인 전극  |
| 58: 패시베이션막      | 70, 170: 화소 정의막  |
| 61, 161: 화소 전극  | 62, 162: 유기층     |
| 63, 163: 대향 전극  |                  |

도면

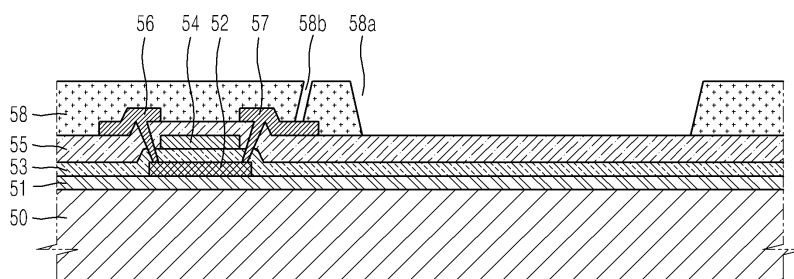
도면1



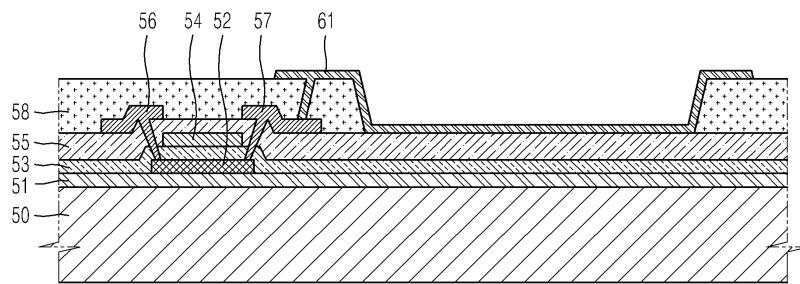
도면2



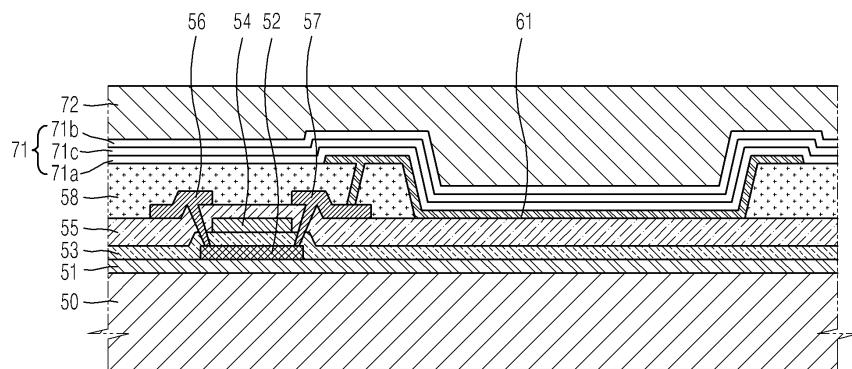
도면3



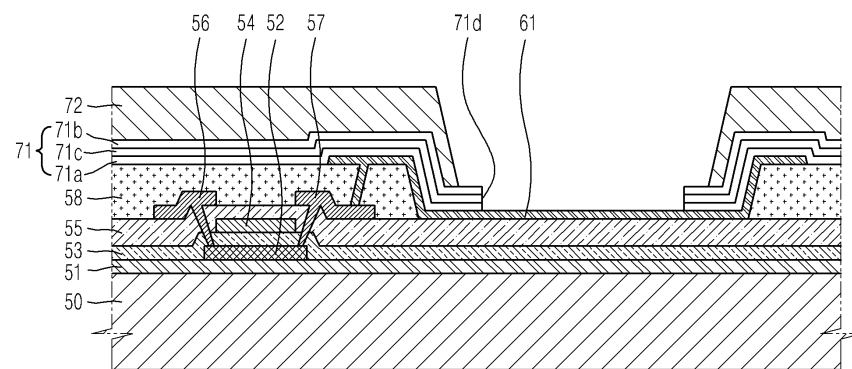
도면4



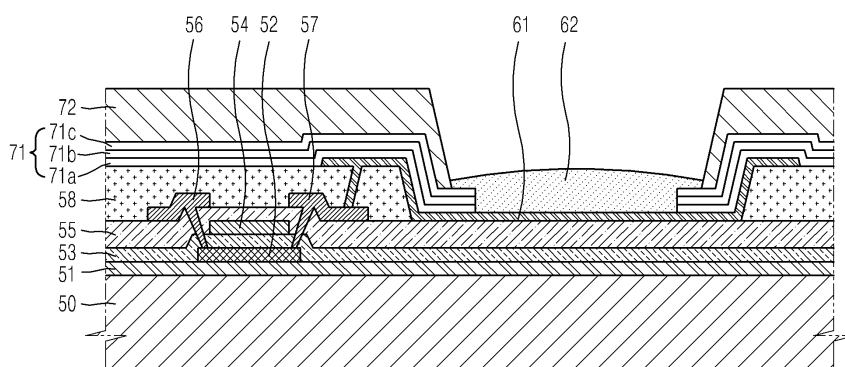
도면5



도면6

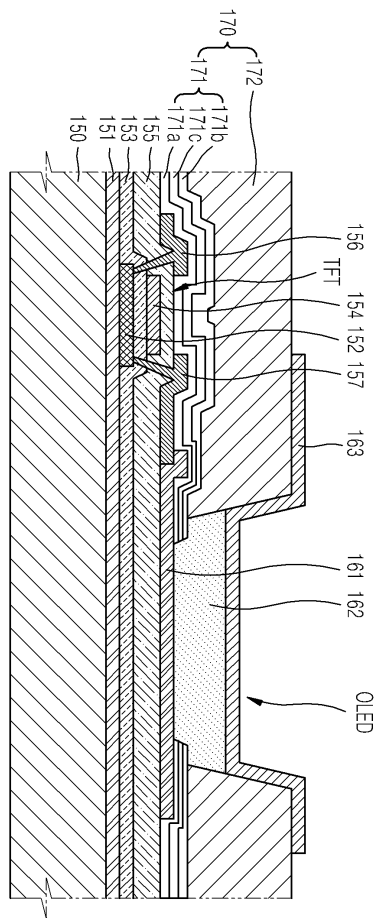


도면7

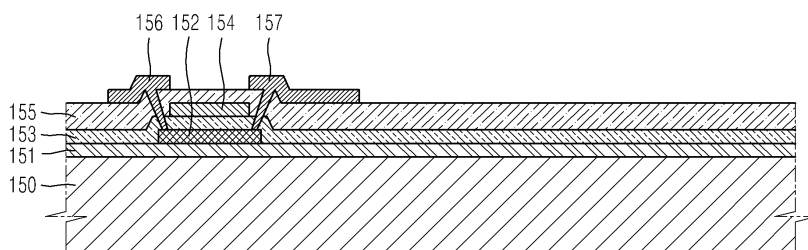




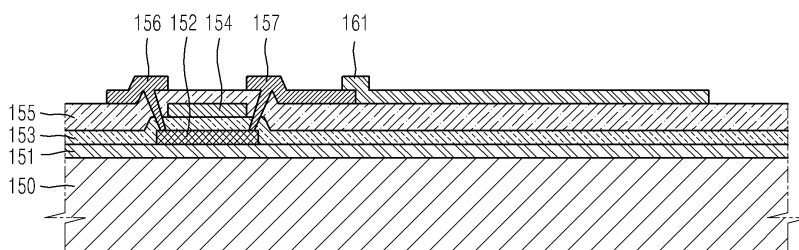
도면8



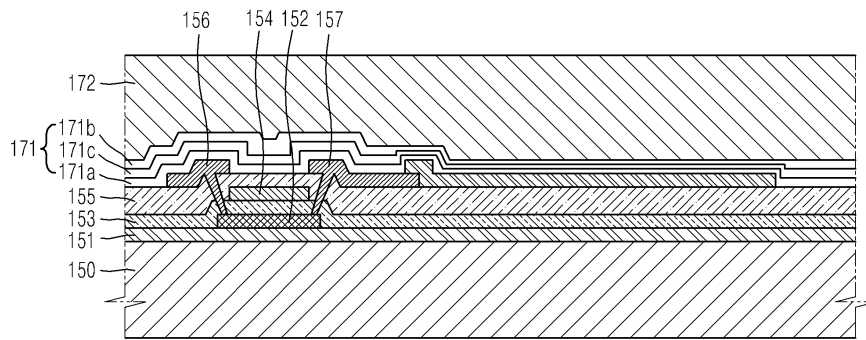
도면9



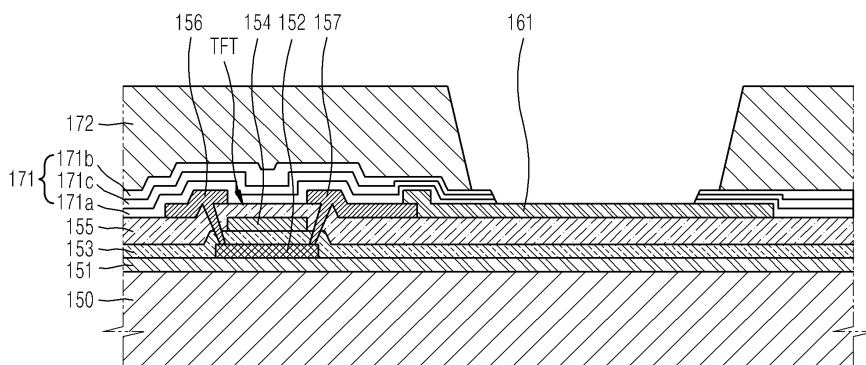
도면10



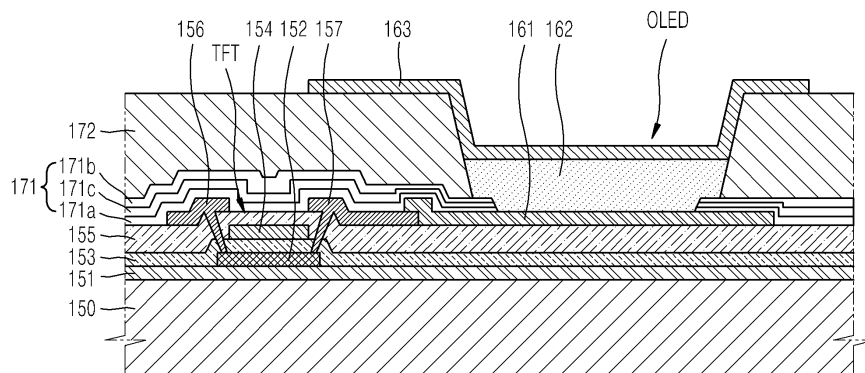
도면11



도면12



도면13



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020110094458A</a>	公开(公告)日	2011-08-24
申请号	KR1020100013844	申请日	2010-02-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KIM YOUNG IL 김영일 NOH TAE YONG 노태용 LEE DONG WON 이동원 LEE WON PIL 이원필		
发明人	김영일 노태용 이동원 이원필		
IPC分类号	H01L51/52 H05B33/22		
CPC分类号	H01L27/3246 H01L27/3274 H01L51/0005 H01L2251/50		
其他公开文献	KR101084191B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明提供了用于包括有机层的有机发光显示装置，以及包括第二像素限定层的第二电极：形成在第一像素限定层上的发光层：第一像素限定层，其形成为覆盖第一电极的边缘，同时包括基板，在像素电极的边缘区域中具有改善的缺陷的有机发光显示装置及其制造方法，薄膜晶体管设置在基板，第一电极和为了覆盖第一像素限定层的至少一部分，至少是破坏性的，它形成在第一电极上。定位第二电极以面对第一电极。第一电极，像素形成在薄膜晶体管上。图像的存在（专业参考）。

