



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0011942
(43) 공개일자 2011년02월09일

(51) Int. Cl.

H01L 51/52 (2006.01) G09G 3/30 (2006.01)

(21) 출원번호 10-2009-0069426

(22) 출원일자 2009년07월29일

심사청구일자 2009년07월29일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

곽원규

충청남도 천안시 서북구 성성동 508번지

박동욱

경기도 용인시 기흥구 농서동 산24번지

최상무

경기도 용인시 기흥구 농서동 산24번지

(74) 대리인

신영무

전체 청구항 수 : 총 18 항

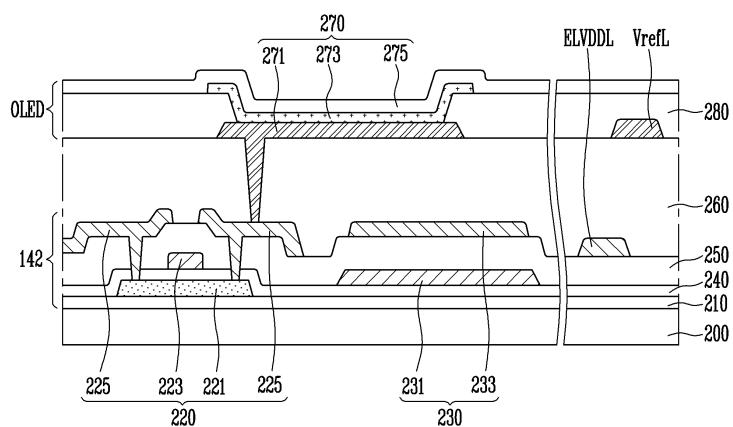
(54) 유기전계발광 표시장치

(57) 요 약

본 발명은, 균일한 화상을 표시함과 아울러 수율을 향상시킬 수 있도록 한 유기전계발광 표시장치에 관한 것이다.

본 발명에 의한 유기전계발광 표시장치는, 기판 상에 정의된 화소영역 각각에 형성되며 적어도 현재 주사선, 데이터선, 제1 전원, 제2 전원 및 제3 전원에 연결되는 복수의 화소들을 포함하며, 상기 화소들 각각은, 복수의 트랜지스터와 하나 이상의 커패시터를 포함하는 화소회로부와, 상기 화소회로부 각각에 연결되며 상기 제1 전원으로부터 상기 화소회로부를 경유하여 상기 제2 전원으로 흐르는 구동전류에 대응하는 휘도로 발광하는 유기 발광 다이오드를 포함하며, 상기 제3 전원은 상기 화소회로부로 정전압을 공급하는 전압원으로 설정되어, 상기 제3 전원의 공급라인은 상기 유기 발광 다이오드의 어느 일 전극과 동일한 물질로 동일한 레이어에 형성된다.

대 표 도 - 도4



특허청구의 범위

청구항 1

기판 상에 정의된 화소영역 각각에 형성되며, 적어도 현재 주사선, 데이터선, 제1 전원, 제2 전원 및 제3 전원에 연결되는 복수의 화소들을 포함하며,

상기 화소들 각각은,

복수의 트랜지스터와 하나 이상의 커패시터를 포함하는 화소회로부와,

상기 화소회로부 각각에 연결되며, 상기 제1 전원으로부터 상기 화소회로부를 경유하여 상기 제2 전원으로 흐르는 구동전류에 대응하는 휘도로 발광하는 유기 발광 다이오드를 포함하며,

상기 제3 전원은 상기 화소회로부로 정전압을 공급하는 전압원으로 설정되며, 상기 제3 전원의 공급라인은 상기 유기 발광 다이오드의 어느 일 전극과 동일한 물질로 동일한 레이어에 형성되는 유기전계발광 표시장치.

청구항 2

제1항에 있어서,

상기 제3 전원은 전류패스를 형성하지 않는 전원으로, 상기 현재 주사선으로 현재 주사신호가 공급되기 이전의 기간에 상기 화소회로부로 정전압을 공급하는 전원인 유기전계발광 표시장치.

청구항 3

제1항에 있어서,

상기 제3 전원은 상기 유기 발광 다이오드의 애노드 전극과 동일한 물질로, 동일한 레이어에 형성되는 유기전계 발광 표시장치.

청구항 4

제1항에 있어서,

상기 제1 전원은 상기 제3 전원이 형성되는 레이어와 상이한 레이어에 형성되는 유기전계발광 표시장치.

청구항 5

제1항에 있어서,

상기 제1 전원은 상기 트랜지스터의 일 전극과 동일한 물질로, 동일한 레이어에 형성되는 유기전계발광 표시장치.

청구항 6

제5항에 있어서,

상기 제1 전원은 상기 트랜지스터의 소스 및 드레인 전극과 동일한 물질로 동일한 레이어에 형성되는 유기전계 발광 표시장치.

청구항 7

제1항에 있어서,

상기 제1 전원은 고전위 화소전원으로 설정되고, 상기 제2 전원은 저전위 화소전원으로 설정되는 유기전계발광 표시장치.

청구항 8

제7항에 있어서,

상기 제3 전원은 상기 제1 전원 및 상기 제2 전원과 상이한 전원으로 설정되는 유기전계발광 표시장치.

청구항 9

제1항에 있어서,

상기 화소회로부는, 기판 상에 형성된 상기 복수의 트랜지스터와, 상기 복수의 트랜지스터의 전극물질을 이용하여 상기 트랜지스터와 동일한 공정과정에서 형성되는 상기 하나 이상의 커패시터를 포함하며,

상기 유기 발광 다이오드는, 절연막을 사이에 개재하고 상기 화소회로부 상에 형성되되, 상기 유기 발광 다이오드의 일 전극이 상기 절연막을 관통하는 비아홀을 통해 상기 복수의 트랜지스터 중 하나 이상의 트랜지스터의 소스 또는 드레인 전극과 연결되는 유기전계발광 표시장치.

청구항 10

제9항에 있어서,

상기 유기 발광 다이오드는, 상기 절연막 상에 형성된 애노드 전극과, 상기 애노드 전극 상에 형성된 유기 발광 층과, 상기 유기 발광층 상에 형성된 캐소드 전극을 포함하며, 상기 캐소드 전극 방향으로 빛을 방출하는 유기 전계발광 표시장치.

청구항 11

제10항에 있어서,

유기 발광 다이오드의 애노드 전극과 상기 제3 전원의 공급라인은 ITO/Ag/ITO, ITO/AI/ITO, ITO/AINiLa/ITO 및 ITO/AINiLa로 구성된 군에서 선택되는 하나로 형성된 유기전계발광 표시장치.

청구항 12

제1항에 있어서,

상기 화소회로부는,

상기 제1 전원과 상기 유기 발광 다이오드 사이에 접속되며, 자신의 게이트 전극에 인가되는 전압에 대응하여 상기 구동전류를 조절하는 제1 트랜지스터와,

상기 제1 트랜지스터의 게이트 전극과 상기 제1 전원 사이에 접속되는 제1 커패시터와,

상기 데이터선과 상기 제1 커패시터 사이에 접속되며, 상기 현재 주사선으로부터 현재 주사신호가 공급될 때 턴-온되어 상기 데이터선으로부터 공급되는 데이터신호를 상기 화소 내부로 전달하는 제2 트랜지스터와,

상기 제1 트랜지스터의 게이트 전극과 드레인 전극 사이에 접속되며, 자신의 게이트 전극에 인가되는 전압에 대응하여 턴-온되어 상기 제1 트랜지스터를 다이오드 연결하는 제3 트랜지스터와,

상기 제1 커패시터와 상기 제3 전원 사이에 접속되며, 상기 현재 주사신호가 공급되기 이전에 이전 주사선으로부터 공급되는 이전 주사신호에 의해 턴-온되어 상기 제1 커패시터로 상기 제3 전원의 전압을 전달하는 제4 트랜지스터와,

상기 제1 트랜지스터와 상기 유기 발광 다이오드 사이에 접속되며 발광 제어선으로부터 공급되는 발광 제어신호에 의해 온오프가 제어되는 제5 트랜지스터를 포함하는 유기전계발광 표시장치.

청구항 13

제12항에 있어서,

상기 제3 전원의 전압은 상기 데이터신호의 전압보다 높은 전압으로 설정되는 유기전계발광 표시장치.

청구항 14

제13항에 있어서,

상기 화소회로부는, 상기 제1 트랜지스터의 게이트 전극과 상기 제1 커패시터 사이에 접속되는 제2 커패시터를 더 포함하는 유기전계발광 표시장치.

청구항 15

제14항에 있어서,

상기 발광 제어신호는, 상기 이전 주사신호의 공급이 개시된 이후에 상기 제5 트랜지스터가 턴-오프되는 전압으로 천이되며, 상기 현재 주사신호의 공급이 완료된 이후에 상기 제5 트랜지스터가 턴-온되는 전압으로 천이되는 유기전계발광 표시장치.

청구항 16

제12항에 있어서,

상기 제3 전원의 전압은 상기 데이터신호의 전압보다 낮은 전압으로 설정되는 유기전계발광 표시장치.

청구항 17

제16항에 있어서,

상기 화소회로부는, 상기 제1 전원과 상기 제1 트랜지스터 사이에 접속되며, 상기 발광 제어신호에 의해 온오프가 제어되는 제6 트랜지스터를 더 포함하는 유기전계발광 표시장치.

청구항 18

제17항에 있어서,

상기 발광 제어신호는 상기 이전 주사신호와 상기 현재 주사신호가 공급되는 기간 동안 상기 제5 트랜지스터 및 상기 제6 트랜지스터가 턴-오프되는 전압을 유지하며, 상기 현재 주사신호의 공급이 완료된 이후에 상기 제5 트랜지스터 및 상기 제6 트랜지스터가 턴-온되는 전압으로 천이되는 유기전계발광 표시장치.

명세서**발명의 상세한 설명****기술 분야**

[0001] 본 발명은 유기전계발광 표시장치에 관한 것으로, 특히 균일한 화상을 표시함과 아울러 수율을 향상시킬 수 있도록 한 유기전계발광 표시장치에 관한 것이다.

배경기술

[0002] 유기전계발광 표시장치(Organic Light Emitting Display Device)는 유기 화합물을 발광재료로 사용한 평판 표시장치의 일종으로, 휴대 및 색순도가 뛰어남은 물론, 얇고 가벼우며 저전력으로도 구동이 가능하여 휴대용 표시장치를 비롯한 다양한 표시장치에 유용하게 이용될 것으로 기대되고 있다.

[0003] 이와 같은 유기전계발광 표시장치는 자발광 소자인 유기 발광 다이오드를 포함하는 다수의 화소들을 구비한다. 그리고, 능동형 유기전계발광 표시장치의 경우에는 유기 발광 다이오드를 구동하기 위한 복수의 트랜지스터와 하나 이상의 커패시터를 포함하는 화소회로부가 각각의 화소들마다 더 구비된다.

[0004] 통상적으로, 능동형 유기전계발광 표시장치는 기판 상에 화소회로부를 먼저 형성한 후, 비아홀을 통해 화소회로부와 연결되도록 유기 발광 다이오드를 화소회로부 상에 형성함에 의해 제조된다.

[0005] 여기서, 각각의 화소들로 구동신호들 및 전원들을 공급하기 위한 다양한 배선들은 화소회로부를 형성하는 단계에서 트랜지스터 및 커패시터와 동일한 재료로 동시에 형성되는 것이 일반적이다.

[0006] 한편, 최근에는 공정편차에 따른 트랜지스터의 특성 편차 등을 보상하기 위한 보상소자들이 화소회로부에 추가적으로 구비되면서, 화소회로부의 구성이 다소 복잡해지고 있다.

[0007] 이에 따라, 제한된 화소영역 내에서의 설계공간 제약으로 인해 커패시터 등을 형성하기 위한 공간을 충분히 확

보하기 어려워져 화질이 불균일해지는 문제점이 발생함과 아울러, 배선 간의 이격공간 등도 충분히 확보하기 어려워 수율이 저하되는 문제점이 발생할 수 있다.

발명의 내용

해결 하고자하는 과제

[0008] 따라서, 본 발명의 목적은 배선의 효율적인 배치를 통하여 화소회로부의 설계를 단순화함으로써, 균일한 화상을 표시함과 아울러 수율을 향상시킬 수 있도록 한 유기전계발광 표시장치를 제공하는 것이다.

과제 해결수단

[0009] 이와 같은 목적을 달성하기 위하여 본 발명은 기판 상에 정의된 화소영역 각각에 형성되며 적어도 현재 주사선, 데이터선, 제1 전원, 제2 전원 및 제3 전원에 연결되는 복수의 화소들을 포함하며, 상기 화소들 각각은, 복수의 트랜지스터와 하나 이상의 커패시터를 포함하는 화소회로부와, 상기 화소회로부 각각에 연결되며 상기 제1 전원으로부터 상기 화소회로부를 경유하여 상기 제2 전원으로 흐르는 구동전류에 대응하는 휘도로 발광하는 유기 발광 다이오드를 포함하며, 상기 제3 전원은 상기 화소회로부로 정전압을 공급하는 전압원으로 설정되어, 상기 제3 전원의 공급라인은 상기 유기 발광 다이오드의 어느 일 전극과 동일한 물질로 동일한 레이어에 형성되는 유기 전계발광 표시장치를 제공한다.

[0010] 여기서, 상기 제3 전원은 전류패스를 형성하지 않는 전원으로, 상기 현재 주사선으로 현재 주사신호가 공급되기 이전의 기간에 상기 화소회로부로 정전압을 공급하는 전원으로 설정될 수 있다.

[0011] 또한, 상기 제3 전원은 상기 유기 발광 다이오드의 애노드 전극과 동일한 물질로, 동일한 레이어에 형성될 수 있다.

[0012] 또한, 상기 제1 전원은 상기 제3 전원이 형성되는 레이어와 상이한 레이어에 형성될 수 있다. 여기서, 상기 제1 전원은 상기 트랜지스터의 일 전극과 동일한 물질로, 동일한 레이어에 형성될 수 있다.

[0013] 또한, 상기 제1 전원은 고전위 화소전원으로 설정되고, 상기 제2 전원은 저전위 화소전원으로 설정될 수 있다. 그리고, 상기 제3 전원은 상기 제1 전원 및 상기 제2 전원과 상이한 전원으로 설정될 수 있다.

[0014] 또한, 상기 화소회로부는, 기판 상에 형성된 상기 복수의 트랜지스터와, 상기 복수의 트랜지스터의 전극물질을 이용하여 상기 트랜지스터와 동일한 공정과정에서 형성되는 상기 하나 이상의 커패시터를 포함하며, 상기 유기 발광 다이오드는, 절연막을 사이에 개재하고 상기 화소회로부 상에 형성되며, 상기 유기 발광 다이오드의 일 전극이 상기 절연막을 관통하는 비아홀을 통해 상기 복수의 트랜지스터 중 하나 이상의 트랜지스터의 소스 또는 드레인 전극과 연결될 수 있다.

[0015] 여기서, 상기 유기 발광 다이오드는, 상기 절연막 상에 형성된 애노드 전극과, 상기 애노드 전극 상에 형성된 유기 발광층과, 상기 유기 발광층 상에 형성된 캐소드 전극을 포함하며, 상기 캐소드 전극 방향으로 빛을 방출할 수 있다.

[0016] 그리고, 유기 발광 다이오드의 애노드 전극과 상기 제3 전원의 공급라인은 ITO/Ag/ITO, ITO/A1/ITO, ITO/AlNiLa/ITO 및 ITO/AlNiLa로 구성된 군에서 선택되는 하나로 형성될 수 있다.

효과

[0017] 이와 같은 본 발명에 의하면, 고전위 화소전원 및 저전위 화소전원과 달리 전류패스를 형성하는 않는 제3 전원을 공급하기 위한 공급라인을 유기 발광 다이오드의 일 전극, 예컨대, 애노드 전극과 동일한 물질로 동일한 레이어에 형성함으로써, 배선을 효율적으로 배치한다.

[0018] 이에 따라, 유기 발광 다이오드의 하부에 위치되는 화소회로부의 설계가 단순화되어, 커패시터 등을 형성하기 위한 공간 및 배선 간의 이격공간 등이 충분히 확보되면서 유기전계발광 표시장치의 화질을 균일화하고 수율을

향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.

[0020] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

[0021] 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)과 접속되는 복수의 화소들(140)을 구비하는 화소부(130)와, 주사선들(S1 내지 Sn) 및 발광 제어선들(E1 내지 En)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 포함한다.

[0022] 화소부(130)는 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)에 의하여 구획된 영역에 형성되는 복수의 화소들(140)을 구비하며, 외부로부터 제1 전원(ELVDD), 제2 전원(ELVSS) 및 제3 전원(Vref/Vinit)을 공급받아 영상을 표시한다.

[0023] 보다 구체적으로, 복수의 화소들(140)은 기판 상에 정의된 화소영역 각각에 형성되며, i(i는 자연수)번째 행 및 j(j는 자연수)번째 열에 위치된 화소는 적어도 현재 주사선(Si), 데이터선(Dj), 제1 전원(ELVDD), 제2 전원(ELVSS) 및 제3 전원(Vref/Vinit)에 연결된다. 이와 같은 화소들(140)은 현재 주사선(Si)으로부터 현재 주사신호가 공급될 때, 데이터선(Dj)으로부터 공급되는 데이터신호를 저장하고, 이에 대응하는 휘도로 발광한다.

[0024] 이를 위해, 화소들(140) 각각은, 복수의 트랜지스터와 하나 이상의 커패시터를 포함하는 화소회로부와, 화소회로부 각각에 연결되며 제1 전원(ELVDD)으로부터 화소회로부 및 자신을 경유하여 제2 전원(ELVSS)으로 흐르는 구동전류에 대응하는 휘도로 발광하는 유기 발광 다이오드를 포함한다. 여기서, 제1 전원(ELVDD)은 고전위 화소전원으로 설정되고, 제2 전원(ELVSS)은 저전위 화소전원으로 설정된다.

[0025] 단, 본원발명에서 화소들(140)은 구동 트랜지스터의 문턱전압 편차 등을 보상하기 위한 보상소자들을 더 구비하며, 이 과정에서 제3 전원(Vref/Vinit)을 이용한다. 제3 전원(Vref/Vinit)은 화소(140)에 정전압을 공급하는 전압원으로 설정되며, 데이터신호의 전압보다 높은 전압을 갖는 기준전원(Vref) 또는 데이터신호의 전압보다 낮은 전압을 갖는 초기화전원(Vinit) 등으로 설정될 수 있고, 이는 화소의 구성에 따라 다양하게 변경될 수 있다.

[0026] 이와 같은 제3 전원(Vref/Vinit)은 현재 주사선(Si)으로부터 현재 주사신호가 공급되기 이전에 각 화소들(140)로 공급되도록 설정될 수 있다. 예를 들어, 화소들(140)은 이전 주사선(Si-1)과 더 접속되어, 이전 주사선(Si-1)으로부터 이전 주사신호가 공급될 때 제3 전원(Vref/Vinit)을 이용한 초기화 및/또는 문턱전압 보상과정을 거치고, 현재 주사선(Si)으로 현재 주사신호가 공급될 때 데이터신호에 대응되는 전압을 충전할 수 있다. 한편, 도 1에서는 도시되지 않았으나, 첫 번째 행에 위치된 화소들(140)과 접속되도록 0번째 주사선(S0)(미도시)이 추가로 형성될 수 있다.

[0027] 타이밍 제어부(150)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(120)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(110)로 공급된다. 그리고, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(120)로 공급한다.

[0028] 주사 구동부(110)는 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사 구동부(110)는 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급하고, 발광 제어선들(E1 내지 En)로 발광 제어신호를 순차적으로 공급한다. 여기서, 발광 제어신호는 적어도 2개의 주사신호, 예컨대, 이전 주사신호 및 현재 주사신호와 적어도 일부 기간 중첩되도록 공급된다. 이를 위하여, 발광 제어신호의 폭은 주사신호의 폭보다 넓게 설정될 수 있다.

[0029] 데이터 구동부(120)는 타이밍 제어부(150)로부터 데이터 구동제어신호(DCS)를 공급받는다. 데이터 구동제어신호(DCS)를 공급받은 데이터 구동부(120)는 데이터신호를 생성하고, 생성된 데이터신호를 데이터선들(D1 내지 Dm)로 공급한다.

- [0030] 도 2는 도 1에 도시된 화소의 실시예를 나타내는 회로도이다. 편의상, 도 2에서는 i(i는 자연수)번째 행 및 j(j는 자연수)번째 열에 위치되는 화소를 도시하기로 한다.
- [0031] 도 2를 참조하면, 본 실시예에 의한 화소(140)는, 복수의 트랜지스터(M1 내지 M5)와 하나 이상의 커패시터(C1, C2)를 포함하는 화소회로부(142)와, 화소회로부(142)로부터 구동전류를 공급받는 유기 발광 다이오드(OLED)를 포함한다.
- [0032] 화소회로부(142)는 이전 주사선(Si-1)으로부터 이전 주사신호가 공급될 때 제1 전원(ELVDD)의 전압강하와 제1 트랜지스터(M1)(구동 트랜지스터)의 문턱전압을 보상하고, 현재 주사선(Si)으로부터 현재 주사신호가 공급될 때 데이터신호에 대응되는 전압을 충전한 이후, 데이터신호에 대응하는 구동전류를 유기 발광 다이오드(OLED)로 공급한다.
- [0033] 이를 위해, 화소회로부(142)는 현재 주사선(Si), 이전 주사선(Si-1), 발광 제어선(Ei), 데이터선(Dj), 제1 전원(ELVDD), 제3 전원(Vref) 및 유기 발광 다이오드(OLED)에 연결되며, 제1 내지 제5 트랜지스터(M1 내지 M5)와, 제1 및 제2 커패시터(C1, C2)를 포함한다.
- [0034] 제1 트랜지스터(M1)는 제1 전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속되어 자신의 게이트 전극에 인가되는 전압에 대응하여 구동전류를 조절한다.
- [0035] 보다 구체적으로, 제1 트랜지스터(M1)의 제1 전극(예컨대, 소스 전극)은 제1 전원(ELVDD)에 접속되고, 제2 전극(예컨대, 드레인 전극)은 제5 트랜지스터(M5)를 경유하여 유기 발광 다이오드(OLED)에 접속된다. 그리고, 제1 트랜지스터(M1)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 제1 트랜지스터(M1)는 자신의 게이트 전극이 접속되는 제2 노드(N2)의 전압, 즉, 제1 커패시터(C1) 및 제2 커패시터(C2)에 충전된 전압에 대응하여 유기 발광 다이오드(OLED)로 공급되는 구동전류를 조절한다.
- [0036] 제2 트랜지스터(M2)는 데이터선(Dj)과 제1 노드(N1) 사이에 접속되며, 현재 주사선(Si)으로부터 현재 주사신호가 공급될 때 데이터신호를 화소(140) 내부로 전달한다.
- [0037] 보다 구체적으로, 제2 트랜지스터(M2)의 제1 전극은 데이터선(Dj)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 여기서, 제1 노드(N1)는 제2 및 제4 트랜지스터(M2, M4)와 제1 및 제2 커패시터(C1, C2)의 접속노드이다. 그리고, 제2 트랜지스터(M2)의 게이트 전극은 현재 주사선(Si)에 접속된다. 이와 같은 제2 트랜지스터(M2)는 현재 주사선(Si)으로부터 현재 주사신호가 공급될 때 턴-온되어 데이터선(Dj)과 제1 노드(N1)를 접속시킨다. 즉, 제2 트랜지스터(M2)가 턴-온되면, 데이터선(Dj)으로부터 공급되는 데이터신호가 제1 노드(N1)로 전달된다.
- [0038] 제3 트랜지스터(M3)는 제1 트랜지스터(M1)의 게이트 전극과 제2 전극(드레인 전극) 사이에 접속되며, 자신의 게이트 전극에 인가되는 전압에 대응하여 제1 트랜지스터(M1)를 다이오드 연결한다.
- [0039] 보다 구체적으로, 제3 트랜지스터(M3)의 제1 전극은 제1 트랜지스터(M1)의 제2 전극에 접속되고, 제2 전극은 제2 노드(N2)에 접속된다. 그리고, 제3 트랜지스터(M3)의 게이트 전극은 이전 주사선(Si-1)에 접속된다. 이와 같은 제3 트랜지스터(M3)는 이전 주사선(Si-1)으로부터 이전 주사신호가 공급될 때 턴-온되어 제1 트랜지스터(M1)를 다이오드 연결한다.
- [0040] 제4 트랜지스터(M4)는 제1 노드(N1)와 제3 전원(Vref) 사이에 접속되며, 이전 주사신호에 의해 턴-온되어 제1 노드(N1)로 제3 전원(Vref)의 전압을 전달한다. 여기서, 제3 전원(Vref)은 제1 전원(ELVDD) 및 제2 전원(ELVDD)과는 상이한 전원으로 전류패스를 형성하지 않으며, 현재 주사선(Si)으로 현재 주사신호가 공급되기 이전의 기간(예컨대, 이전 주사선(Si)으로 이전 주사신호가 공급되는 기간)에 화소회로부(142)로 정전압을 공급하는 전원이다. 이와 같은 제3 전원(Vref)은 데이터신호의 전압보다 높은 전압을 갖고, 제1 전원(ELVDD)의 전압이하의 전압을 갖는 기준전원으로 설정된다.
- [0041] 보다 구체적으로, 제4 트랜지스터(M4)의 제1 전극은 제3 전원(Vref)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 그리고, 제4 트랜지스터(M4)의 게이트 전극은 이전 주사선(Si-1)에 접속된다. 이와 같은 제4 트랜지스터(M4)는 이전 주사선(Si-1)으로부터 이전 주사신호가 공급될 때 턴-온되어 제3 전원(Vref)과 제1 노드(N1)를 접속시킨다. 그러면, 제3 전원(Vref)의 전압이 제1 노드(N1)로 인가되면서, 제1 커패시터(C1) 및 제2 커패시터(C2)에 전달된다.
- [0042] 제5 트랜지스터(M5)는 제1 트랜지스터(M1)와 유기 발광 다이오드(OLED) 사이에 접속되며, 발광 제어선(Ei)으로

부터 공급되는 발광 제어신호에 의해 온오프가 제어된다.

[0043] 보다 구체적으로, 제5 트랜지스터(M5)의 제1 전극은 제1 트랜지스터(M1)의 제2 전극에 접속되고, 제2 전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속된다. 그리고, 제5 트랜지스터(M5)의 게이트 전극은 발광 제어선(Ei)에 접속된다. 이와 같은 제5 트랜지스터(M5)는 발광 제어선(Ei)으로부터 공급되는 발광 제어신호의 전압레벨이 하이레벨일 때 턴-오프되어 화소회로부(142)와 유기 발광 다이오드(OLED)를 절연시키고, 발광 제어신호의 전압레벨이 로우레벨로 천이되면 턴-온되어 제1 트랜지스터(M1)로부터 공급되는 구동전류를 유기 발광 다이오드(OLED)로 전달한다.

[0044] 제1 커패시터(C1)는 제1 노드(N1)와 제1 전원(ELVDD) 사이에 접속된다. 여기서, 제1 커패시터(C1)의 제2 전극은 제2 커패시터(C2)를 경유하여 제1 트랜지스터(M1)의 게이트 전극에 접속된다. 이와 같은 제1 커패시터(C1)는 데이터신호에 대응하는 전압을 충전하고, 화소(140)가 발광하는 기간 동안 충전된 전압을 유지한다.

[0045] 제2 커패시터(C2)는 제1 노드(N2)와 제2 노드(N2) 사이에 접속된다. 이와 같은 제2 커패시터(C1, C2)는 제1 트랜지스터(M1)의 문턱전압 및 제1 전원(ELVDD)의 전압강하가 보상된 전압을 충전하고, 화소(140)가 발광하는 기간 동안 충전된 전압을 유지한다.

[0046] 한편, 제1 전원(ELVDD)은 화소들(140) 각각과 접속되어 소정의 전류를 공급한다. 즉, 제1 전원(ELVDD)은 전류패스를 형성하는 전원으로, 화소들(140)의 위치에 따라서 각 화소들(140)로 공급되는 제1 전원(ELVDD)의 전압에는 서로 다른 전압강하가 발생될 수 있다. 하지만, 본 실시예에서, 제3 전원(Vref)은 화소들(140) 각각으로 전류를 공급하지 않는 전원, 즉, 전류패스를 형성하지 않는 전원으로 화소들(140)의 위치와 무관하게 동일한 전압을 유지할 수 있다. 여기서, 제3 전원(Vref)의 전압은 데이터신호의 전압보다 높은 전압으로 설정되고, 제1 전원(ELVDD)의 전압보다는 낮거나 동일한 전압으로 설정될 수 있다.

[0047] 유기 발광 다이오드(OLED)는 화소회로부(142)와 제2 전원(ELVSS) 사이에 접속되어, 제1 전원(ELVDD)으로부터 화소회로부(142) 및 자신을 경유하여 제2 전원(ELVSS)으로 흐르는 구동전류에 대응하는 휘도로 발광한다. 이와 같은 유기 발광 다이오드(OLED)는 적색, 녹색 또는 청색의 빛을 발광하는 유기 발광층을 포함하여 구동전류에 대응하는 색의 빛을 생성한다.

[0048] 도 3은 도 2에 도시된 화소의 구동방법을 나타내는 과정도이다.

[0049] 도 3을 참조하면, 화소(140)는 이전 주사선(Si-1) 및 현재 주사선(Si)으로부터 로우레벨의 이전 주사신호 및 현재 주사신호를 순차적으로 공급받고, 발광 제어선(Ei)으로부터 이전 주사신호의 일부 및 현재 주사신호와 중첩되는 하이레벨의 발광 제어신호를 공급받는다.

[0050] 여기서, 발광 제어신호는 이전 주사신호의 공급이 개시된 이후에 제5 트랜지스터(M5)가 턴-오프되는 하이레벨의 전압으로 천이되며, 현재 주사신호의 공급이 완료된 이후에 제5 트랜지스터(M5)가 턴-온되는 로우레벨의 전압으로 천이된다.

[0051] 한편, 화소(140)는 외부로부터 제1 전원(ELVDD), 제2 전원(ELVSS) 및 제3 전원(Vref)을 공급받으며, 데이터선(Dj)으로부터 데이터신호를 공급받는다.

[0052] 이와 같은 화소(140)는 제1 전원(ELVDD)과 제3 전원(Vref)의 차를 이용하여 제1 전원(ELVDD)의 전압강하 전압 및 제1 트랜지스터(M1)의 문턱전압 편차를 보상하고, 데이터신호에 대응하는 균일한 휘도로 발광한다.

[0053] 보다 구체적으로, 이전 주사선(Si-1)으로 이전 주사신호가 공급되는 기간 중 일부기간인 제1 기간(t1) 동안 발광 제어신호는 로우레벨을 유지하며, 이에 따라 제5 트랜지스터(M5)는 턴-온 상태를 유지한다. 그리고, 제1 기간(t1) 동안 로우레벨의 이전 주사신호에 의해 제3 트랜지스터(M3) 및 제4 트랜지스터(M4)가 턴-온된다.

[0054] 제3 트랜지스터(M3)가 턴-온되면 제1 트랜지스터(M1)의 게이트전극이 제3 트랜지스터(M3)를 경유하여 유기 발광 다이오드(OLED)와 전기적으로 접속된다. 따라서, 제1 트랜지스터(M1)의 게이트전극의 전압, 즉 제2 노드(N2)의 전압이 대략 제2 전원(ELVSS)의 전압으로 초기화된다. 즉, 이전 주사선(Si-1)으로 이전 주사신호가 공급되는 기간 중 일부기간인 제1 기간(t1)은 제2 노드(N2)의 전압을 초기화하는 기간으로 설정된다.

[0055] 이후, 이전 주사선(Si-1)으로 이전 주사신호가 공급되는 기간 중 제1 기간(t1)을 제외한 제2 기간(t2) 동안에는 발광 제어선(Ei)으로 공급되는 발광 제어신호의 전압레벨이 하이레벨로 천이되면 제5 트랜지스터(M5)가 턴-오프된다. 그러면, 제3 트랜지스터(M3)에 의하여 다이오드 연결된 제1 트랜지스터(M1)의 게이트전극에 제1 전원

(ELVDD)에서 제1 트랜지스터(M1)의 문턱전압을 감한 만큼의 전압이 인가된다.

[0056] 그리고, 제2 기간(t2) 동안 턴-온 상태를 유지하는 제4 트랜지스터(M4)에 의하여 제1 노드(N1)는 제3 전원(Vref)의 전압으로 충전된다. 여기서, 제3 전원(Vref)의 전압은 데이터신호의 전압보다는 높되, 제1 전원(ELVDD)의 전압과 동일하거나 낮게 설정될 수 있다. 편의상, 제3 전원(Vref)과 제1 전원(ELVDD)의 전압이 동일하다고 가정하면 제2 커패시터(C2)에는 제1 트랜지스터(M1)이 문턱전압에 대응하는 전압이 충전된다. 그리고, 제1 전원(ELVDD)에서 소정의 전압강하 전압이 발생된다면 제2 커패시터(C2)에는 제1 트랜지스터(M2)의 문턱전압 및 제1 전원(ELVDD)의 전압강하 전압이 충전된다. 즉, 제2 커패시터(C2)에는 제1 전원(ELVDD)의 전압강하 전압 및 제1 트랜지스터(M1)의 문턱전압이 충전되고, 이에 따라 제1 전원(ELVDD)의 전압강하 및 제1 트랜지스터(M1)의 문턱전압을 동시에 보상할 수 있다.

[0057] 이후, 제3 기간(t3) 동안 현재 주사선(Si)으로 현재 주사신호가 공급되면, 제2 트랜지스터(M2)가 턴-온된다. 제2 트랜지스터(M2)가 턴-온되면 데이터선(Dj)으로부터 공급되는 데이터신호가 제1노드(N1)로 전달되고, 이에 따라 제1 노드(N1)의 전압은 제3 전원(Vref)으로부터 데이터신호의 전압으로 하강된다. 그러면, 제3 기간(t3) 동안 플로팅 상태로 설정된 제2 노드(N2)의 전압도 제1 노드(N1)의 하강전압에 대응하여 하강된다. 즉, 제3 기간(t3) 동안 제2 커패시터(C2)에 충전된 전압은 안정적으로 유지된다. 한편, 제3 기간(t3) 동안 제1 커패시터(C1)는 제1 노드(N1)에 인가된 데이터신호에 대응하는 전압을 충전한다.

[0058] 이후, 제4 기간(t4) 동안 현재 주사신호의 공급이 중단된 후에 발광 제어신호의 전압레벨이 제5 트랜지스터(M5)가 턴-온될 수 있는 로우레벨로 친이되면, 제5 트랜지스터(M5)가 턴-온된다. 제5 트랜지스터(M5)가 턴-온되면 제1트랜지스터(M1)는 제1 커패시터(C1) 및 제2 커패시터(C2)에 충전된 전압에 대응하는 구동전류를 유기 발광 다이오드(OLED)로 공급하고, 이에 따라 유기 발광 다이오드(OLED)가 구동전류에 대응하는 휘도로 발광한다.

[0059] 이에 의해, 화소(140)는 구동 트랜지스터(제1 트랜지스터, M1)의 문턱전압 및 제1 전원(ELVDD)의 전압강하와 무관하게 데이터신호에 대응하여 원하는 휘도로 발광한다.

[0060] 도 4는 도 2에 도시된 화소의 요부 단면도이다. 편의상, 도 4에서는 화소회로부의 구성요소들 중 대표적으로 하나의 트랜지스터(예컨대, 제5 트랜지스터)와 하나의 커패시터(예컨대, 제1 커패시터)만을 도시하기로 하며, 이를 각각 박막 트랜지스터 및 커패시터라는 보다 일반적인 용어로 지칭하기로 한다.

[0061] 즉, 도 4에는 도시되지 않았으나, 각각의 화소영역에 형성된 화소회로부는 기판 상에 형성된 복수의 트랜지스터와, 복수의 트랜지스터와 동일한 공정과정에서 형성되는 하나 이상의 커패시터를 포함할 수 있다.

[0062] 도 4를 참조하면, 기판(200) 상에는 박막 트랜지스터(220) 및 커패시터(230)를 포함하는 화소회로부(142)가 형성되며, 화소회로부(142) 상에는 박막 트랜지스터(220)와 연결되는 유기 발광 다이오드(270)가 형성된다.

[0063] 보다 구체적으로, 박막 트랜지스터(220)는, 기판(200) 상의 버퍼층(210) 상부에 형성된 반도체층(221)과, 게이트 절연막(240)을 사이에 개재하고 반도체층(221) 상에 형성된 게이트 전극(223)과, 게이트 전극(223) 상의 층간절연막(250) 상부에 형성되며 컨택홀(CH)을 통해 각각 반도체층(221)의 소스 및 드레인 영역과 접속되는 소스 및 드레인 전극(225)을 포함한다.

[0064] 커패시터(230)는, 게이트 절연막(240) 상에 형성된 제1 전극(231)과, 층간절연막(250)을 사이에 개재하고 제1 전극(231)과 대향되도록 형성된 제2 전극(233)을 포함한다.

[0065] 여기서, 커패시터의 제1 전극(231)은 박막 트랜지스터의 게이트 전극(223)이 형성되는 단계에서 게이트 전극(223)과 동일한 물질로 동일한 레이어에 형성될 수 있다. 또한, 커패시터의 제2 전극(233)은 박막 트랜지스터의 소스 및 드레인 전극(225)이 형성되는 단계에서 소스 및 드레인 전극(225)과 동일한 물질로 동일한 레이어에 형성될 수 있다.

[0066] 한편, 이는 단지 하나의 실시예를 제시한 것으로, 커패시터(230)의 구성이 이에 한정되지는 않는다. 예를 들어, 커패시터(230)는 박막 트랜지스터의 반도체층(221)이 형성되는 단계에서 반도체층(221)과 동일한 물질로 동일한 레이어에 형성되는 또 다른 반도체층을 더 포함하여 구성될 수도 있다.

[0067] 이와 같은 박막 트랜지스터(220) 및 커패시터(230) 상에는 절연성을 갖는 평탄화막(260)이 형성되고, 평탄화막(260) 상에는 유기 발광 다이오드(270)가 형성된다.

[0068] 유기 발광 다이오드(270)는, 평탄화막(260) 상에 형성되어 평탄화막(260)을 관통하는 비아홀(VH)을 통해 박막

트랜지스터의 소스 또는 드레인 전극(225)과 접속되는 애노드 전극(271)과, 애노드 전극(271) 상에 형성된 유기 발광층(273)과, 유기 발광층(273) 상에 형성된 캐소드 전극(275)을 포함한다. 여기서, 미설명 도면부호 280은 화소정의막이다.

[0069] 단, 본 발명에서 제1 전원(ELVDD)을 공급하기 위한 제1 전원의 공급라인(ELVDDL)은 화소회로부(142)를 형성하는 과정에서, 박막 트랜지스터(220)의 전극물질을 이용하여 형성될 수 있다. 즉, 제1 전원의 공급라인(ELVDDL)은 박막 트랜지스터(220)의 일 전극과 동일한 물질로, 동일한 레이어에 형성될 수 있다.

[0070] 특히, 제1 전원의 공급라인(ELVDDL)이 도 2에 도시된 바와 같이 제1 트랜지스터(M1)의 소스 전극 및 제1 커패시터(C1)의 일 전극에 접속되는 경우, 제1 전원의 공급라인(ELVDDL)은 박막 트랜지스터의 소스 및 드레인 전극(225)을 형성하는 단계에서, 제1 트랜지스터(M1)의 소스 전극 및 제1 커패시터(C1)의 일 전극과 연결되도록 패터닝될 수 있다. 즉, 제1 전원의 공급라인(ELVDDL)은 도시되지 않은 영역에서 제1 트랜지스터(M1)의 소스 전극 및 제1 커패시터(C1)의 일 전극과 연결될 수 있다.

[0071] 한편, 도 2의 제1 내지 제5 트랜지스터(M1 내지 M5)는 동시에 형성되므로, 편의상 도 4에서는 제1 내지 제5 트랜지스터(M1 내지 M5)의 단면을 박막 트랜지스터(220)로 대표하기로 한다.

[0072] 그리고, 제3 전원(Vref)을 공급하기 위한 제3 전원의 공급라인(VrefL)은 유기 발광 다이오드(270)를 형성하는 과정에서, 유기 발광 다이오드(270)의 전극물질을 이용하여 형성될 수 있다. 즉, 제3 전원의 공급라인(VrefL)은 유기 발광 다이오드(270)의 어느 일 전극과 동일한 물질로, 동일한 레이어에 형성될 수 있는데, 특히 애노드 전극(271)과 동일한 물질로, 동일한 레이어에 형성될 수 있다.

[0073] 이와 같은 제3 전원의 공급라인(VrefL)은 평탄화막(260)을 관통하는 또 다른 비아홀(미도시)을 통해 도 2에 도시된 제4 트랜지스터(M4)과 연결되게 된다.

[0074] 여기서, 제3 전원의 공급라인(VrefL)과 제4 트랜지스터(M4)를 연결하기 위한 비아홀을 형성하는 과정에서 이들의 컨택저항이 커서 화소들마다 불균일해진다고 하더라도, 제3 전원의 공급라인(VrefL)에는 전류가 흐르지 않기 때문에 결과적으로 화소의 휙도에는 영향을 미치지 않게 된다.

[0075] 즉, 본 발명에서는 전류패스를 형성하지 않는 제3 전원의 공급라인(VrefL)을 화소회로부(142)의 상부 레이어, 즉, 유기 발광 다이오드의 애노드 전극(271)이 형성되는 레이어에 배치하여 비아홀 등을 통해 화소회로부(142)와 연결한다.

[0076] 전술한 바와 같이, 제3 전원의 공급라인(VrefL)의 형성위치를 화소회로부(142)가 형성되는 레이어에서, 유기 발광 다이오드(270)가 형성되는 상부 레이어로 변경 배치함에 의하여 화소회로부(142)의 설계가 단순화된다. 이에 따라, 커패시터(230) 등을 형성하기 위한 공간 및/또는 배선 간의 이격공간 등을 확보할 수 있게 되어, 유기전계발광 표시장치의 화질을 균일화하고 수율을 향상시킬 수 있다.

[0077] 그리고, 전류패스를 형성하는 제1 전원의 공급라인(ELVDDL) 등은 화소회로부(142) 내에 배치하여 컨택저항 산포가 발생하는 것을 방지한다. 또한, 유기 발광 다이오드의 캐소드 전극(275)과 연결되는 제2 전원(ELVSS)의 경우에는, 일례로 캐소드 전극(275)을 판 형태로 화소부에 전면적으로 형성하는 구조에서 화소부의 외곽에 캐소드 전극(275)과 연결되도록 형성된 제2 전원의 공급라인(미도시)에 의하여 캐소드 전극(275)과 연결될 수 있다.

[0078] 한편, 유기 발광 다이오드(270)가 캐소드 전극(275) 방향으로 빛을 방출하는 전면발광형의 유기전계발광 표시장치인 경우, 애노드 전극(271)은 ITO/Ag/ITO, ITO/AI/ITO, ITO/AlNiLa/ITO 및 ITO/AlNiLa로 구성된 군에서 선택되는 하나로 형성될 수 있다. 따라서, 제3 전원의 공급라인(VrefL)도 이와 동일하게 ITO/Ag/ITO, ITO/AI/ITO, ITO/AlNiLa/ITO 및 ITO/AlNiLa로 구성된 군에서 선택되는 하나로 형성될 수 있다. 즉, 애노드 전극(271)을 형성하기 위한 물질은 애노드 전극(271)으로 활용됨과 동시에 제3 전원의 공급라인(VrefL) 등의 내부 배선으로도 사용될 수 있다.

[0079] 또한, 본 실시예에서는 제3 전원의 공급라인(VrefL)이 애노드 전극(271)과 동일한 물질로 동일한 레이어에 형성되는 경우에 대해서는 상술하였으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대, 본원발명의 기술사상을 적용하여 전류패스를 형성하지 않는 다른 배선, 예컨대, 주사선, 데이터선, 발광제어선 등을 화소회로부(142)의 상부 레이어, 즉, 유기 발광 다이오드의 애노드 전극(271) 등이 형성되는 레이어에 배치하여 비아홀 등을 통해 화소회로부(142)와 연결할 수 있음은 물론이다.

[0080] 또한, 도시의 편의를 위하여, 도 4에서는 유기 발광 다이오드(270)가 하부의 커패시터(230)와 중첩되도록 배치되는 경우를 도시하였지만, 배면발광하는 경우 등에는 유기 발광 다이오드(270)가 화소회로부(142)와 중첩되지

않도록 배치될 수 있고, 또한 전면발광의 경우에도 설계에 따라 유기 발광 다이오드(270)와 화소회로부(142)가 중첩되지 않도록 배치될 수 있다.

- [0081] 도 5는 도 1에 도시된 화소의 다른 실시예를 나타내는 회로도이다. 편의상, 도 5에서도 i(i는 자연수)번째 행 및 j(j는 자연수)번째 열에 위치되는 화소를 도시하기로 한다.
- [0082] 도 5를 참조하면, 본 실시예에 의한 화소(140')는, 복수의 트랜지스터(T1 내지 T6)와 스토리지 커패시터(Cst)를 포함하는 화소회로부(142')와, 화소회로부(142')로부터 구동전류를 공급받는 유기 발광 다이오드(OLED)를 포함한다.
- [0083] 화소회로부(142')는 이전 주사선(Si-1)으로부터 이전 주사신호가 공급될 때 스토리지 커패시터(Cst)에 저장된 전압을 초기화하고, 현재 주사선(Si)으로부터 현재 주사신호가 공급될 때 데이터신호와 제1 트랜지스터(T1)의 문턱전압에 대응되는 전압을 충전한 이후, 제1 트랜지스터(T1)의 문턱전압과 무관하게 데이터신호에 대응하는 구동전류를 유기 발광 다이오드(OLED)로 공급한다.
- [0084] 이를 위해, 화소회로부(142')는 현재 주사선(Si), 이전 주사선(Si-1), 발광 제어선(Ei), 데이터선(Dj), 제1 전원(ELVDD), 제3 전원(Vinit) 및 유기 발광 다이오드(OLED)에 연결되며, 제1 내지 제6 트랜지스터(T1 내지 T6)와, 스토리지 커패시터(Cst)를 포함한다.
- [0085] 제1 트랜지스터(T1)는 제1 전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속되어 자신의 게이트 전극에 인가되는 전압에 대응하여 구동전류를 조절한다.
- [0086] 보다 구체적으로, 제1 트랜지스터(T1)의 제1 전극(예컨대, 소스 전극)은 제6 트랜지스터(T6)를 경유하여 제1 전원(ELVDD)에 접속되고, 제2 전극(예컨대, 드레인 전극)은 제5 트랜지스터(T5)를 경유하여 유기 발광 다이오드(OLED)에 접속된다. 그리고, 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 접속된다. 이와 같은 제1 트랜지스터(T1)는 자신의 게이트 전극이 접속되는 제1 노드(N1)의 전압, 즉, 스토리지 커패시터(Cst)에 충전된 전압에 대응하여 유기 발광 다이오드(OLED)로 공급되는 구동전류를 조절한다.
- [0087] 제2 트랜지스터(T2)는 데이터선(Dj)과 스토리지 커패시터(Cst) 사이에 접속되며, 현재 주사선(Si)으로부터 현재 주사신호가 공급될 때 턴-온되어 데이터신호를 화소(140') 내부로 전달한다.
- [0088] 보다 구체적으로, 제2 트랜지스터(T2)의 제1 전극은 데이터선(Dj)에 접속되고, 제2 전극은 제1 및 제3 트랜지스터(T1, T3)를 경유하여 스토리지 커패시터(Cst)에 접속된다. 그리고, 제2 트랜지스터(T2)의 게이트 전극은 현재 주사선(Si)에 접속된다. 이와 같은 제2 트랜지스터(T2)는 현재 주사선(Si)으로부터 현재 주사신호가 공급될 때 턴-온되어 데이터선(Dj)으로부터 공급되는 데이터신호를 제1 및 제3 트랜지스터(T1, T3)를 경유하여 스토리지 커패시터(Cst)로 전달한다.
- [0089] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 게이트 전극과 제2 전극(드레인 전극) 사이에 접속되며, 자신의 게이트 전극에 인가되는 전압에 대응하여 제1 트랜지스터(T1)를 다이오드 연결한다.
- [0090] 보다 구체적으로, 제3 트랜지스터(T3)의 제1 전극은 제1 트랜지스터(T1)의 제2 전극에 접속되고, 제2 전극은 제1 트랜지스터(T1)의 게이트 전극에 접속된다. 그리고, 제3 트랜지스터(T3)의 게이트 전극은 현재 주사선(Si)에 접속된다. 이와 같은 제3 트랜지스터(T3)는 현재 주사선(Si)으로부터 현재 주사신호가 공급될 때 턴-온되어 제1 트랜지스터(T1)를 다이오드 연결한다.
- [0091] 제4 트랜지스터(T4)는 스토리지 커패시터(Cst)와 제3 전원(Vinit) 사이에 접속되며, 이전 주사신호에 의해 턴-온되어 스토리지 커패시터(Cst)로 제3 전원(Vinit)의 전압을 전달한다.
- [0092] 여기서, 제3 전원(Vinit)은 제1 전원(ELVDD) 및 제2 전원(ELVDD)과는 상이한 전원으로 전류패스를 형성하지 않으며, 현재 주사선(Si)으로 현재 주사신호가 공급되기 이전의 기간(예컨대, 이전 주사선(Si-1)으로 이전 주사신호가 공급되는 기간)에 화소회로부(142')로 정전압을 공급하는 전원이다. 이와 같은 제3 전원(Vinit)은 데이터신호의 전압보다 낮은 전압, 즉, 데이터신호의 최저전압보다 낮은 전압을 갖는 초기화전원으로 설정된다.
- [0093] 즉, 제4 트랜지스터(T4)가 턴-온되면 제1 노드(N1)의 전압이 데이터신호의 전압보다 낮은 전압으로 초기화되어, 후속되는 데이터신호의 기입기간 동안 제1 트랜지스터(T1)가 순방향으로 다이오드 연결되면서 데이터신호가 제1 노드(N1)로 원활히 공급되게 된다.

- [0094] 보다 구체적으로, 제4 트랜지스터(T4)의 제1 전극은 스토리지 커패시터(Cst)와 제1 트랜지스터(T1)의 게이트 전극이 접속되는 제1 노드(N1)에 접속되고, 제2 전극은 제3 전원(Vinit)에 접속된다. 그리고, 제4 트랜지스터(T4)의 게이트 전극은 이전 주사선(Si-1)에 접속된다. 이와 같은 제4 트랜지스터(T4)는 이전 주사선(Si-1)으로부터 이전 주사신호가 공급될 때 턴-온되어 제3 전원(Vinit)과 제1 노드(N1)를 접속시킨다. 그러면, 제3 전원(Vinit)의 전압이 제1 노드(N1)로 인가되면서, 제1 노드(N1)의 전압이 초기화된다.
- [0095] 제5 트랜지스터(T5)는 제1 트랜지스터(T1)와 유기 발광 다이오드(OLED) 사이에 접속되며, 발광 제어선(Ei)으로부터 공급되는 발광 제어신호에 의해 온오프가 제어된다.
- [0096] 보다 구체적으로, 제5 트랜지스터(T5)의 제1 전극은 제1 트랜지스터(T1)의 제2 전극에 접속되고, 제2 전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속된다. 그리고, 제5 트랜지스터(T5)의 게이트 전극은 발광 제어선(Ei)에 접속된다. 이와 같은 제5 트랜지스터(T5)는 발광 제어선(Ei)으로부터 공급되는 발광 제어신호의 전압레벨이 하이레벨일 때 턴-온되어 화소회로부(142')와 유기 발광 다이오드(OLED)를 절연시키고, 발광 제어신호의 전압레벨이 로우레벨로 천이되면 턴-온되어 제1 트랜지스터(T1)로부터 공급되는 구동전류를 유기 발광 다이오드(OLED)로 전달한다.
- [0097] 제6 트랜지스터(T6)는 제1 전원(ELVDD)과 제1 트랜지스터(T1) 사이에 접속되며, 발광 제어선(Ei)으로부터 공급되는 발광 제어신호에 의해 온오프가 제어된다.
- [0098] 보다 구체적으로, 제6 트랜지스터(T6)의 제1 전극은 제1 전원(ELVDD)에 접속되고, 제2 전극은 제1 트랜지스터(T1)의 소스 전극에 접속된다. 그리고, 제6 트랜지스터(T6)의 게이트 전극은 발광 제어선(Ei)에 접속된다. 이와 같은 제6 트랜지스터(T6)는 발광 제어선(Ei)으로부터 공급되는 발광 제어신호의 전압레벨이 하이레벨일 때 턴-온되어 제1 트랜지스터(T1)와 제1 전원(ELVDD)을 절연시키고, 발광 제어신호의 전압레벨이 로우레벨로 천이되면 턴-온되어 제1 트랜지스터(T1)와 제1 전원(ELVDD)을 연결한다.
- [0099] 스토리지 커패시터(Cst)는 제1 트랜지스터(T1)의 게이트 전극과 제1 전원(ELVDD) 사이에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 이전 주사신호가 공급되는 기간 동안 제3 전원(Vinit)에 의해 초기화되고, 현재 주사신호가 공급되는 기간 동안 데이터신호와 제1 트랜지스터(T1)의 문턱전압에 대응하는 전압을 충전한 이후, 화소(140')가 발광하는 기간 동안 충전된 전압을 유지한다.
- [0100] 유기 발광 다이오드(OLED)는 화소회로부(142')와 제2 전원(ELVSS) 사이에 접속되어, 제1 전원(ELVDD)으로부터 화소회로부(142') 및 자선을 경유하여 제2 전원(ELVSS)으로 흐르는 구동전류에 대응하는 휘도로 발광한다. 이와 같은 유기 발광 다이오드(OLED)는 적색, 녹색 또는 청색의 빛을 발광하는 유기 발광층을 포함하여 구동전류에 대응하는 색의 빛을 생성한다.
- [0101] 도 6은 도 5에 도시된 화소의 구동방법을 나타내는 과정도이다.
- [0102] 도 6을 참조하면, 화소(140')는 이전 주사선(Si-1) 및 현재 주사선(Si)으로부터 로우레벨의 이전 주사신호 및 현재 주사신호를 순차적으로 공급받고, 발광 제어선(Ei)으로부터 이전 주사신호 및 현재 주사신호와 중첩되는 하이레벨의 발광 제어신호를 공급받는다.
- [0103] 여기서, 발광 제어신호는 이전 주사신호와 현재 주사신호가 공급되는 기간 동안 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-오프되는 하이레벨의 전압을 유지하며, 현재 주사신호의 공급이 완료된 이후에 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-온되는 로우레벨의 전압으로 천이된다.
- [0104] 한편, 화소(140')는 외부로부터 제1 전원(ELVDD), 제2 전원(ELVSS) 및 제3 전원(Vinit)을 공급받으며, 데이터선(Dj)으로부터 데이터신호를 공급받는다.
- [0105] 이와 같은 화소(140')의 동작을 보다 구체적으로 설명하면, 우선 이전 주사선(Si-1)으로 로우레벨의 이전 주사신호가 공급되는 제1 기간(t1') 동안 제4 트랜지스터(T4)가 턴-온된다. 그러면, 제3 전원(Vinit)의 전압이 제1 노드(N1)로 전달되어 제1 노드(N1)의 전압이 초기화되고, 이에 따라 스토리지 커패시터(Cst)에 저장된 전압도 초기화된다. 즉, 제1 기간(t1')은 제1 노드(N1)의 전압을 초기화하는 기간으로 설정된다.
- [0106] 이후, 현재 주사선(Si)으로 로우레벨의 현재 주사신호가 공급되는 제2 기간(t2') 동안 제2 트랜지스터 및 제3 트랜지스터(T2, T3)가 턴-온된다. 제2 트랜지스터 및 제3 트랜지스터(T2, T3)가 턴-온되면, 데이터선(Dj)으로부터 공급되는 데이터신호가 제2 트랜지스터(T2), 제1 트랜지스터(T1) 및 제3 트랜지스터(T3)를 경유하여 제1 노

드(N1)로 전달된다. 이때, 제1 트랜지스터(T1)는 제3 트랜지스터(T3)에 의해 다이오드 연결되므로, 제1 노드(N1)에는 데이터신호와 더불어 제1 트랜지스터(T1)의 문턱전압이 반영된 전압이 전달된다. 이때, 스토리지 커패시터(Cst)에는 데이터신호와 제1 트랜지스터(T1)의 문턱전압에 대응하는 전압이 충전된다.

[0107] 이후, 발광 제어선(Ei)으로 공급되는 발광 제어신호의 전압레벨이 로우레벨로 천이되는 제3 기간(t_3') 동안 제5 트랜지스터(T5) 및 제6 트랜지스터(T5, T6)가 터-온된다.

[0108] 그러면, 스토리지 커패시터(Cst)에 충전된 전압에 대응되는 구동전류가 제1 트랜지스터(T1)에 의해 유기 발광 다이오드(OLED)로 공급된다.

[0109] 이때, 제1 트랜지스터(T1)의 문턱전압이 상쇄되면서 유기 발광 다이오드(OLED)에는 제1 트랜지스터(T1)의 문턱 전압과 무관하게 데이터신호에 대응하는 구동전류가 공급된다. 따라서, 유기 발광 다이오드(OLED)는 제1 트랜지스터(T1)의 문턱전압과 무관하게 데이터 신호에 대응하는 균일한 휘도로 발광한다.

[0110] 도 7은 도 5에 도시된 화소의 요부 단면도이다.

[0111] 도 7을 참조하면, 제3 전원의 공급라인(VinitL)은 제1 전원의 공급라인(ELVDDL)과 상이한 레이어에 형성되며, 특히 유기 발광 다이오드의 애노드 전극(271)과 동일한 레이어에 동일한 물질로 형성된다.

[0112] 여기서, 제3 전원의 공급라인(VinitL)은 전류패스를 형성하지 않는 배선으로, 이전 주사신호가 공급되는 기간 동안 화소회로부(142')로 초기화전원(Vinit)의 전압을 공급하는 배선이다.

[0113] 한편, 도 7에서, 박막 트랜지스터(220)는 도 5의 제5 트랜지스터(T5)를 도시한 것이며, 커패시터(230)는 스토리지 커패시터(Cst)를 도시한 것이다. 이와 같은 도 7은 제3 전원의 공급라인(VinitL)이 기준전원(Vref) 대신 초기화전원(Vinit)을 공급하기 위한 배선임을 제외하면 도 4와 동일하므로, 이에 대한 상세한 설명은 생략하기로 한다.

[0114] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

[0115] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

[0116] 도 2는 도 1에 도시된 화소의 실시예를 나타내는 회로도이다.

[0117] 도 3은 도 2에 도시된 화소의 구동방법을 나타내는 과정도이다.

[0118] 도 4는 도 2에 도시된 화소의 요부 단면도이다.

[0119] 도 5는 도 1에 도시된 화소의 다른 실시예를 나타내는 회로도이다.

[0120] 도 6은 도 5에 도시된 화소의 구동방법을 나타내는 과정도이다.

[0121] 도 7은 도 5에 도시된 화소의 요부 단면도이다.

[0122] <도면의 주요 부분에 대한 부호의 설명>

[0123] 220: 박막 트랜지스터 221: 반도체층

[0124] 223: 게이트 전극 225: 소스/드레인 전극

[0125] 230: 커패시터 270: 유기 발광 다이오드

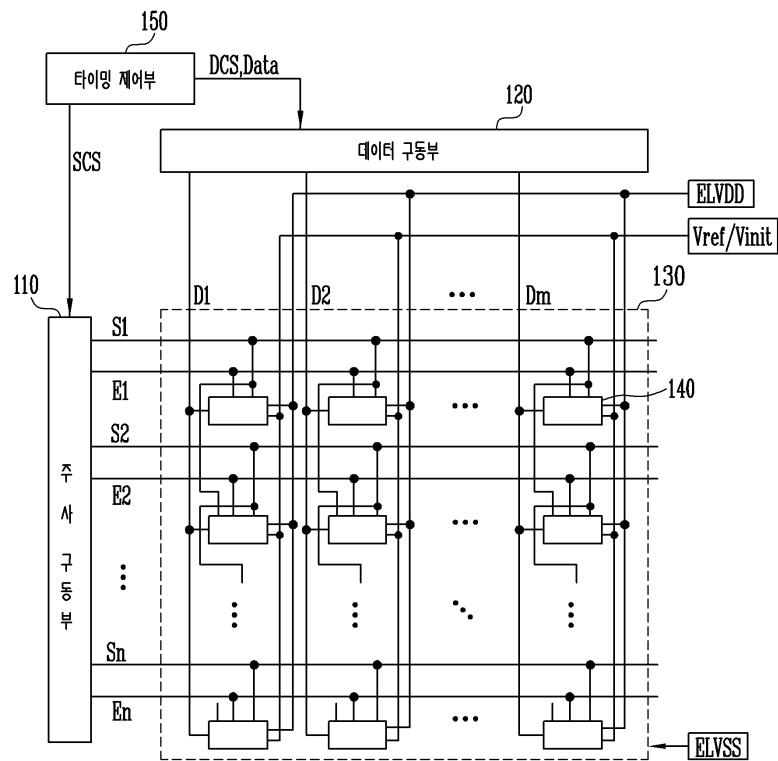
[0126] 271: 애노드 전극 273: 발광층

[0127] 275: 캐소드 전극 ELVDDL: 제1 전원의 공급라인

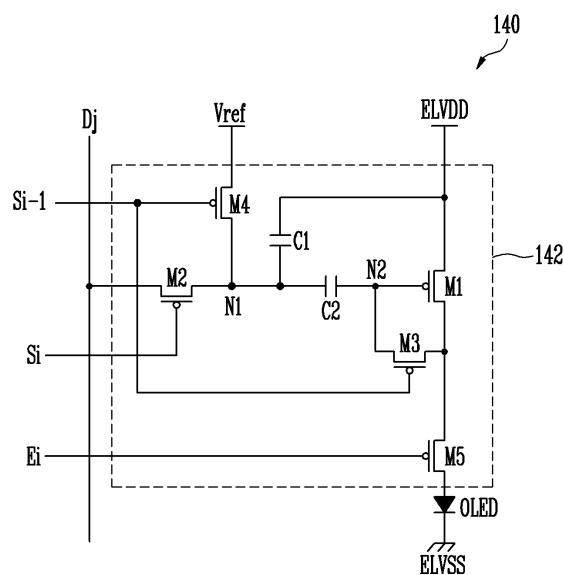
[0128] VrefL, VinitL: 제3 전원의 공급라인

도면

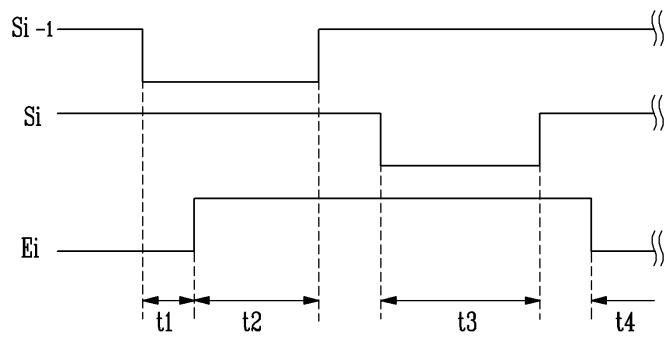
도면1



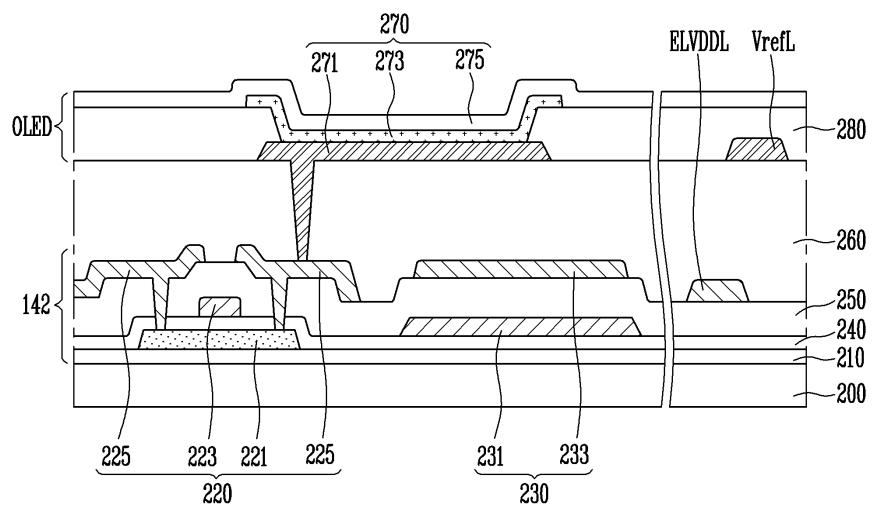
도면2



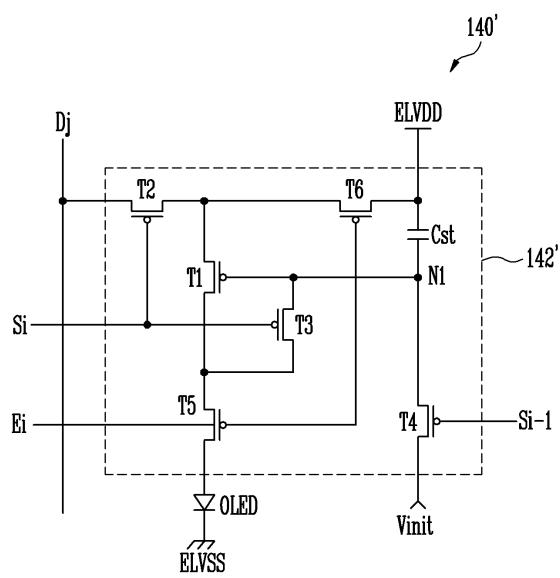
도면3



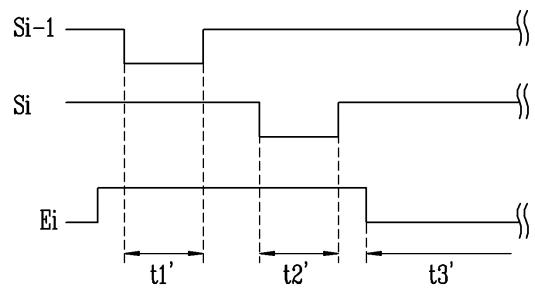
도면4



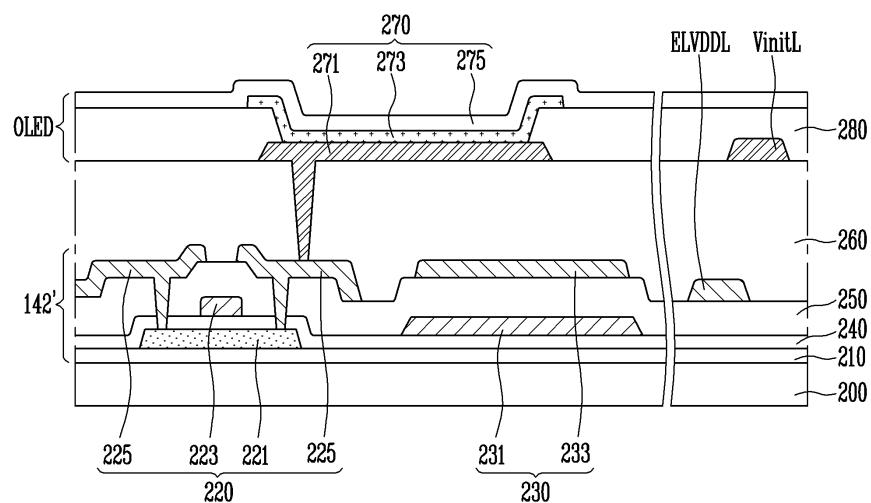
도면5



도면6



도면7



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020110011942A	公开(公告)日	2011-02-09
申请号	KR1020090069426	申请日	2009-07-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	WONKYU KWAK 곽원규 DONGWOOK PARK 박동욱 SANGMOO CHOI 최상무		
发明人	곽원규 박동욱 최상무		
IPC分类号	H01L51/52 G09G3/30		
CPC分类号	G09G2300/0852 G09G2300/0842 G09G2300/0861 G09G2320/043 H01L27/3276 G09G3/3233 G09G2300/0819 G09G2320/0223 G09G2300/0426		
代理人(译)	Sinyoungmu		
其他公开文献	KR101064381B1		
外部链接	Espacenet		

摘要(译)

本发明提供了一种有机发光显示装置，通过在与阳极电极相同的材料层上形成用于供应第三电源的电源线来有效地布置布线。组成：像素电路单元(142)包括薄膜晶体管(220)和电容器(230)形成在衬底(200)上。该薄膜晶体管包括半导体层(221)，栅电极(223)，源极和漏电极(225)。电容器包括形成在栅极绝缘层(240)上的第一电极(231)和形成为与第一电极相对的第二电极(233)。

