

(72) 발명자

최원희

서울 도봉구 도봉2동 극동아파트 1동 103호

이병준

경북 김천시 구성면 월계리 209번지

김동환

대구 달서구 용산1동 롯데캐슬아파트 107동 805호

특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하며, 반도체층, 게이트 절연층, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터와 연결되는 제1전극, 유기발광층 및 제2전극을 포함하는 유기발광다이오드; 및

상기 소오스 전극 및 드레인 전극을 이루는 물질과 동일한 물질을 포함하는 제1도전층 및 상기 제1도전층 상에 위치하는 제2도전층을 포함하며, 상기 제2전극과 전기적으로 연결되는 전원 라인을 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 소오스 전극, 드레인 전극 및 제1도전층은 몰리브덴, 알루미늄, 티타늄 또는 이들의 합금 중에서 선택된 물질을 포함하는 단층 또는 다층 구조인 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 제2도전층은 상기 제1전극과 동일한 물질로 이루어지는 유기전계발광표시장치.

청구항 4

마더 기관 상에 반도체층, 게이트 절연층, 게이트 전극을 형성하는 단계;

상기 반도체층과 전기적으로 연결되는 소오스 전극, 드레인 전극 및 음의 전압 라인의 제1도전층을 형성하는 단계;

상기 소오스 전극, 드레인 전극 및 제1도전층 상에, 상기 드레인 전극 및 제1도전층의 일부를 노출시키는 보호층을 형성하는 단계;

상기 드레인 전극과 전기적으로 연결되는 제1전극을 형성하는 단계;

상기 제1전극 상에 상기 제1전극의 일부를 노출시키는 बैं크층을 형성하는 단계;

상기 제1도전층 상에, 상기 제1도전층과 전기적으로 연결되는 제2도전층을 형성하는 단계;

상기 बैं크층에 의하여 노출된 제1전극 상에 더미층을 형성하는 단계;

상기 마더 기관을 다수의 서브 기관으로 절단하는 단계;

상기 더미층을 제거하는 단계;

상기 제1전극 상에 유기 발광층을 형성하는 단계; 및

상기 유기발광층 및 제2도전층 상에 제2전극을 형성하는 단계를 포함하는 유기발광표시장치의 제조 방법.

청구항 5

제4항에 있어서,

상기 더미층은 금속 물질, 도전 물질 및 무기 물질 중 어느 하나 이상을 포함하는 유기발광표시장치의 제조 방법.

청구항 6

제4항에 있어서,

상기 제2도전층 및 상기 더미층은 서로 식각비가 다른 유기발광표시장치의 제조 방법.

청구항 7

제4항에 있어서,

상기 제2도전층은 상기 제1전극과 동일한 물질로 형성하는 유기발광표시장치의 제조 방법.

청구항 8

제4항에 있어서,

상기 소오스 전극, 드레인 전극 및 제1도전층은 몰리브덴, 알루미늄, 티타늄 또는 이들의 합금 중에서 선택된 물질을 포함하는 단층 또는 다층 구조인 유기발광표시장치의 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 유기발광표시장치 및 그 제조 방법에 관한 것이다.

배경기술

<2> 최근에 음극선관(cathode ray tube)과 같은 종래의 표시소자의 단점을 해결하는 액정표시장치(liquid crystal display), 유기발광표시장치(Organic Light Emitting Display) 또는 PDP(plasma display panel)등과 같은 평판 표시장치(flat panel display)가 주목 받고 있다.

<3> 특히, 유기발광표시장치는 자체발광형으로 액정표시장치와 같은 백라이트 광원이 필요하지 않아 경량 박형이 가능할 뿐만 아니라, 단순한 공정을 거쳐 제조될 수 있다. 또한, 유기발광표시장치는 저전압 구동, 높은 발광 효율, 넓은 시야각을 가짐에 따라, 차세대 디스플레이로서 급상승하고 있다.

<4> 상기와 같은 유기발광표시장치는 복수개의 유기발광소자가 형성된 유기발광소자 어레이 기판과 이를 봉지하기 위한 봉지 기판을 합착한 다음, 이를 각각의 유기발광소자 별로 스크라이빙하여 모듈 작업을 수행함으로써, 각각의 유기발광표시장치로 제조하게 된다.

<5> 상기 유기발광소자 어레이 기판은 다음과 같은 공정에 의해 제조될 수 있다. 이러한 공정은 종래에 널리 공지된 바, 이하에서 간략하게 기술하기로 한다.

<6> 기판 상의 각 서브픽셀에 박막 트랜지스터를 형성한다. 박막 트랜지스터는반도체층, 게이트 절연층, 게이트 전극, 층간절연층, 소오스 전극 및 드레인 전극을 포함할 수 있다.

<7> 박막 트랜지스터 상에 보호층을 형성한 다음, 상기 보호층 상에 상기 보호층을 관통하여 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결된 제1전극을 형성하여, 제1전극을 포함하는 박막 트랜지스터 어레이 기판을 형성한다.

<8> 그런 다음, 공정 상의 편의를 위하여 박막 트랜지스터 어레이 기판을 복수개로 스크라이빙하고, 제1전극 상에 유기발광층 및 제2전극을 포함하는 유기발광다이오드를 제조하고, 상기 유기발광소자 어레이 기판을 봉지 기판과 합착하게 된다. 그런 다음, 이를 스크라이빙한 후 모듈 작업을 수행하여, 각각의 유기발광표시장치로 제조한다.

<9> 상술한 바와 같이, 유기발광층을 형성하기 전, 제1전극이 형성된 마더 기판을 공정 상의 편의를 위하여, 원하는 사이즈를 갖도록 수 개의 기판으로 스크라이빙(scribing) 후 그라인딩(grinding) 공정을 거치게 된다. 그런데, 스크라이빙 또는 그라인딩 공정시, 예컨대 글라스 칩(glass chip)성 이물질이나 파티클(particle)성 이물질이 발생하여 제1전극 표면 및 전원 라인의 표면에 부착되는데, 이는 제1전극의 전기적 특성을 저하시키거나, 후속하는 유기발광층 형성 공정에서 불량을 일으켜 암점을 발생시키며, 전원 라인의 표면을 오염시켜, 저항 특성을 변화시키는 문제가 있다.

발명의 내용

해결 하고자하는 과제

<10> 따라서, 본 발명은 스크라이빙 및 그라인딩 공정에서 발생하는 이물질에 의하여 제1전극 및 전원 라인이 오염되는 것을 방지하여, 제조 수율, 발광 효율 및 제품의 신뢰성을 향상시킬 수 있는 유기발광표시장치 및 그 제조 방법을 제공함에 그 목적이 있다.

과제 해결수단

<11> 본 발명은, 기관; 상기 기관 상에 위치하며, 반도체층, 게이트 절연층, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터와 연결되는 제1전극, 유기발광층 및 제2전극을 포함하는 유기발광다이오드; 및 상기 소오스 전극 및 드레인 전극을 이루는 물질과 동일한 물질을 포함하는 제1도전층 및 상기 제1도전층 상에 위치하는 제2도전층을 포함하며, 상기 제2전극과 전기적으로 연결되는 전원 라인을 포함하는 유기전계발광표시장치 방법을 제공한다.

<12> 또한, 본 발명은, 마더 기관 상에 반도체층, 게이트 절연층, 게이트 전극을 형성하는 단계; 상기 반도체층과 전기적으로 연결되는 소오스 전극, 드레인 전극 및 음의 전압 라인의 제1도전층을 형성하는 단계; 상기 소오스 전극, 드레인 전극 및 제1도전층 상에, 상기 드레인 전극 및 제1도전층의 일부를 노출시키는 보호층을 형성하는 단계; 상기 드레인 전극과 전기적으로 연결되는 제1전극을 형성하는 단계; 상기 제1전극 상에 상기 제1전극의 일부를 노출시키는 बैं크층을 형성하는 단계; 상기 제1도전층 상에, 상기 제1도전층과 전기적으로 연결되는 제2도전층을 형성하는 단계; 상기 बैं크층에 의하여 노출된 제1전극 상에 더미층을 형성하는 단계; 상기 마더 기관을 다수의 서브 기관으로 절단하는 단계; 상기 더미층을 제거하는 단계; 상기 제1전극 상에 유기 발광층을 형성하는 단계; 및 상기 유기발광층 및 제2도전층 상에 제2전극을 형성하는 단계를 포함하는 유기발광표시장치의 제조 방법을 제공한다.

효 과

<13> 본 발명에 따르면, 제1전극 및 전원 라인의 표면이 이물질에 의하여 오염되는 것을 방지하여 제품의 효율 및 화면의 품질을 향상시킬 수 있으며, 아울러, 제1전극의 표면 특성을 향상시켜 발광효율을 향상시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<14> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<15> [실시예]

<16> 도 1a는 본 발명의 일 실시예에 따른 유기발광표시장치를 도시한 평면도이다.

<17> 도 1a를 참조하면, 유기발광표시장치를 제조하기 위하여는, 마더 기관(100) 상에 복수개의 유기발광소자를 형성하여 유기발광소자 어레이 기관을 형성한다. 여기서, 도면번호 100b는 하나의 표시장치를 제조하기 위한 단위로서, 박막 트랜지스터와 유기발광다이오드를 포함하는 복수개의 서브픽셀들을 포함할 수 있다.

<18> 상기와 같은 마더 기관(100)은 봉지 기관(미도시)과 합착되며, 스크라이빙 후 모듈 공정을 거쳐, 도 1b에 도시한 각각의 유기발광표시장치(100b)로 제조될 수 있다.

<19> 도 1b은 본 발명의 일 실시예에 따른 유기발광표시장치를 도시한 평면도이다.

<20> 도 1b를 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치는 표시부(P), 스캔 구동부(SD), 데이터 구동부(DD), 전원 라인(182)을 포함한다.

<21> 표시부(P)는 스캔 라인(S1...Sn)과 데이터 라인(D1...Dm)의 교차에 의하여 정의되는 다수개의 서브픽셀을 포함하며, 각각의 서브픽셀은 스캔 라인(S1...Sn) 및 데이터 라인(D1...Dm)을 통하여 스캔 구동부(SD) 및 데이터 구동부(DD)로부터 전기적 신호를 인가 받는다.

- <22> 표시부(P)의 각각의 서브픽셀은 도시하지는 않았지만, 박막 트랜지스터 및 유기발광다이오드를 포함하며, 유기 발광다이오드는 제1전극, 유기발광층 및 공통전극인 제2전극(195)을 포함한다. 여기서, 서브픽셀들은 유기발광 다이오드의 제2전극(195)을 통하여 전원 라인(182)과 연결된다. 여기서, 전원 라인(182)은 제2전극(195)에 음의 전압, 예를 들면 접지 전압을 공급할 수 있으며, 유기발광다이오드에서 발생한 전류는 전원 라인(182)을 통하여 흘러나가게 된다. 따라서, 전원 라인(182)은 표시부(P)를 둘러싸도록 넓은 영역에 형성될 수 있으며, 본 발명의 일 실시예에서는 전원 라인(182)의 일부와 제2전극(195)이 콘택되는 것으로 도시하였지만, 이에 국한되지 않는다. 이하에서는 설명의 편의를 위하여, 전원 라인(182)의 일부와 제2전극(195)이 콘택되는 부분을 제2전극 콘택부(C)라 명한다.
- <23> 이하에서는 도 2를 참조하여, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 구조를 설명하기로 한다.
- <24> 도 2를 참조하면, 기판(101) 상에 버퍼층(105)이 위치하며, 버퍼층(105) 상에는 박막 트랜지스터(TFT)가 위치한다. 여기서, 박막 트랜지스터(TFT)는 반도체층(110), 게이트 절연층인 제1절연층(120), 게이트 전극(130), 층간절연층인 제2절연층(140), 소오스 전극 및 드레인 전극(150a, 150b)을 포함할 수 있다.
- <25> 상기 박막 트랜지스터(TFT) 상에는 보호층(160)이 위치하며, 보호층(160) 상에는 콘택홀(165)을 통하여 상기 드레인 전극(150b)과 연결되는 제1전극(170)이 위치한다. 제1전극(170) 상에는 제1전극(170)의 일부를 노출시키는 개구부(185)를 포함하는 बैं크층(180)이 위치한다.
- <26> 개구부(185)에 의해 노출된 제1전극(170) 상에 유기발광층(190)이 위치하며, 유기발광층(190) 상에 제2전극(195)이 위치한다. 제1전극(170), 유기발광층(190) 및 제2전극(195)은 유기발광다이오드(OLED)를 이룬다.
- <27> 한편, 제2전극 콘택부(C) 상의 버퍼층에는 제1절연층(120), 제2절연층(140)이 위치하며, 제2절연층(140) 상에 제1도전층(150c)이 위치한다. 여기서, 제1도전층(150c)은 소오스 전극 및 드레인 전극(150a, 150b)과 동일한 물질을 포함할 수 있다.
- <28> 제1도전층(150c) 상에 보호층(160)이 위치하며, 보호층(160) 상에 제1도전층(150c)과 전기적으로 연결되는 제2도전층(181)이 위치한다. 여기서, 제2도전층(181)은 제1전극(170)과 동일한 물질을 포함할 수 있으며, 제1도전층(150c)과 제2도전층(181)은 전원 라인(182)을 이룬다.
- <29> 전원 라인(182)의 상부에는 제2전극(195)이 위치하여, 서로 전기적으로 연결됨으로써, 제2전극(195)에 전원을 공급할 수 있다.
- <30>
- <31> 도 3 내지 도 8는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도이다.
- <32> 본 발명에서 도면부호 100으로 표시한 것은 마더 기판을 의미하며, 마더 기판(100) 상에는 복수의 유기발광소자들이 형성될 수 있다. 이하에서는, 본 발명의 일 실시예에서는 설명의 편의를 위하여 하나의 유기발광소자를 하나의 유기발광표시장치를 제조하기 위한 기본 단위(100b)로 설명하도록 한다. 그리고, 도 2에서 설명한 제2전극 콘택부(C)의 구조도 함께 설명하도록 한다.
- <33> 도 3을 참조하면, 기판(101) 상에 버퍼층(105)을 형성한다. 기판(101)은 유리, 플라스틱 또는 금속을 포함할 수 있으며, 플렉시블한 특성을 가지는 기판일 수도 있다. 상기 버퍼층(105)은 기판(100)의 불순물이 후속하여 형성될 박막 트랜지스터로 확산되는 것을 방지하기 위한 것으로, 선택적으로 형성할 수 있다.
- <34> 버퍼층(105) 상에 박막 트랜지스터(TFT)를 형성한다. 여기서, 박막 트랜지스터(TFT)는 반도체층(110), 게이트 절연층인 제1절연층(120), 게이트 전극(130), 층간절연층인 제2절연층(140), 소오스 전극 및 드레인 전극(150a, 150b)을 포함할 수 있다.
- <35> 제2전극 콘택부(C)의 버퍼층(105) 상에도 제1절연층(120) 및 제2절연층(140)을 형성하고, 제2절연층(140) 상에 제1도전층(150c)을 형성한다. 여기서, 제1도전층(150c)은 소오스 전극 및 드레인 전극과 동일한 물질을 사용하여, 소오스 전극 및 드레인 전극 형성 공정과 동일한 공정에서 형성할 수 있다.
- <36> 소오스 전극 및 드레인 전극(150a, 150b)은 몰리브덴, 알루미늄, 티타늄 또는 이들의 합금 중에서 선택된 어느 하나 이상을 포함할 수 있으며, 단층 또는 다수의 금속층을 포함할 수 있다. 예를 들면, 소오스 전극 및 드레인

인 전극(150a, 150b)은 몰리브덴층/알루미늄층/몰리브덴층과 같이 3층 구조로 이루어질 수 있다.

- <37> 박막 트랜지스터(TFT) 및 제1도전층(150c) 상에 제3절연층(160)을 형성한다. 제3절연층(160)은 평탄화 절연층 또는 보호층일 수 있으며, 실리콘 산화물, 실리콘 질화물, 폴리아크릴레이트계 수지 또는 벤조사이클로부텐계 수지로 형성할 수 있다.
- <38> 도 4를 참조하면, 제3절연층(160)의 일부를 식각하여 상기 드레인 전극(150b)의 일부는 노출시키는 콘택홀(165) 및 제1도전층(150c)의 일부를 노출시키는 비어홀(166)을 형성한다. 그런 다음, 제3절연층(160) 상에, 상기 드레인 전극(150b)과 콘택홀(165)을 통하여 전기적으로 연결되는 제1전극(170)을 형성한다.
- <39> 여기서, 제1전극(170)은 애노드일 수 있으며, ITO와 같은 투명도전산화층을 포함할 수 있다. 또한, 제1전극(170)은 투명도전산화층 하부에 위치하는 반사금속층을 더 포함할 수도 있다.
- <40> 제1전극(170) 상에 बैं크층(180)을 형성한다. बैं크층(180)은 제1전극(170)들 간을 절연시킨다. 다음으로, 상기 बैं크층(180)의 일부를 식각하여 제1전극(170)의 일부를 노출시키는 개구부를 형성한다.
- <41> 도 5를 참조하면, 제1도전층(150c) 상에 제2도전층(181)을 형성한다. 여기서, 제2도전층(181)은, 박막 트랜지스터(TFT) 및 제1전극(170)을 제외하고, 제2전극 콘택부(C)만을 노출시키도록 제작된 별도의 마스크를 사용하여 형성할 수 있다. 제2도전층(181)은 후속하는 더미층 식각 공정에서 제1도전층(151c)이 손상되는 것을 보호하기 위한 것으로서, ITO, 구리, 은, 백금, 금 등과 같은 도전성 물질을 포함할 수 있다.
- <42> 여기서, 제2도전층(181)을 제1전극(170) 및 बैं크층(180)을 형성한 후에 형성하는 것으로 설명하였지만, 제2도전층(181)은 제1전극(170)과 동일한 물질을 사용하여, 제1전극(170) 형성공정과 동일한 공정에서 형성할 수도 있으며, 이 경우, 공정이 간소해지는 효과가 있다.
- <43> 여기서, 제1도전층(150c) 및 제2도전층(181)은 후속하여 형성될 유기발광다이오드의 제2전극과 전기적으로 연결될 수 있으며, 이하에서는 제1도전층(150c) 및 제2도전층(181)을 전원 라인(182)으로 지칭한다.
- <44> 도 6을 참조하면, 제1전극(170), बैं크층(180) 및 전원 라인(182)이 형성된 마더 기판(100) 상에 더미층(183)을 형성한다. 더미층(183)은 몰리브덴과 같은 금속 물질, ITO, IZO 또는 ITZO와 같은 투명한 도전 물질 또는 실리콘 질화막과 같은 무기 물질을 포함할 수 있다.
- <45> 더미층(183)은 후공정인 스크라이빙 공정 및 그라인딩 공정에 의해 마더 기판(200a)이 원하는 패널 사이즈를 갖는 다수의 기판으로 절단될 때 기판으로부터 발생된 이물질, 예컨대 글라스 칩성 이물질과 파티클성 이물질이 상기 제1전극(170)에 부착되는 것을 방지한다.
- <46> 따라서, 더미층(183)은 상기 제1전극(170)을 보호하기 위해 형성되면 충분하므로, 본 발명의 일 실시예에서 도시한 것과는 달리, 필요에 따라 상기 제1전극(170) 상에만 형성할 수도 있다. 즉, 더미층(183)은 बैं크층(180) 및 전원 라인(182) 상에는 형성되지 않을 수 있다.
- <47> 여기서, 도시하지는 않았지만, 더미층(183) 상에 추가의 더미층을 더 형성할 수도 있다. 추가의 더미층은 스크라이빙 공정에 의해 그 하부에 형성된 더미층(183)으로부터 2차로 이물질이 발생하는 것을 방지하기 위해 형성될 수 있다.
- <48> 따라서, 추가의 더미층은 반드시 형성할 필요는 없고, 더미층(183)이 어떠한 물질로 형성되느냐에 따라 선택적으로 형성될 수 있다. 여기서, 추가의 더미층은 포토레지스트, 폴리아크릴레이트계 수지 또는 벤조사이클로부텐계 수지로 형성할 수 있다.
- <49> 도 7을 참조하면, 마더 기판(100)을 복수개의 서브 기판(100a)으로 스크라이빙 한 후, 스크라이빙한 가장자리를 그라인딩한다. 이는, 공정 상의 편의를 위한 것으로, 여기서, 서브 기판(100a)은 도 2에서 설명한, 복수의 유기발광표시장치(100b)를 제조하기 위한 유기발광소자 어레이 기판일 수 있으며, 이와는 달리, 하나의 유기발광표시장치(100b)를 제조하기 위한 단위일 수도 있다.
- <50> 도 8을 참조하면, 다음으로, 상기 제1전극(170) 상에 유기 발광층을 형성하기 위해, 상기 제1전극(170) 상에 형성된 더미층(183)을 제거한다.
- <51> 더미층(183)은 습식 식각 공정 또는 건식 식각 공정을 이용하여 제거될 수 있다. 예컨대, 상기 더미층(183)이 무기 물질로 이루어지는 경우 건식 식각 공정에 의해 제거될 수 있으며, 상기 더미층(183)이 금속 물질이나 도전 물질로 이루어지는 경우, 습식 식각 공정에 의해 제거될 수 있다. 이때, 더미층(183)이 제거됨과 아울러,

제1전극(170)의 표면이 세정되는 효과를 얻을 수 있다.

- <52> 예를 들면, 상기 더미층(183)이 폴리브덴으로 이루어진 경우, 습식 식각 공정에 의해 더미층(183)이 제거되고, 상기 제1전극(170)의 상부도 일부 제거되거나 세정된다. 이에 따라, 상기 제1전극(170)의 표면 거칠기가 저하될 수 있으므로, 제1전극(170)의 표면 특성이 현저히 향상될 수 있다. 그러므로, 제1전극(170)의 일함수가 증가되어 정공 주입 효율이 증가되며, 이에 따라 유기발광표시장치의 전기적 특성이 향상될 수 있다.
- <53> 그리고, 더미층(183)의 제거시, 전원 라인(182)의 제2도전층(181)은 더미층(183)의 제거시, 손상받거나 제거되지 않도록 해야 한다. 전원 라인(182)은 유기발광다이오드의 제2전극에 균일한 음의 전원을 공급해야 하므로, 배선 저항이 작으며 균일해야 한다. 따라서, 제2도전층(181)은 제1도전층(150c)과 도통되도록 도전성을 가지며, 더미층(183)과 식각 선택비가 다른 물질로 형성할 수 있다. 예를 들면, 소오스 전극(150a) 및 제1도전층(150c)이 폴리브덴층/알루미늄층/폴리브덴층으로 이루어진 경우, 더미층(183)을 폴리브덴으로 형성하게 되면, 더미층(183)의 습식 식각시, 제1도전층(150c) 상층의 폴리브덴층이 손상되어 하부 알루미늄층이 노출되게 된다. 따라서, 제1도전층(150c)을 포함하는 전원 라인(182)의 표면 특성이 달라지게 되므로, 후속하여 형성될 제2전극(195)에 균일한 전원을 공급할 수 없게 된다.
- <54> 따라서, 제1도전층(150c) 상에 ITO를 사용하여 제2도전층(181)을 형성한 다음, 폴리브덴으로 더미층(183)을 형성하게 되면, 더미층(183)의 습식 식각에도 불구하고, 제2도전층(181)이 식각 선택성을 가지기 때문에, 전원 라인(182)은 손상받지 않게 된다.
- <55> 도 8을 참조하면, 개구부(185)에 의해 노출된 제1전극(170) 상에 유기발광층(190)을 형성하고, 유기발광층(190) 상에 제2전극(195)을 형성하여, 제1전극(170), 유기발광층(190) 및 제2전극(195)을 포함하는 유기발광다이오드(OLED)를 형성한다. 이때, 제2전극(195)은 전원 라인(182) 상에 형성될 수 있다.
- <56> 제2전극(195)은 캐소드일 수 있으며, 공통전극일 수 있다. 그리고, 제2전극(195)은 일함수가 낮고 반사력이 뛰어난 알루미늄, 마그네슘, 은 등을 포함할 수 있으며, 반투과 전극으로 형성될 수 있다.
- <57> 유기발광층(190)은 제1전극(170)으로부터 정공을 공급받고, 제2전극(195)으로부터 전자를 공급받아 여기자를 생성한다. 그리고, 여기자가 바닥 상태로 돌아가면서 방출하는 빛에 의하여, 영상 이미지가 표시된다. 여기서, 도시하지는 않았지만, 유기발광층(190)과 제1전극(170) 사이, 유기발광층(190)과 제2전극(195) 사이에는 정공 및 전자의 수송을 돕기 위한 정공/전자 주입 및 수송층이 위치할 수 있다.
- <58> 상술한 바와 같이, 본 발명의 일 실시예에서는, 마더 기관(100)을 서브 기관(100a)으로 스크라이빙 하기 전, 마더 기관(100) 상에 더미층을 형성한다. 이는 스크라이빙시 기관으로부터 발생된 이물질, 예컨대 글라스 칩성 이물질과 파터클성 이물질이 상기 제1전극(170)에 부착되는 것을 방지한다. 따라서, 스크라이빙시 발생하는 이물질은 더미층(183) 상에 위치하게 되며, 더미층(183) 제거시 함께 제거된다.
- <59> 또한, 본 발명의 일 실시예에 따르면, 더미층(183)을 제거할 때 이용되는 식각 공정으로 인해 더미층(183) 하부의 제1전극(170)의 표면 특성이 향상될 수 있다. 즉, 일함수 증가에 따른 정공 주입 효율이 증가되어, 유기발광표시장치의 전기적 특성이 향상될 수 있다.
- <60> 그리고, 본 발명의 일 실시예에 따르면, 전원 라인(182)을 두개의 도전층을 사용하여 형성하였다. 즉, 전원 라인(182)의 상부층인 제2도전층(181)을 도전성이 있으며, 더미층(183)과 식각 선택성이 있는 물질로 형성하였기 때문에, 더미층의 제거시(183), 전원 라인(182)이 손상되는 것을 방지하여, 유기발광다이오드의 제2전극에 일정한 전압을 공급하여 화면의 품질을 향상시킬 수 있다.
- <61> 여기서, 박막 트랜지스터를 탑 게이트 방식(top gate type)으로 설명하였으나, 이에 한정되지 않으며, 박막 트랜지스터는 바텀 게이트 방식(bottom gate type) 박막트랜지스터일 수 있다.
- <62> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- <63> 도 1a는 본 발명의 일 실시예에 따른 유기발광표시장치를 도시한 평면도이다.
- <64> 도 1b는 본 발명의 일 실시예에 따른 유기발광표시장치를 도시한 평면도이다.

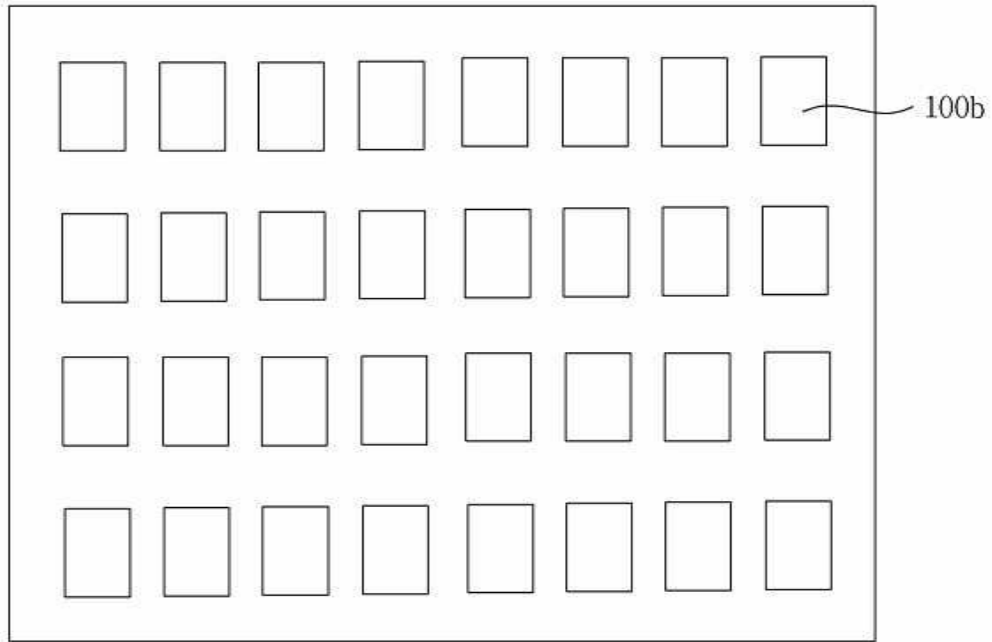
<65> 도 2는 본 발명의 일 실시예에 따른 유기발광표시장치를 도시한 단면도이다.

<66> 도 3 내지 도 8는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도 및 평면도이다.

<67>

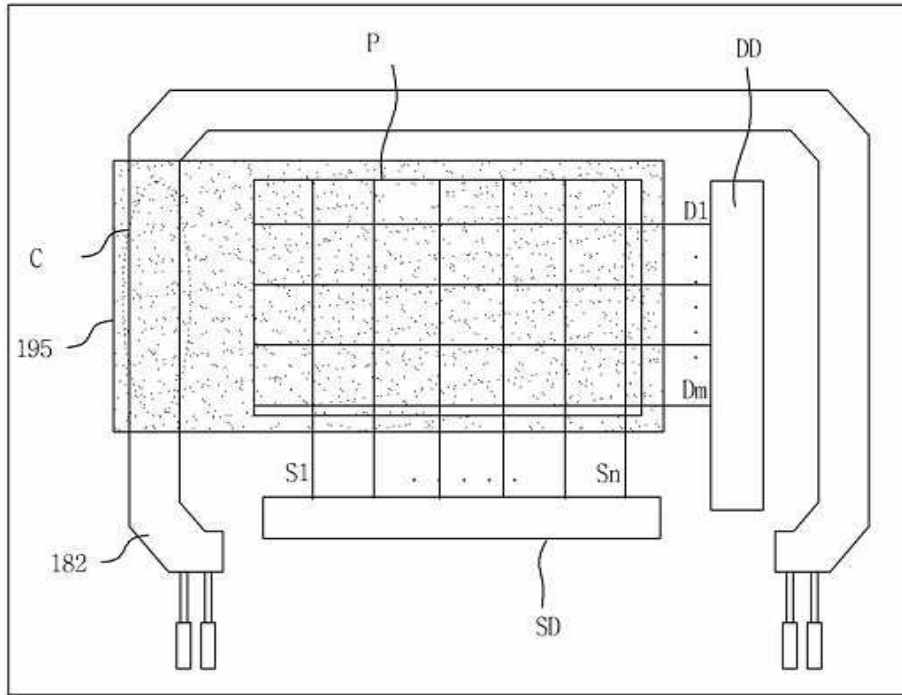
도면

도면1a



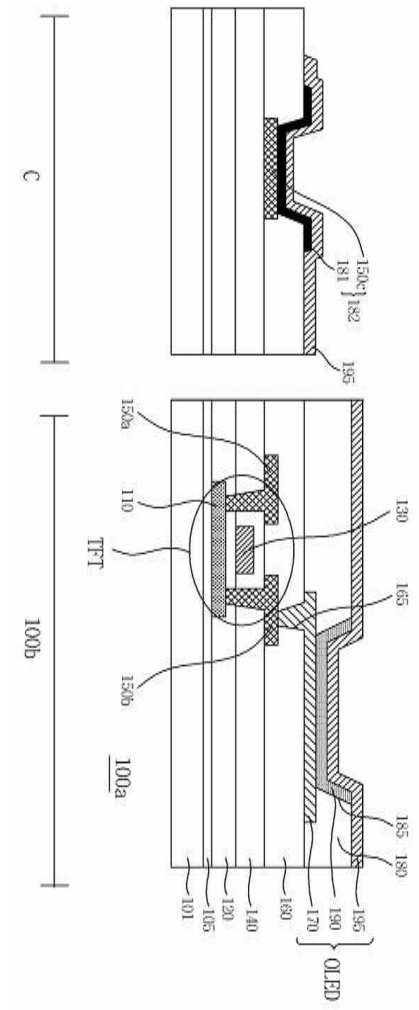
100

도면1b

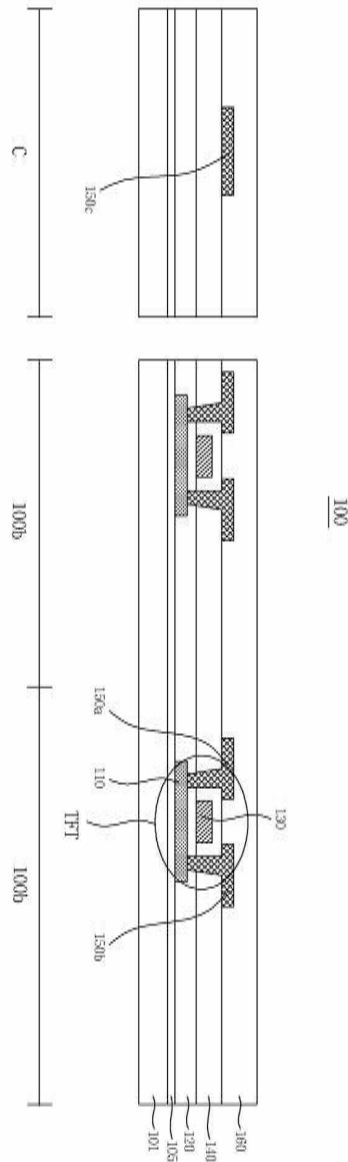


100b

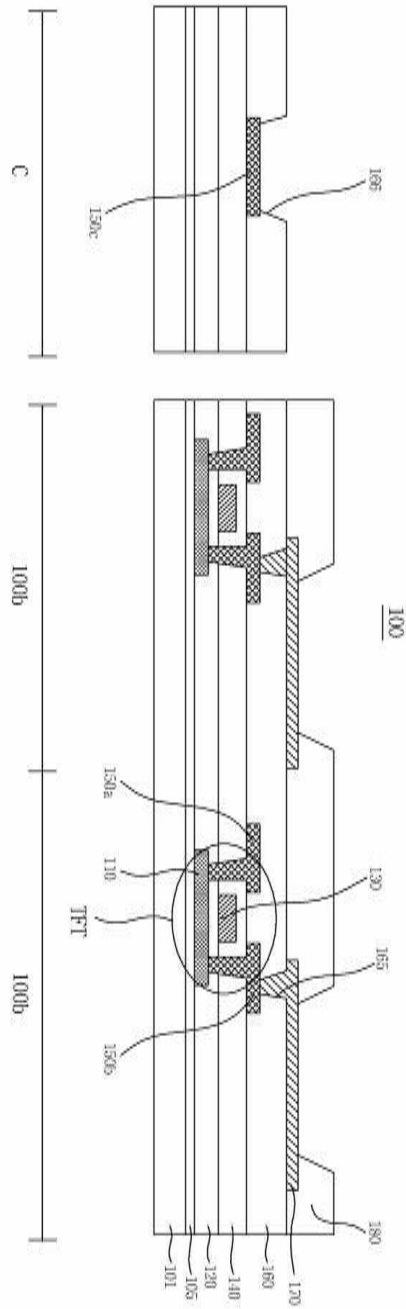
도면2



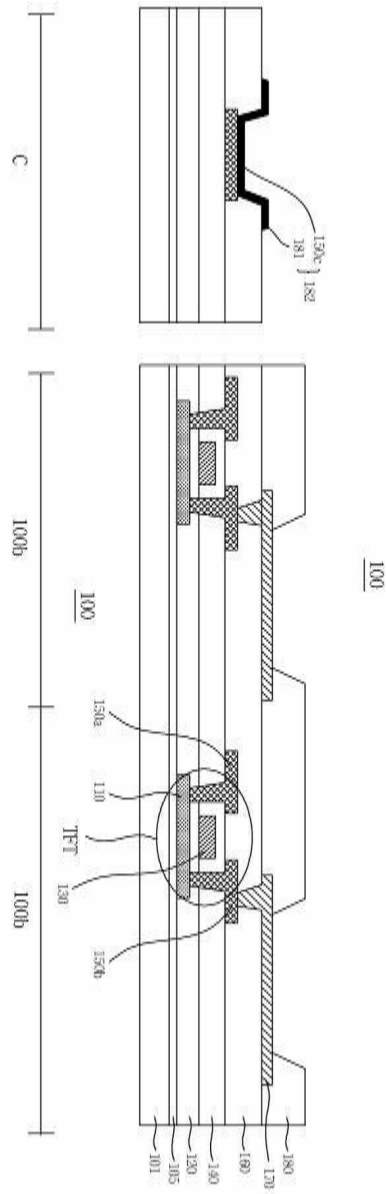
도면3



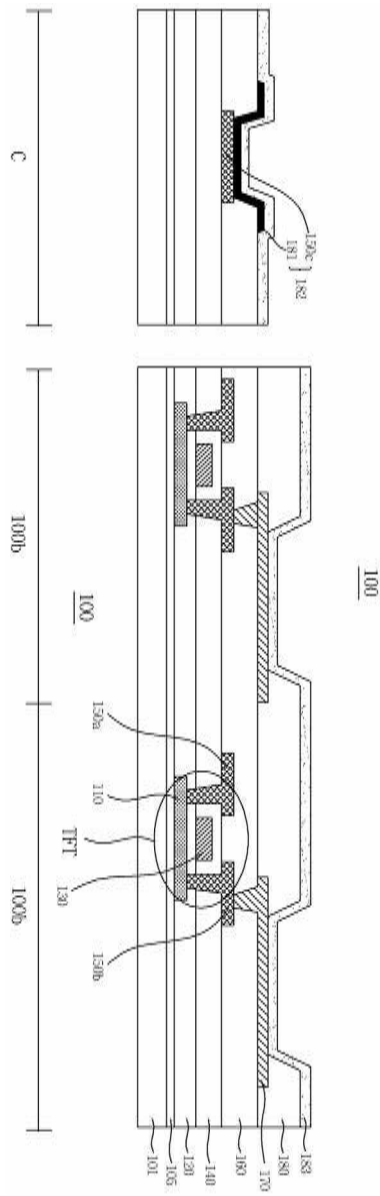
도면4



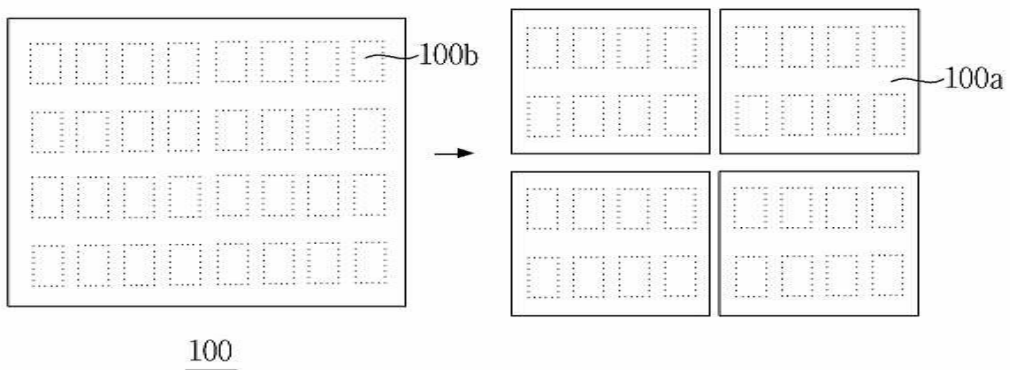
도면5



도면6



도면7



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020090046643A	公开(公告)日	2009-05-11
申请号	KR1020070112901	申请日	2007-11-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYUNG CHUL 김형철 PARK JAE YONG 박재용 CHOI WON HEE 최원희 LEE BYOUNG JUNE 이병준 KIM DONG HWAN 김동환		
发明人	김형철 박재용 최원희 이병준 김동환		
IPC分类号	H05B33/26		
CPC分类号	H01L51/56 H01L27/3276 H01L27/3244 H01L2251/566 H01L51/5253		
其他公开文献	KR101016759B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机电致发光显示装置方法，包括第二电极，第二导电层位于第一导电层上，电源线与薄膜晶体管电连接，薄膜晶体管和有机发光二极管包括连接的第一导电层电极，有机发光层和第二电极，以及包括半导体层，栅极绝缘层，栅电极，源电极和漏电极的源电极和漏电极等材料位于基底：基底的表面上。有机电致发光显示装置。

