



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0021442  
(43) 공개일자 2009년03월04일

(51) Int. Cl.

H05B 33/22 (2006.01) H05B 33/26 (2006.01)

(21) 출원번호 10-2007-0085938

(22) 출원일자 2007년08월27일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최희동

충남 서산시 읍면면 탑곡리 3구 178

박재희

경북 구미시 구평동 부영7단지 부영APT 708-1504

명노훈

경기 양평군 양평읍 오빈리 413 (12/2) 리버힐하우스 101호

(74) 대리인

허용록

전체 청구항 수 : 총 11 항

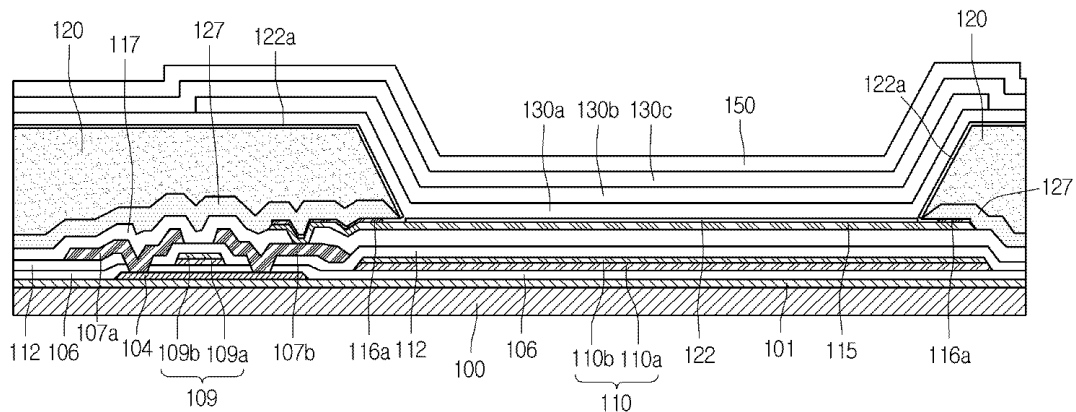
(54) 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은, 유기전계발광표시장치 및 그 제조방법에 관한 것으로, 제조 공정을 단순화시켜 제품 수율을 향상시키고, 설계 마진을 확보할 수 있는 효과가 있다.

또한, 본 발명은 음극(cathode)을 표면 부식에 강한 투명성 도전물질을 사용함으로써, 제조 공정 중 전극이 산화되는 것을 방지한 효과가 있다.

대표도



## 특허청구의 범위

### 청구항 1

화소 영역이 정의된 기판;

상기 기판 상에 형성된 박막 트랜지스터;

상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되며, 상기 화소 영역에 형성된 제 1 전극;

상기 제 1 전극 상에 형성된 보조전극;

상기 제 1 전극과 보조전극 상에 순차적으로 형성된 전자수송층, 유기전계발광층 및 정공수송층;

상기 정공수송층 상에 형성된 제 2 전극; 및

상기 제 1 전극 하부에 배치된 반사판을 포함하고,

상기 화소 영역 가장자리 둘레를 따라 보호층과 제 1 전극 사이에 소정의 갭이 형성된 언더 컷 구조를 갖고, 상기 언더 컷 구조 내측에 제 1 전극과 전기적으로 콘택된 희생패턴이 형성된 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 2

제 1 항에 있어서, 상기 반사판은 이중 금속층 구조를 갖는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 3

제 1 항에 있어서, 상기 제 1 전극은 투명성 도전 물질인 ITO, IZO, ITZO 중 어느 하나로 형성된 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 4

제 1 항에 있어서, 상기 보조 전극은 Al 또는 그 합금으로 형성된 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 5

제 1 항에 있어서, 상기 보조 전극의 두께는 대략 500Å 이하부터 10Å 인 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 6

제 1 항에 있어서, 상기 보호층과 제 1 전극 사이에 소정의 갭은 상기 희생패턴의 두께와 동일한 50~500Å 인 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 7

채널층이 형성된 기판을 제공하는 단계;

상기 채널층이 형성된 기판 상에 게이트 절연막을 형성한 다음, 상기 채널층 상에 게이트 전극과 화소 영역에 반사판을 형성하는 단계;

상기 게이트 전극을 사이에 두고 상기 채널층 상에 소스/드레인 전극을 형성하여 박막 트랜지스터를 완성하는 단계;

상기 박막 트랜지스터가 형성된 절연기판 상에 제 1 보호막을 형성한 다음, 마스크 공정을 진행하여 상기 박막 트랜지스터의 드레인 전극 상에 콘택홀을 형성하는 단계;

상기 제 1 보호막이 형성된 절연기판 상에 제 1, 2 금속막을 순차적으로 형성한 다음, 마스크 공정을 진행하여 상기 드레인 전극과 전기적으로 콘택되는 제 1 전극 및 희생층을 형성하는 단계;

상기 제 1 전극과 희생층이 형성된 절연기판 상에 제 2 보호막을 형성한 다음, 마스크 공정을 진행하여 화소 영

역의 희생층을 노출하고, 계속해서 습식각 공정을 진행하여 화소 영역의 희생층을 제거하여 상기 제 1 전극을 노출한 후 화소 영역의 가장자리 둘레를 따라 상기 제 2 보호막과 제 1 전극 사이에 소정의 갭이 형성된 언더 컷 구조를 형성하는 단계;

상기 노출된 제 1 전극의 절연기관 상에 금속막을 형성하여 상기 제 1 전극 상에 보조전극을 형성하는 단계; 및 상기 화소 영역의 보조전극과 제 1 전극 상에 순차적으로 전자수송층, 유기전계발광층, 정공수송층 및 제 2 전극을 형성하는 단계를 포함하는 유기전계발광표시장치 제조방법.

#### 청구항 8

제 7 항에 있어서, 상기 제 1 전극은 투명성 도전 물질인 ITO, IZO, ITZO 중 어느 하나로 형성된 것을 특징으로 하는 유기전계발광표시장치 제조방법.

#### 청구항 9

제 7 항에 있어서, 상기 보조 전극은 Al 또는 그 합금으로 형성된 것을 특징으로 하는 유기전계발광표시장치 제조방법.

#### 청구항 10

제 7 항에 있어서, 상기 보조 전극의 두께는 대략 500Å 이하부터 10Å인 것을 특징으로 하는 유기전계발광표시장치 제조방법.

#### 청구항 11

제 7 항에 있어서, 상기 제 2 보호층과 제 1 전극 사이에 소정의 갭은 상기 희생층의 두께와 동일한 50~500Å인 것을 특징으로 하는 유기전계발광표시장치 제조방법.

### 명 세 서

#### 발명의 상세한 설명

#### 기술 분야

<1> 본 발명은 유기전계발광표시장치에 관한 것이다.

#### 배 경 기 술

<2> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한 평판표시장치는 액정표시장치(Liquid Crystal Display), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel) 및 전계발광(Electro-Luminescence)표시장치 등이 있다.

<3> 최근에 이와 같은 평판표시장치의 표시품질을 높이고 대화면화를 시도하는 연구들이 활발히 진행되고 있다. 이들 중 전계발광표시장치는 스스로 발광하는 자발광 소자이다. 전계발광표시장치는 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기 시킴으로써 비디오 영상을 표시하게 된다. 이 전계발광표시장치는 사용하는 재료에 따라 무기 전계발광표시장치와 유기 전계발광표시장치로 크게 나누어진다. 상기 유기 전계발광표시장치는 100~200V의 높은 전압을 필요로 하는 무기 전계발광표시장치에 비해 5~20V 정도의 낮은 전압으로 구동됨으로써 직류 저전압 구동이 가능하다.

<4> 또한, 유기 전계발광표시장치는 넓은 시야각, 고속 응답성, 고 콘트라스트비(contrast ratio) 등의 뛰어난 특징이 있으므로, 그래픽 디스플레이의 픽셀(pixel), 텔레비전 영상 디스플레이나 표면 광원(Surface Light Source)의 픽셀로서 사용될 수 있으며, 얇고 가벼우며 색감이 좋기 때문에 차세대 평면 디스플레이로서 적합하다.

<5> 최근에는 별도의 박막트랜지스터를 구비하지 않는 패시브 매트릭스 방식(Passive matrix type)의 단점을 보완하기 위해 액티브 매트릭스형 유기전계발광표시장치가 연구/개발되고 있다.

<6> 그러나, 종래 액티브 매트릭스형 유기전계발광표시장치는 제조 공정이 복잡한 단점이 있다. 또한, 제조 공정이 복잡하기 때문에 제조 수율이 낮고, 박막 트랜지스터가 안정적으로 기관 상에 형성되기 어려운 단점이 있다.

<7> 또한, 제조 공정 중 음극(cathode) 표면에 산화막이 형성되는 문제가 발생하는데, 이것은 구동 전압을 상승시키는 원인이 된다. 아울러, 설계 마진 확보가 어렵고, 신호배선 폭이 협소하여 신호배선이 제조 공정 중에 들뜨는 현상이 발생한다.

## 발명의 내용

### 해결 하고자하는 과제

<8> 본 발명은, 유기전계발광표시장치의 제조 공정을 단순화시켜 제품 수율을 향상시키고, 설계 마진을 확보할 수 있는 유기전계발광표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

<9> 또한, 본 발명은 음극(cathode)을 표면 부식에 강한 투명성 도전물질을 사용함으로써, 제조 공정 중 전극이 산화되는 것을 방지한 유기전계발광표시장치 및 그 제조방법을 제공함에 다른 목적이 있다.

### 과제 해결수단

- <10> 상기한 목적을 달성하기 위한, 본 발명에 따른 유기전계발광표시장치는,
- <11> 화소 영역이 정의된 기판;
- <12> 상기 기판 상에 형성된 박막 트랜지스터;
- <13> 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되며, 상기 화소 영역에 형성된 제 1 전극;
- <14> 상기 제 1 전극 상에 형성된 보조전극;
- <15> 상기 제 1 전극과 보조전극 상에 순차적으로 형성된 전자수송층, 유기전계발광층 및 정공수송층;
- <16> 상기 정공수송층 상에 형성된 제 2 전극; 및
- <17> 상기 제 1 전극 하부에 배치된 반사판을 포함하고,
- <18> 상기 화소 영역 가장자리 둘레를 따라 보호층과 제 1 전극 사이에 소정의 갭이 형성된 언더 컷 구조를 갖고, 상기 언더 컷 구조 내측에 제 1 전극과 전기적으로 콘택된 희생패턴이 형성된 것을 특징으로 한다.
- <19> 또한, 본 발명의 다른 실시예에 의한 유기전계발광표시장치 제조방법은,
- <20> 채널층이 형성된 기판을 제공하는 단계;
- <21> 상기 채널층이 형성된 기판 상에 게이트 절연막을 형성한 다음, 상기 채널층 상에 게이트 전극과 화소 영역에 반사판을 형성하는 단계;
- <22> 상기 게이트 전극을 사이에 두고 상기 채널층 상에 소스/드레인 전극을 형성하여 박막 트랜지스터를 완성하는 단계;
- <23> 상기 박막 트랜지스터가 형성된 절연기판 상에 제 1 보호막을 형성한 다음, 마스크 공정을 진행하여 상기 박막 트랜지스터의 드레인 전극 상에 콘택홀을 형성하는 단계;
- <24> 상기 제 1 보호막이 형성된 절연기판 상에 제 1, 2 금속막을 순차적으로 형성한 다음, 마스크 공정을 진행하여 상기 드레인 전극과 전기적으로 콘택되는 제 1 전극 및 희생층을 형성하는 단계;
- <25> 상기 제 1 전극과 희생층이 형성된 절연기판 상에 제 2 보호막을 형성한 다음, 마스크 공정을 진행하여 화소 영역의 희생층을 노출하고, 계속해서 습식각 공정을 진행하여 화소 영역의 희생층을 제거하여 상기 제 1 전극을 노출한 후 화소 영역의 가장자리 둘레를 따라 상기 제 2 보호막과 제 1 전극 사이에 소정의 갭이 형성된 언더 컷 구조를 형성하는 단계;
- <26> 상기 노출된 제 1 전극의 절연기판 상에 금속막을 형성하여 상기 제 1 전극 상에 보조전극을 형성하는 단계; 및
- <27> 상기 화소 영역의 보조전극과 제 1 전극 상에 순차적으로 전자수송층, 유기전계발광층, 정공수송층 및 제 2 전극을 형성하는 단계를 포함한다.

### 효 과

- <28> 본 발명은 유기전계발광표시장치의 제조 공정을 단순화시켜 제품 수율을 향상시키고, 설계 마진을 확보할 수 있

는 효과가 있다.

<29> 또한, 본 발명은 음극(cathode)을 표면 부식에 강한 투명성 도전물질을 사용함으로써, 제조 공정 중 전극이 산화되는 것을 방지한 효과가 있다.

<30> 본 발명은 상기한 실시 예에 한정되지 않고, 이하 청구 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

### 발명의 실시를 위한 구체적인 내용

<31> 이하, 첨부된 도면을 참조하여 실시예를 상세히 설명한다. 우선, 도면들 중 동일한 구성요소 또는 부품들은 가능한 한 동일한 참조부호를 나타내고 있음에 유의해야 한다. 실 시예를 설명함에 있어서 관련된 공지기능 혹은 구성에 대한 구체적인 설명은 실 시예의 요지를 모호하게 하지 않기 위해 생략한다.

<32> 또한, 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상(on/above/over/upper)"에 또는 "of아래(down/below/under/lower)"에 형성되는 것으로 기재되는 경우에 있어, 그 의미는 각 층(막), 영역, 패드, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 패드 또는 패턴들에 접촉되어 형성되는 경우로 해석될 수도 있으며, 다른 층(막), 다른 영역, 다른 패드, 다른 패턴 또는 다른 구조물들이 그 사이에 추가적으로 형성되는 경우로 해석될 수도 있다. 따라서, 그 의미는 발명의 기술적 사상에 의하여 판단되어야 한다.

<33> 도 1은 본 발명에 따른 유기전계발광표시장치의 구조를 도시한 도면이다.

<34> 도 1에 도시한 바와 같이, 본원 발명의 유기전계발광표시장치는 상부 발광 방식 유기전계발광표시장치 구조를 갖는다. 절연기판(100) 상에는 바텀 게이트 구조를 갖는 박막 트랜지스터(Thin Film Transistor)가 형성되어 있다.

<35> 박막 트랜지스터(TFT)는 절연기판(100) 상에 버퍼층(101)이 형성되어 있고, 버퍼층(101) 상에 채널층(104)이 형성된다. 상기 채널층(104) 상에는 게이트 절연막(106)을 사이에 두고 게이트 전극(109)이 형성되고, 상기 게이트 전극(109)과 동일한 층 상의 화소 영역에는 반사판(110)이 형성되어 있다.

<36> 상기 게이트 전극(109)은 제 1 게이트 패턴(109a)과 제 2 게이트 패턴(109b)의 이중층 구조를 갖고, 상기 반사판(110)은 제 1 반사패턴(110a)과 제 2 반사패턴(110b)의 이중층 구조를 갖는다. 이중층 구조를 이루는 금속들은 Al 또는 AlNd와 같은 합금을 증착한 다음, 계속하여 몰리브덴(Mo)과 같은 금속을 증착하여 형성한다.

<37> 상기 게이트 전극(109)과 반사판(110) 상에는 층간절연막(112)이 형성되어 있고, 상기 채널층(104) 상의 게이트 절연막(106)과 층간절연막(112) 상에 형성된 콘택홀을 통해 소스/드레인 전극(107a, 107b)이 소정의 거리 이격되도록 형성된다.

<38> 상기 소스/드레인 전극(107a, 107b) 상에는 제 1, 2 보호막(117, 127)이 각각 형성되어 있다. 또한, 박막 트랜지스터와 비표시 영역에는 평탄화막(120)이 패터닝되어 있고, 화소 영역에는 상기 평탄화막(120)과 제 2 보호막(127)이 제거되어 제 1 전극(115)과 보조전극(122)이 노출되어 있다. 상기 제 1 전극(115)과 보조전극(122)이 노출된 화소 영역에는 전자주입층(electron injection layer)을 포함하는 전자 수송층(electron transporting layer: 130a), 유기전계발광층(130b), 정공주입층(hole injection layer)을 포함하는 정공수송층(130c; hole transporting layer) 및 제 2 전극(150)이 형성되어 있다.

<39> 또한, 상기 보조전극(122)이 형성된 층의 화소 영역 가장자리에는 희생패턴(116a)이 형성되어 있어, 패터닝된 제 2 보호막(127)과 평탄화막(120) 사이에 소정의 언더 컷 구조를 형성한다. 상기 언더 컷 구조는 희생패턴(116a)이 화소 영역 가장자리 둘레에 형성된 제 2 보호막(127) 및 평탄화막(120) 경계영역에서 소정의 깊이 만큼 들어가도록 형성된 구조를 갖는다. 따라서, 언더 컷 영역에서는 상기 제 1 전극(115)과 제 2 보호막(127) 사이에 소정의 공간이 형성된다. 즉, 화소 영역의 가장자리를 따라 형성된 제 2 보호막(127)의 일부는 하부에 형성된 제 1 전극(115)과 소정의 갭을 사이에 두고 이격된 구조를 하고 있다. 상기 제 1 전극(115)과 제 2 보호막(127)이 이격된 두께는 언더 컷 영역에 형성된 희생패턴(116a)의 두께와 같다.

<40> 상기와 같은 언더 컷 구조는 화소 영역에 보조전극(122)을 형성할 때, 마스크 공정 없이 증착 공정만으로 각각의 화소 영역에 보조전극(122)을 형성할 수 있도록 한다. 즉, 금속 증착시 언더 컷 영역에서 화소 영역의 보조전극(122)과 평탄화막(120) 상에 형성되는 금속패턴(122a)과 전기적으로 분리된다. 따라서, 제 1 전극(115), 보조전극(122) 및 금속패턴(122a)이 전기적으로 연결되지 않고, 제 1 보조전극(122)과 제 1 전극(115)이 유기전계

발광다이오드의 전극이 된다.

- <41> 이와 같이 본 발명은 공정을 단순화하면서, N형 박막 트랜지스터에 적합한 유기전계발광다이오드를 형성하여 소자 특성을 개선한 효과가 있다.
- <42> 도 2a 내지 도 2g는 본 발명에 따른 유기전계발광표시장치의 제조 공정을 도시한 도면이다.
- <43> 도 2a에 도시한 바와 같이, 투명성 절연기판(100) 상에 버퍼층(101)을 형성한 다음, 채널층(104)을 형성하였다. 상기 채널층(104)은 상기 버퍼층(101)이 형성된 절연기판(100) 상에 폴리 실리콘층을 형성한 다음, 마스크 공정을 진행하여 상기 폴리 실리콘층을 패터닝하여 채널층(104)을 형성한다.
- <44> 상기 폴리 실리콘층은 절연기판(100) 상에 실리콘층을 형성한 다음, AMFC(Alternating Magnetic Field Crystallization) 공정을 진행하여 폴리 실리콘층을 형성한다. 상기과 같이 AMFC 공정을 적용하면 저온 상태에서 폴리 실리콘층을 형성할 수 있다.
- <45> 하지만, 폴리 실리콘층을 형성하는 방법은 AMFC 공정에 국한되지 않고, 레이저 결정화등 다양한 결정화 방법을 적용할 수 있다.
- <46> 상기과 같이, 채널층(104)이 절연기판(100) 상에 형성되면 상기 절연기판(100) 상에 게이트 절연막(106)을 절연기판(100) 전면에서 형성한다. 그런 다음, 제 1 금속층과 제 2 금속층을 절연기판(100) 상에 형성한 다음, 마스크 공정을 진행하여 화소 영역에 반사판(110)을 형성하고, 상기 채널층(104) 상에는 게이트 전극(109)을 형성한다. 상기 제 1 금속층은 Al, AlNd, W, Cu와 같은 도전율이 높은 금속을 사용한다. 상기 제 2 금속층은 Mo 또는 그 합금을 사용한다.
- <47> 상기 게이트 전극(109)은 제 1 게이트 패턴(109a)과 제 2 게이트 패턴(109b)의 이중층 구조로 형성되고, 상기 반사판(110)은 제 1 반사패턴(110a)과 제 2 반사패턴(110b)의 이중층 구조로 형성된다.
- <48> 상기과 같이 절연기판(100) 상에 게이트 전극(109)과 반사판(110)이 형성되면, 층간절연막(112)을 절연기판(100) 전면에 형성한 다음, 마스크 공정을 진행하여 소스/드레인 전극이 형성될 채널층(109) 상부에 콘택홀을 형성하고, 게이트 패드 영역(미도시)을 오픈한다.
- <49> 그런 다음, 도 2b에 도시한 바와 같이, 절연기판(100) 상에 금속막을 형성한 다음, 마스크 공정을 진행하여 상기 채널층(104)의 오픈 영역에 소스/드레인 전극(107a, 107b), 데이터 배선 및 데이터 패드(미도시)를 각각 형성한다.
- <50> 상기과 같이 소스/드레인 전극(107a, 107b)이 형성되면, 절연기판(100) 상에 제 1 보호막(117)을 형성한 다음, 마스크 공정을 진행하여 상기 드레인 전극(107b)의 일부를 노출시키는 콘택홀 공정을 진행한다.
- <51> 상기과 같이, 절연기판(100) 상에 제 1 보호막(117)이 형성되면, 제 1, 2 금속막을 순차적으로 형성한 다음, 마스크 공정을 진행하여 화소 영역에 제 1 전극(115)과 희생층(116)을 형성한다.
- <52> 그런 다음, 도 2c에 도시한 바와 같이, 절연기판(100) 상에 제 2 보호막(127)을 형성한 다음, 마스크 공정을 이용하여 제 1 전극(115)과 희생층(116)이 형성된 화소 영역을 노출시킨다. 그런 다음, 계속해서 습식각 공정을 진행하여 화소 영역의 제 1 전극(115) 상에 형성된 희생층(116)을 제거한다. 이때, 화소 영역 가장자리 영역에는 희생층(116)의 일부 패턴인 희생패턴(116a)이 형성된다.
- <53> 상기 희생패턴(116a)이 형성된 영역은 제 1 전극(115)이 형성된 화소 영역과 제 2 보호막(127)의 경계 영역이다. 또한, 상기 희생패턴(116a)은 화소 영역의 가장자리 경계 영역에 형성된 제 2 보호막(127)의 가장자리 내측 영역에만 남기 때문에 화소 영역 가장자리 둘레를 따라 언더 컷 구조를 형성한다. 왜냐하면, 습식각 공정으로 인하여 식각 용액이 희생층을 제거하면서, 일부 제 2 보호막(127) 아래에 형성된 희생층까지 제거하기 때문이다.
- <54> 상기 언더 컷 구조는 화소 영역의 가장자리, 즉 제 2 보호막(127)이 제거된 가장자리 영역에서 상기 희생패턴(116a)이 형성된 영역까지 소정의 갭이 형성된 구조이다.
- <55> 상기 희생패턴(116a)의 두께는 50~500Å이고, 화소 영역과 제 2 보호막(127) 경계 영역(언더 컷 가장자리 영역)부터 희생패턴(116a)까지의 길이(언더 컷 길이)는 0.5~1μm이다. 상기 제 2 보호막(127)의 두께는 500~1500Å로 형성할 수 있지만, 바람직하게는 1000Å 이하의 두께를 갖는 것이 좋다.
- <56> 상기과 같이 화소 영역에 언더 컷 구조가 형성되면, 도 2e에 도시한 바와 같이, 절연기판(100) 상에 평탄화막



(120)을 형성한 다음, 노광 및 현상 공정을 진행하여 화소 영역의 제 1 전극(115)을 노출한다.

- <57> 상기와 같이 평탄화막(120)이 패터닝되면, 도 2f에 도시한 바와 같이, 절연기판(100) 상에 Al 또는 Al합금과 같이 도전율이 높은 금속층을 얇게 형성한다. 상기와 같이 금속층을 형성하면 화소 영역의 언더 컷 구조 영역에서는 금속층이 전기적으로 끊어져 제 1 전극(115)이 형성된 화소 영역에는 보조전극(122)이 형성된다.
- <58> 또한, 평탄화막(120) 상에는 금속패턴(122a)이 그대로 형성된다. 즉, 금속층 형성 후 마스크 공정 없이 보조전극(122)이 금속패턴(122a)과 분리된다. 상기 보조전극(122)의 두께는 언더 컷의 높이인 희생패턴(116a)의 두께보다 작은 두께로 형성하되 투과특성을 가질 수 있도록 얇게 형성한다. 대략 500Å 이하부터 10Å 까지 얇게 형성한다.
- <59> 상기와 같이 화소 영역에 보조전극(122)이 형성되면 유기전계발광층(130b)을 형성하는데, 본원 발명의 박막 트랜지스터는 N 타입 TFT이기 때문에 제 1 전극(115)과 보조전극(122)은 유기전계발광다이오드의 음극(cathode) 특성을 갖는 것이 바람직하다.
- <60> 따라서, 화소 영역의 제 1 전극(115)과 보조전극(122) 상에는 전자주입층(electron injection layer)을 포함하는 전자 수송층(electron transporting layer: 130a)을 형성하고, 상기 전자 수송층(130a) 상에는 유기전계발광층(130b)을 형성한다. 상기 유기전계발광층(130b) 상에는 정공주입층(hole injection layer)을 포함하는 정공 수송층(130c; hole transporting layer)을 형성한다.
- <61> 이때, 상기 유기전계발광층(130b)은 서브픽셀별로 적, 녹, 청 컬러를 구현하는 발광물질이 차례대로 배치된 구조를 가진다. 또한, 상기 유기전계발광층(130b)은 고분자 물질 또는 저분자 물질로 형성할 수 있는데, 형성방법에는 진공 증착 방법, 잉크젯 방법, 프린팅 방법, 노즐 분사방법, 롤코팅 방법 등을 사용한다.
- <62> 상기와 같이 유기전계발광층(130b) 및 정공수송층(130c)이 형성되면, 계속해서 절연기판 상에 ITO, IZO, ITZO와 같은 투명성 도전물질을 형성하여 제 2 전극(150)을 형성한다.

### 도면의 간단한 설명

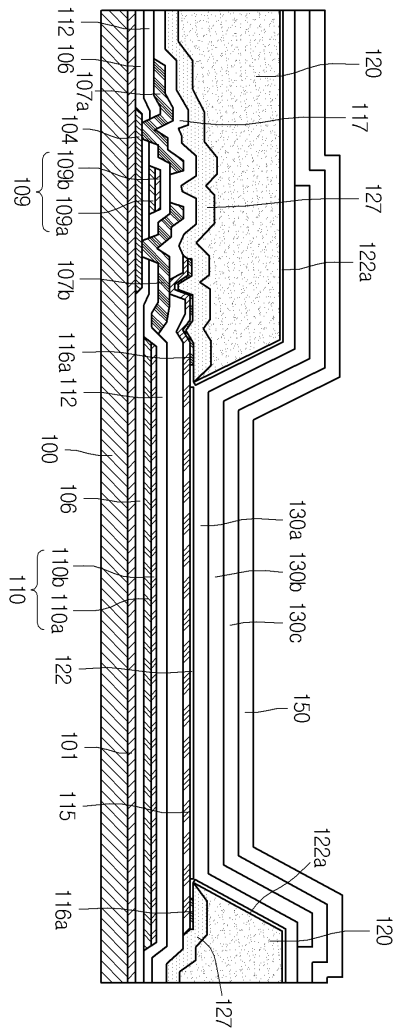
- <63> 도 1은 본 발명에 따른 유기전계발광표시장치의 구조를 도시한 도면이다.
- <64> 도 2a 내지 도 2g는 본 발명에 따른 유기전계발광표시장치의 제조 공정을 도시한 도면이다.

<65> \*도면의 주요 부분에 대한 부호의 설명\*

- |                            |              |
|----------------------------|--------------|
| <66> 100: 절연기판             | 101: 버퍼층     |
| <67> 109: 게이트 전극           | 110: 반사판     |
| <68> 107a, 107b: 소스/드레인 전극 | 127: 제 2 보호막 |
| <69> 122: 보조전극             | 150: 제 2 전극  |

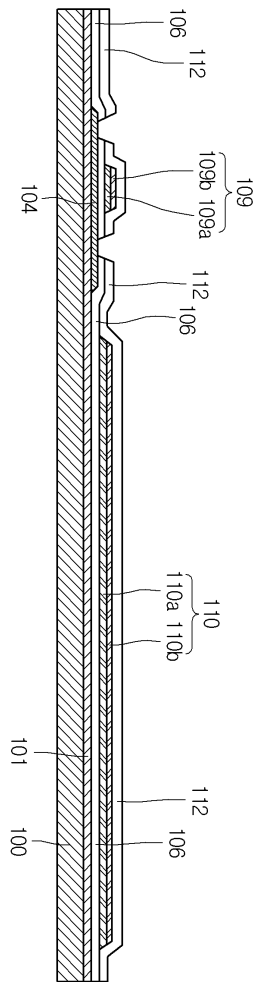
도면

도면1

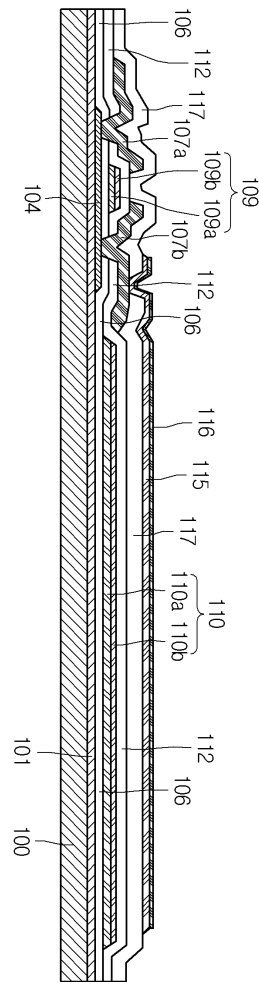




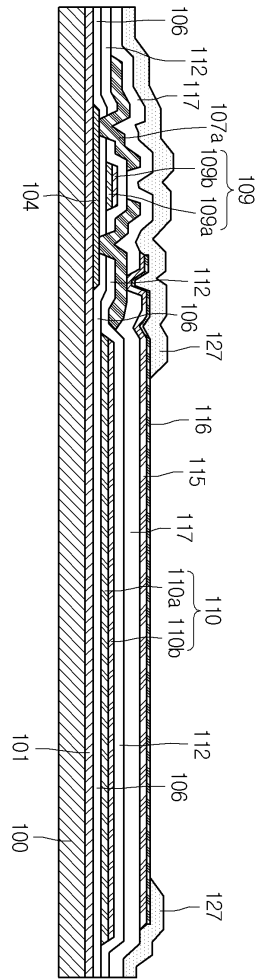
도면2a



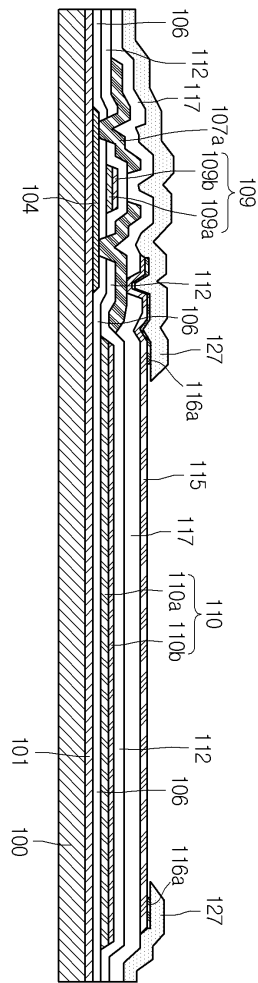
도면2b



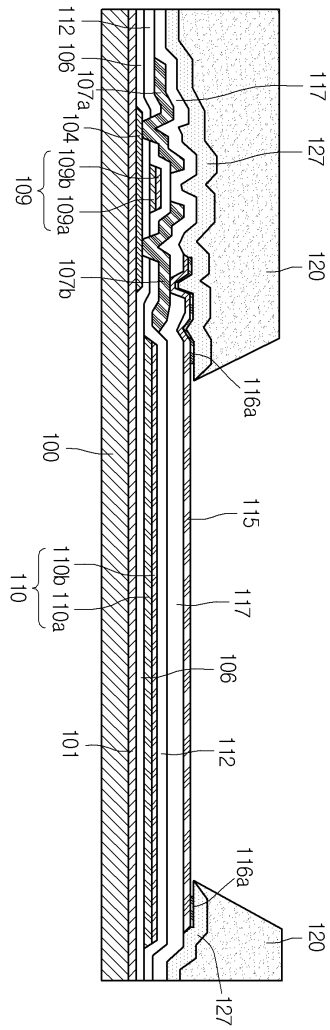
도면2c



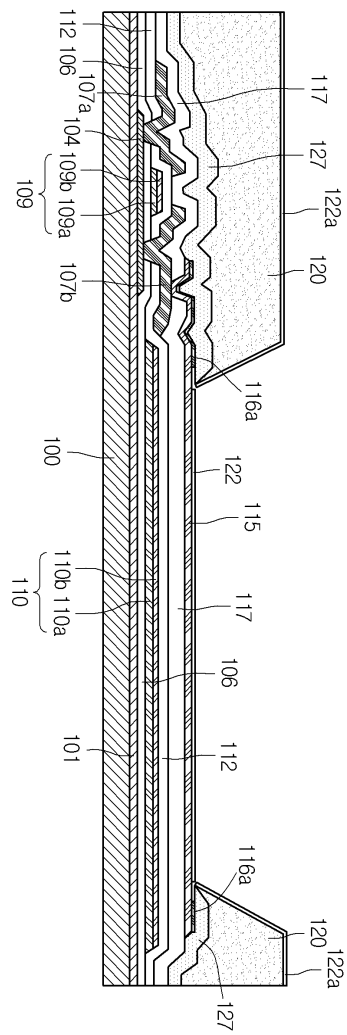
도면2d



도면2e

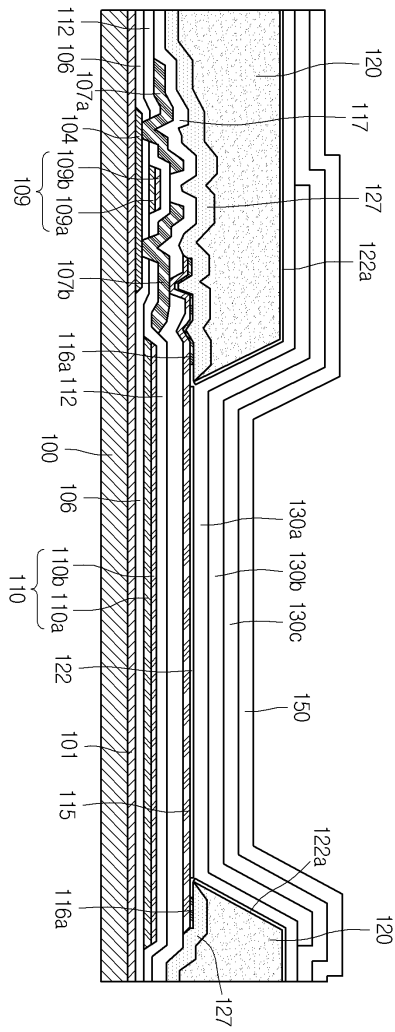


도면2f





도면2g



|                |                                                                          |         |            |
|----------------|--------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 有机电致发光显示装置及其制造方法                                                         |         |            |
| 公开(公告)号        | <a href="#">KR1020090021442A</a>                                         | 公开(公告)日 | 2009-03-04 |
| 申请号            | KR1020070085938                                                          | 申请日     | 2007-08-27 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                 |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                |         |            |
| [标]发明人         | CHOI HEE DONG<br>최희동<br>PARK JAE HEE<br>박재희<br>MYOUNG NHO HOON<br>명노훈    |         |            |
| 发明人            | 최희동<br>박재희<br>명노훈                                                        |         |            |
| IPC分类号         | H05B33/22 H05B33/26                                                      |         |            |
| CPC分类号         | H01L51/5228 H01L27/3248 H01L51/5234 H01L51/5271 H01L51/56 H01L2924/12044 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                |         |            |

#### 摘要(译)

提供一种能够确保设计余量的有机电致发光显示装置及其制造方法，以通过形成由能够防止表面腐蚀的透明导电材料制成的阴极来防止制造过程中电极的氧化。像素区域由衬底（100）限定。在基板上形成薄膜晶体管。第一电极（115）连接到薄膜晶体管的漏电极，并形成在像素区域上。辅助电极（122）形成在第一电极上。在第一电极和辅助电极上依次形成电子传输层（130a），有机电致发光层（130b）和空穴传输层（130c）。在空穴传输层上形成第二电极（150）。反射板（110）布置在第一电极的底部。根据像素区域的边缘形成底切结构。在底切结构中，在保护层（127）和第一电极之间形成间隙。牺牲图案（116a）形成在底切结构的内侧，并与第一电极接触。

