



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0000367
(43) 공개일자 2009년01월07일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)

(21) 출원번호 10-2007-0064383

(22) 출원일자 2007년06월28일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자

황광조
경기 안양시 동안구 비산동 1155번지 그린빌 주공
아파트 101동1801호

박재용

경기 안양시 동안구 평촌동 933-7번지 꿈마을아파
트 305동 701호

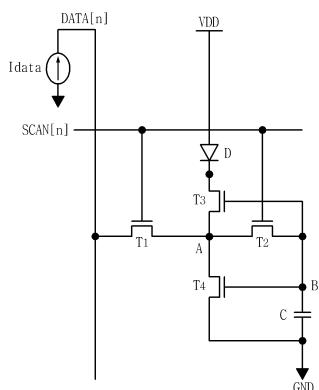
(74) 대리인

특허법인로얄

전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치와 이의 구동방법**(57) 요 약**

본 발명은, 복수의 제1 및 제2전원 배선, 스캔 배선 및 데이터 배선에 연결된 서브 픽셀이 매트릭스 형태로 위치하는 표시패널을 포함하되, 서브 픽셀은, 스캔 배선에 게이트가 연결되고 데이터 배선에 제1전극이 연결되며 제1노드에 제2전극이 연결된 제1트랜지스터와, 스캔 배선에 게이트가 연결되고 제1노드에 제1전극이 연결되며 제2노드에 제2전극이 연결된 제2트랜지스터와, 제1전원 배선에 제1전극이 연결된 유기 발광다이오드와, 유기 발광다이오드의 제2전극에 제1전극이 연결되고 제1노드에 제2전극이 연결되며 제2노드에 게이트가 연결된 제3트랜지스터와, 제1노드에 제1전극이 연결되고 제2전원 배선에 제2전극이 연결되며 제2노드에 게이트가 연결된 제4트랜지스터와, 제2노드에 제1전극이 연결되고 제2전원 배선에 제2전극이 연결된 커패시터를 포함하는 유기전계발광표시장치를 제공한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

복수의 제1 및 제2전원 배선, 스캔 배선 및 데이터 배선에 연결된 서브 픽셀이 매트릭스 형태로 위치하는 표시 패널을 포함하되,

상기 서브 픽셀은,

상기 스캔 배선에 게이트가 연결되고 상기 데이터 배선에 제1전극이 연결되며 제1노드에 제2전극이 연결된 제1트랜지스터와, 상기 스캔 배선에 게이트가 연결되고 상기 제1노드에 제1전극이 연결되며 제2노드에 제2전극이 연결된 제2트랜지스터와, 상기 제1전원 배선에 제1전극이 연결된 유기 발광다이오드와, 상기 유기 발광다이오드의 제2전극에 제1전극이 연결되고 상기 제1노드에 제2전극이 연결되며 상기 제2노드에 게이트가 연결된 제3트랜지스터와, 상기 제1노드에 제1전극이 연결되고 상기 제2전원 배선에 제2전극이 연결되며 상기 제2노드에 게이트가 연결된 제4트랜지스터와, 상기 제2노드에 제1전극이 연결되고 상기 제2전원 배선에 제2전극이 연결된 커패시터를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1, 제2, 제3 및 제4트랜지스터는,

N-Mos형인 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 제1, 제2, 제3 및 제4트랜지스터는,

a-Si으로 형성된 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 제1전원 배선은 매트릭스 형태로 위치하는 상기 서브 픽셀에 모두 공통으로 연결된 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 제3트랜지스터는 포화(Saturation) 영역에서 구동하고 상기 제4트랜지스터는 선형(Linear) 영역에서 구동하는 유기전계발광표시장치.

청구항 6

제1, 제2, 제3 및 제4트랜지스터와 커패시터와 유기 발광다이오드를 포함하는 서브 픽셀이 매트릭스 형태로 위치하는 표시패널을 포함하는 유기전계발광표시장치의 구동방법에 있어서,

상기 제1 및 제2트랜지스터를 턴 온하고 상기 커패시터에 공급된 데이터 신호를 데이터 전압으로 저장하는 쓰기 단계와, 상기 커패시터에 저장된 데이터 전압으로 상기 제3 및 제4트랜지스터를 턴 온하여 상기 유기 발광다이오드를 발광시키는 발광 단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 7

제6항에 있어서,

상기 쓰기 단계 및 발광 단계에서,

상기 유기 발광다이오드의 애노드에 항상 일정한 직류전원이 공급되도록 로직 하이(HIGH) 상태를 유지하는 유기

전계발광표시장치의 구동방법.

청구항 8

제6항에 있어서,

상기 쓰기 단계에서는,

상기 제3트랜지스터가 턴 오프된 때에, 상기 데이터 신호를 공급하여 상기 데이터 신호에 해당하는 전류를 전압으로 유기시키는 유기전계발광표시장치의 구동방법.

청구항 9

제6항에 있어서,

상기 제3트랜지스터는 포화(Saturation) 영역에서 구동하고 상기 제4트랜지스터는 선형(Linear) 영역에서 구동하는 유기전계발광표시장치의 구동방법.

청구항 10

제6항에 있어서,

상기 제1, 제2, 제3 및 제4트랜지스터는,

a-Si으로 형성된 N-Mos형인 유기전계발광표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<12>

본 발명은 유기전계발광표시장치와 이의 구동방법에 관한 것이다.

<13>

최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.

<14>

이러한 유기전계발광표시장치를 구동하는 방식에는 수동 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor; 이하 트랜지스터)를 이용한 능동 매트릭스(active matrix) 방식이 있다. 여기서, 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 매트릭스 방식은 박막 트랜지스터를 각 ITO(Indium Tin Oxide) 화소 전극에 연결하고 박막 트랜지스터의 게이트 전극에 연결된 커페시터에 유지된 전압에 따라 구동하게 된다.

<15>

종래 유기전계발광표시장치의 서브 픽셀은 전류보상을 해주기 위해 3개의 트랜지스터와 1개의 커페시터(Capacitor)를 사용하였다. 종래 서브 픽셀 구조는 유기 발광다이오드가 발광하지 않는 쓰기 단계(Writing)에는 전원을 차단하고 유기 발광다이오드가 발광하는 발광 단계(Emission)에 전원을 공급하는 방식을 사용하였다.

<16>

이러한 방식은 서브 픽셀에 펠스 형태로 전원을 공급하기 때문에, 전류 제어를 용이하게 할 수 있는 구동용 IC(Integrated Circuit) 제작의 어려움은 물론 각 스캔 라인(주사 라인)에 대응하여 전원 또한 병렬 형태로 배선해야한다는 설계의 어려움을 주었다. 그리하여, 패널에 위치하는 전원 배선의 증가로 레이아웃(Layout)이 복잡해져 구동용 IC의 배치에 곤란성을 줌은 물론 복잡한 구동 방식을 채택할 수밖에 없게 되어 고해상도 구현에 어려움을 초래하여 이의 개선이 요구된다.

발명이 이루고자 하는 기술적 과제

<17>

상술한 문제점을 해결하기 위한 본 발명의 목적은, 전류보상형 서브 픽셀 구조를 개선하고 단순한 구동 방식을 채택하여 표시품질을 향상시킴은 물론 고해상도 구현에 적합한 유기전계발광표시장치를 제공하는 것이다.

발명의 구성 및 작용

<18>

상술한 과제를 해결하기 위한 본 발명은, 복수의 제1 및 제2전원 배선, 스캔 배선 및 데이터 배선에 연결된 서브 픽셀이 매트릭스 형태로 위치하는 표시패널을 포함하되, 서브 픽셀은, 스캔 배선에 게이트가 연결되고 데이터 배선에 제1전극이 연결되며 제1노드에 제2전극이 연결된 제1트랜지스터와, 스캔 배선에 게이트가 연결되고 제1노드에 제1전극이 연결되며 제2노드에 제2전극이 연결된 제2트랜지스터와, 제1전원 배선에 제1전극이 연결된 유기 발광다이오드와, 유기 발광다이오드의 제2전극에 제1전극이 연결되고 제1노드에 제2전극이 연결되며 제2노드에 게이트가 연결된 제3트랜지스터와, 제1노드에 제1전극이 연결되고 제2전원 배선에 제2전극이 연결되며 제2노드에 게이트가 연결된 제4트랜지스터와, 제2노드에 제1전극이 연결되고 제2전원 배선에 제2전극이 연결된 커페시터를 포함하는 유기전계발광표시장치를 제공한다.

<19>

제1, 제2, 제3 및 제4트랜지스터는, N-Mos형일 수 있다.

<20>

제1, 제2, 제3 및 제4트랜지스터는, a-Si으로 형성된 것 일 수 있다.

<21>

제1전원 배선은 매트릭스 형태로 위치하는 서브 픽셀에 모두 공통으로 연결될 수 있다.

<22>

제3트랜지스터는 포화(Saturation) 영역에서 구동하고 제4트랜지스터는 선형(Linear) 영역에서 구동할 수 있다.

<23>

한편, 다른 측면에서 본 발명은, 제1, 제2, 제3 및 제4트랜지스터와 커페시터와 유기 발광다이오드를 포함하는 서브 픽셀이 매트릭스 형태로 위치하는 표시패널을 포함하는 유기전계발광표시장치의 구동방법에 있어서, 제1 및 제2트랜지스터를 턴 온하고 커페시터에 데이터를 저장하는 쓰기 단계와, 커페시터에 저장된 데이터 전압으로 제3 및 제4트랜지스터를 턴 온하여 유기 발광다이오드를 발광시키는 발광 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.

<24>

쓰기 단계 및 발광 단계에서, 유기 발광다이오드의 애노드에 항상 일정한 직류전원이 공급되도록 로직 하이(HIGH) 상태를 유지할 수 있다.

<25>

쓰기 단계에서는, 제3트랜지스터가 턴 오프된 때에, 데이터 신호를 공급하여 데이터 신호에 해당하는 전류를 전압으로 유기시킬 수 있다.

<26>

제3트랜지스터는 포화(Saturation) 영역에서 구동하고 제4트랜지스터는 선형(Linear) 영역에서 구동할 수 있다.

<27>

제1, 제2, 제3 및 제4트랜지스터는, a-Si으로 형성된 N-Mos형일 수 있다.

<28>

<일 실시예>

<29>

도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도이다.

<30>

도 1을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 복수의 제1 및 제2전원 배선(VDD,GND), 스캔 배선(SCAN[n]) 및 데이터 배선(DATA[n])에 연결된 서브 픽셀(1pixel)이 매트릭스 형태로 위치하는 표시패널을 포함한다.

<31>

여기서, 하나의 서브 픽셀(1pixel)은 스캔 배선(SCAN[n])에 게이트가 연결되고 데이터 배선(DATA[n])에 제1전극이 연결되며 제1노드(A)에 제2전극이 연결된 제1트랜지스터(T1)를 포함한다.

<32>

또한, 스캔 배선(SCAN[n])에 게이트가 연결되고 제1노드(A)에 제1전극이 연결되며 제2노드(B)에 제2전극이 연결된 제2트랜지스터(T2)와 제1전원 배선(VDD)에 제1전극이 연결된 유기 발광다이오드(D)를 포함한다.

<33>

또한, 유기 발광다이오드(D)의 제2전극에 제1전극이 연결되고 제1노드(A)에 제2전극이 연결되며 제2노드(B)에 게이트가 연결된 제3트랜지스터(T3)를 포함한다.

<34>

또한, 제1노드(A)에 제1전극이 연결되고 제2전원 배선(GND)에 제2전극이 연결되며 제2노드(B)에 게이트가 연결된 제4트랜지스터(T4)를 포함한다.

<35>

또한, 제2노드(B)에 제1전극이 연결되고 제2전원 배선(GND)에 제2전극이 연결된 커페시터(C)를 포함한다.

<36>

앞서 설명한 제1, 제2, 제3 및 제4트랜지스터(T1,T2,T3,T4)의 제1전극과 제2전극은 각각 소스와 드레인 또는 드레인과 소스 전극으로 선택될 수 있으며, 이는 a-Si으로 형성된 N-Mos형 트랜지스터일 수 있다. 덧붙여, 유기 발광다이오드(D)의 제1전극과 제2전극 또한 서브 픽셀 회로 구성에 따라 각각 애노드와 캐소드 또는 캐소드와 애노드로 선택될 수 있다.

- <37> 이러한 유기 발광다이오드(D)는 정공주입층(HIL), 정공수송층(HTL), 전자수송층(ETL) 및 전자주입층(EIL)과 같은 공통막 사이에 유기 발광층(EML)이 개재된 것을 포함한다.
- <38> 이와 같은 회로 구성에서, 제1전원 배선(VDD)은 매트릭스 형태로 위치하는 서브 픽셀(1pixel)에 모두 공통으로 연결될 수 있다. 즉, 모든 서브 픽셀(1pixel)은 제1전원 배선(VDD)을 통해 모두 동일한 전원을 공급받게 된다.
- <39> 이와 같이 제1전원 배선(VDD)을 형성하게 되면, 동일한 전원을 모든 서브 픽셀에 계속 공급하기 때문에, 각 스캔 라인(주사 라인)에 대응하여 전원 또한 별별 형태로 배선해야한다는 설계의 어려움을 해결할 수 있게 된다. 또한, 이로 인해 전류 제어를 용이하게 할 수 있는 구동용 IC(Integrated Circuit)를 제작할 필요가 없게 된다.
- <40> 그리하여, 패널에 위치하는 전원 배선의 단순화로 레이아웃(Layout)이 간단해져서 구동용 IC의 배치에 용이성을 줌은 물론 단순한 구동 방식을 채택할 수 있게 되어 고해상도 구현이 가능하게 된다.
- <41> 한편, 서브 픽셀 회로 구성에 포함된 일부 트랜지스터인 제3트랜지스터(T3)와 제4트랜지스터(T4)는 전류 스케일링에 의해서 제3트랜지스터(T3)는 포화(Saturation) 영역에서 구동하고 제4트랜지스터(T4)는 선형(Linear) 영역에서 구동할 수 있다. 이에 대한 보충 설명은 이하의 구동방법에서 더욱 자세히 설명한다.
- <42> 참고로, 위와 같은 유기전계발광표시장치는 표시패널에 위치하는 복수의 제1 및 제2전원 배선(VDD,GND)에 전원을 공급하고 스캔 배선(SCAN1[n])에 스캔신호를 공급한 후, 데이터 배선(DATA[n])에 데이터신호를 공급하게 되면, 스캔 배선(SCAN1[n])에 의해 선택된 서브 픽셀이 발광을 하여 표시패널 상에 영상을 구현할 수 있게 된다.
- <43> 이를 위해, 제1 및 제2전원 배선(VDD,GND), 스캔 배선(SCAN1[n]) 및 데이터 배선(DATA[n])에 구동에 필요한 전원 및 신호를 공급하는 장치는 표시패널 또는 표시패널 외부 등에 선택적으로 위치할 수 있다.
- <44> 이러한 장치들은 일반적으로 전원을 공급하는 전원부, 스캔신호를 공급하는 스캔 구동부 및 데이터신호를 공급하는 데이터 구동부 등을 포함할 수 있다. 그리고 이러한 장치들은 외부로부터 공급된 영상신호를 저장하는 메모리부 및 타이밍 제어부 등과 상호 연동하여 구동하게 된다.
- <45> 이하, 도 2, 도 3a 및 도 3b를 함께 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치의 구동방법에 대해 설명한다.
- <46> 도 2는 본 발명의 일 실시예에 따른 구동 과정의 예시도이고, 도 3a 및 도 3b는 구동 과정에 따른 서브 픽셀 회로의 구동 상태도이다.
- <47> 본 발명의 일 실시예에 따른 유기전계발광표시장치의 표시패널은 도 1을 참조하여 설명한 바와 같이 제1, 제2, 제3 및 제4트랜지스터(T1,T2,T3,T4)와 커패시터(C1)와 유기 발광다이오드(D)를 포함하는 서브 픽셀(1pixel)이 매트릭스 형태로 위치한다.
- <48> 여기서, 도시된 도 2의 구동 과정 예시도를 참조하면, 본 발명의 일 실시예에 따른 구동방법은 쓰기 단계(Writing)와 발광 단계(Emission)를 포함한다.
- <49> 먼저, 쓰기 단계(Writing)는 도 3a에 도시된 바와 같이 제1 및 제2트랜지스터(T1,T2)를 턴 온하고 커패시터(C)에 데이터를 저장하는 단계이다.
- <50> 쓰기 단계(Writing)에서는 스캔 구동부로부터 출력된 스캔 신호(Scan)를 스캔 배선(SCAN[n])을 통해 해당 서브 픽셀에 공급하고, 데이터 구동부로부터 출력된 데이터 신호(Idata)를 데이터 배선(DATA[n])을 통해 해당 서브 픽셀에 공급한다.
- <51> 그러면, 해당 서브 픽셀의 스캔 배선(SCAN[n])에 연결된 제1 및 제2트랜지스터(T1,T2)가 턴온하게 되고 이때, 턴 온된 제1 및 제2트랜지스터(T1,T2)를 통해 공급된 데이터 신호(Idata)는 커패시터(C)에 데이터 전압으로 유지된다.
- <52> 이후, 발광 단계(Emission)는 도 3b에 도시된 바와 같이 커패시터에 저장된 데이터 전압으로 제3 및 제4트랜지스터를 턴 온하여 유기 발광다이오드를 발광시키는 단계이다.
- <53> 발광 단계(Emission)에서는 커패시터(C)에 저장된 데이터 전압이 제3 및 제4트랜지스터(T3,T4)의 게이트에 인가되어 제3 및 제4트랜지스터(T3,T4)가 턴 온하게 된다.
- <54> 그러면, 제1전원 배선(VDD)에 연결된 유기 발광다이오드(D)에 공급된 전원이 제3 및 제4트랜지스터(T3,T4)를 통해 제2전원 배선(GND)로 흐르게 되어 유기 발광다이오드(D)가 발광하게 된다.

<55> 여기서, 도 2에 도시된 구동 과정 예시도를 참조해 보면, 쓰기 단계(Writing) 및 발광 단계(Emission)에 걸쳐서, 유기 발광다이오드(D)의 애노드에 항상 일정한 직류전원(DC)이 공급되도록 로직 하이(HIGH) 상태를 유지하고 있음을 알 수 있다.

<56> 이는, 매트릭스 형태로 위치하는 서브 픽셀(1pixel)의 하나의 제1전원 배선(VDD)에 모두 공통으로 연결되어 있기 때문이다. 이에 따라, 모든 서브 픽셀(1pixel)은 제1전원 배선(VDD)을 통해 모두 동일한 전원을 공급받게 되므로 배선 라우팅을 단순화시킬 수 있게 되고, 전원을 드라이빙해야 하는 추가적인 전원 드라이버 IC(Integrated Circuit)가 필요치 않게 된다.

<57> 도 4는 문턱 전압 이동에 따른 전류 감소 그래프이다.

<58> 앞서 설명한 바와 같이, 4개의 트랜지스터와 1개의 커패시터 즉, 4T1C(4 Transistor 1 Capacitor)의 서브 픽셀 회로 구성으로 전류구동을 하는 본 발명은, 도 4에 도시된 바와 같이, 2T1C 전압구동을 하는 종래 기술보다 전류변화 폭이 적으며, 3T1C 구조보다 더 우수한 성능을 나타낼 수 있음을 나타낸다.

<59> 도 5는 서브 픽셀 회로의 구동 상태를 설명하기 위한 도면이고, 도 6은 데이터 전류에 대한 유기 발광다이오드의 전류 변화 그래프이다.

<60> 도 5에 도시된 바와 같은 경로로 서브 픽셀이 구동할 때, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 도 6과 같은 전류 스케일링(Currnet Scaling)에 의해서 데이터 전류(Data Current [A])와 유기 발광다이오드 전류(OLED Current [A])의 시뮬레이션 된 값과 계산된 값이 거의 유사한 결과를 나타낼 수 있음을 알 수 있다.

<61> 그리고, 도 6과 같은 전류 스케일링에 의해 제3트랜지스터(T3)는 포화(Saturation) 영역에서 구동하고 제4트랜지스터(T4)는 선형(Linear) 영역에서 구동할 수 있는데, 이는 다음의 수학식 1과 같이 근사화될 수 있다.

수학식 1

$$Ioled = Idata \times \{ K3 / (K3+K4) \} \times (Cgs+Cst) / (Coled+Cgd+Cst+Cgs)$$

<62> 여기서, $Ioled$ 는 유기 발광다이오드(D)에 흐르는 전류이고, $Idata$ 는 데이터 배선(DATA[n])을 통해 공급된 데이터 신호이고, $K3$ 는 제3트랜지스터(T3)의 전류 이득이고, $K4$ 는 상기 제4트랜지스터(T4)의 전류 이득이고, $Coled$ 는 유기 발광다이오드(D)의 커패시턴스이고, Cgd 는 제3트랜지스터(T3)의 게이트와 제2전극 간의 커패시턴스이고, Cst 는 커퍼시터(C)의 커패시턴스이며, Cgs 는 제4트랜지스터의 게이트와 제1전극 간의 커패시턴스를 나타낸다.

<63> 이상의 설명에서도 알 수 있듯이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 전류보상형 서브 픽셀 구조를 개선하고 단순한 구동 방식을 채택하여 표시품질을 향상시킴은 물론 고해상도 구현이 가능한 효과가 있다.

<64> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다.

<65> 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

<66> 상술한 바와 같이 본 발명은, 전류보상형 서브 픽셀 구조를 개선하고 단순한 구동 방식을 채택하여 표시품질을 향상시킴은 물론 고해상도 구현에 적합한 유기전계발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도.

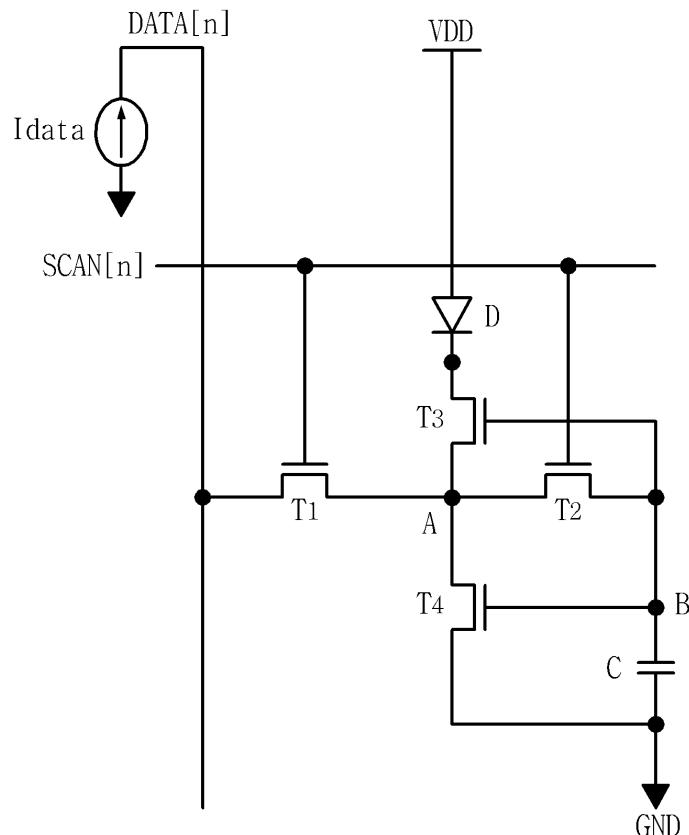
<2> 도 2는 본 발명의 일 실시예에 따른 구동 과정의 예시도.

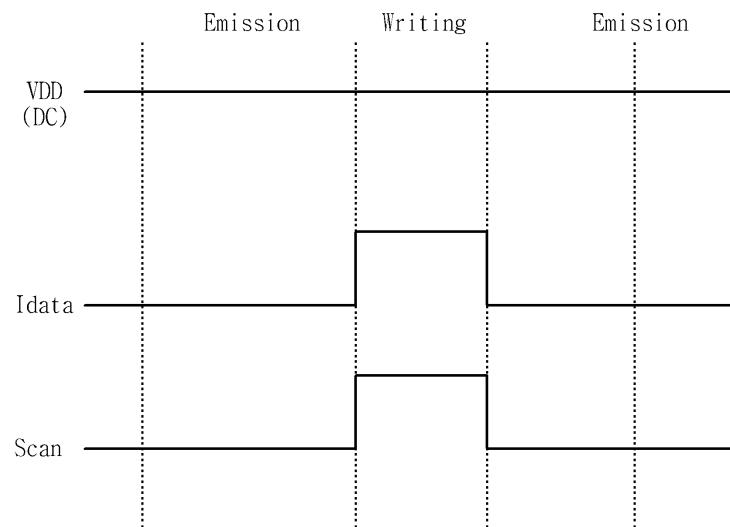
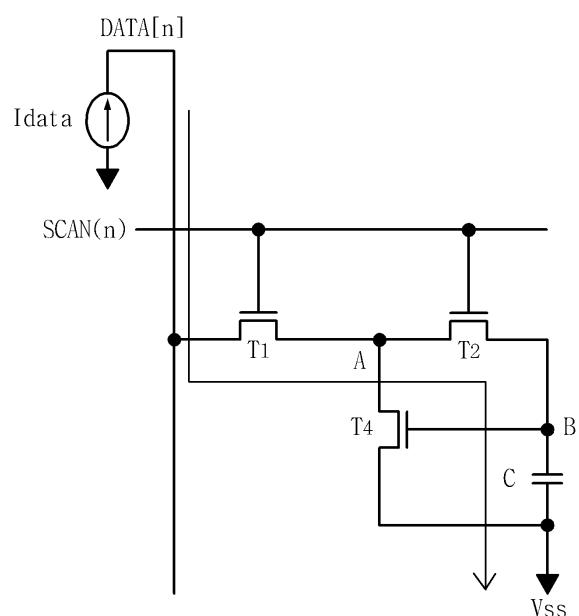
<3> 도 3a 및 도 3b는 구동 과정에 따른 서브 픽셀 회로의 구동 상태도.

- <4> 도 4는 문턱 전압 이동에 따른 전류 감소 그래프.
- <5> 도 5는 서브 광 셀 회로의 구동 상태를 설명하기 위한 도면.
- <6> 도 6은 데이터 전류에 대한 유기 발광다이오드의 전류 변화 그래프.
- <7> <도면의 주요 부분에 관한 부호의 설명>
- <8> VDD : 제1전원 배선 GND : 제2전원 배선
- <9> T1, T2, T3, T4 : 제1, 제2, 제3 및 제4 트랜지스터
- <10> SCAN[n] : 스캔 배선 DATA[n] : 데이터 배선
- <11> D : 유기 발광다이오드 C : 커패시터

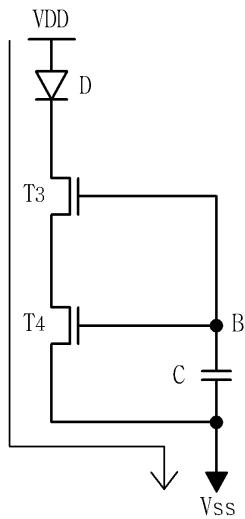
도면

도면1

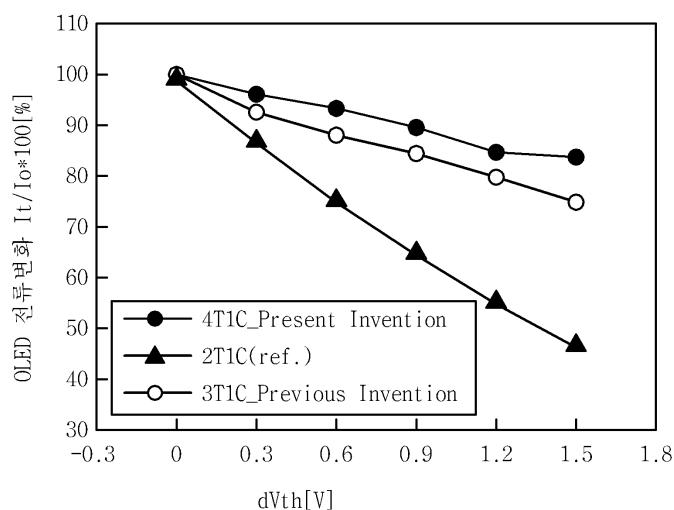


도면2**도면3a**

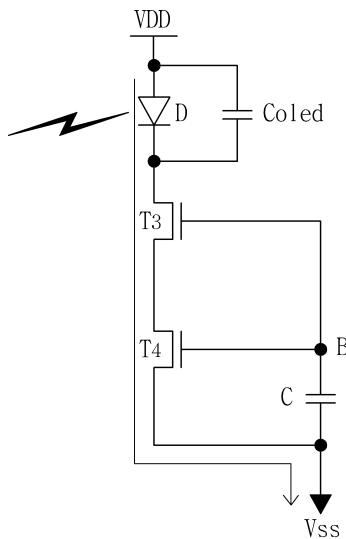
도면3b



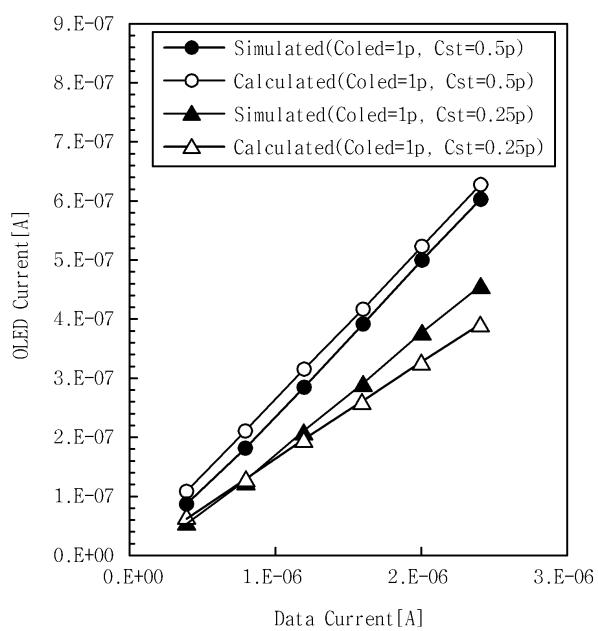
도면4



도면5



도면6



专利名称(译)	有机电致发光显示装置及其驱动方法		
公开(公告)号	KR1020090000367A	公开(公告)日	2009-01-07
申请号	KR1020070064383	申请日	2007-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG KWANG JO 황광조 PARK JAE YONG 박재용		
发明人	황광조 박재용		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G3/2074 G09G3/3258 G09G2300/0426 G09G2300/0876		
其他公开文献	KR101380485B1		
外部链接	Espacenet		

摘要(译)

提供有机发光显示器及其驱动方法，以通过形成具有四个晶体管和一个电容器的子像素来改善图像质量。第一晶体管的栅极，第一电极和第二电极连接到扫描布线 (SCAN (n)) 和数据线 (DATA (n)) 和第一节点 (A)。第二晶体管的栅极，第一电极和第二电极分别连接到扫描布线和第一节点以及第二节点 (B)。有机发光二极管 (D) 的第一电极连接到第一电源布线 (VDD)。第三晶体管和栅极的第一电极和第二电极连接到有机发光二极管的第二电极以及第一节点和第二节点。电容器 (C) 的第一电极和第二电极连接到第二节点和第二电源线。

