



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0060025
(43) 공개일자 2008년07월01일

(51) Int. Cl.

H05B 33/10 (2006.01) H05B 33/26 (2006.01)

(21) 출원번호 10-2006-0134083

(22) 출원일자 2006년12월26일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이준석

서울 구로구 구로4동 두산아파트 101동 2408호

유인선

인천 연수구 청학동 현대아파트 106동 601호

김도형

서울 강남구 삼성2동 17번지 롯데아파트 101동 1002호

(74) 대리인

특허법인로알

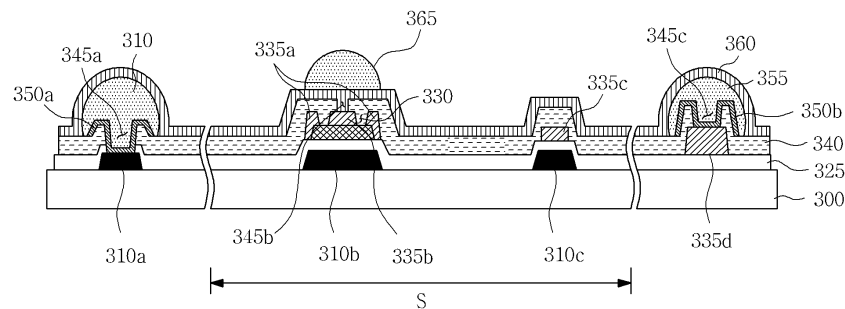
전체 청구항 수 : 총 13 항

(54) 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은, 제1기판 상에 게이트 라인 및 데이터 라인을 포함하는 신호선들을 형성하는 단계, 신호선들에 의해 한정되는 영역 내에 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 하나 이상의 박막 트랜지스터를 형성하는 단계, 신호선들 및 박막 트랜지스터 상에 하나 이상의 절연층을 형성하는 단계, 절연층 내에 신호선들의 일단을 노출시키는 제1비어홀 및 드레인 전극의 일부를 노출시키는 제2비어홀을 형성하는 단계, 제1비어홀들 및 제2비어홀을 포함하는 제1기판 상에 제1도전층을 적층하는 단계, 제1비어홀과 대응되는 제1도전층 상에 제1포토마스크를 형성하는 단계, 제1포토마스크를 이용하여 제1도전층을 식각함으로써 제1비어홀을 통하여 신호선들의 일단과 전기적으로 연결되는 패드들을 형성하는 단계, 제1포토마스크를 포함한 제1기판 상에 제2도전층을 형성하는 단계, 제2비어홀과 대응되는 제2도전층 영역 상에 제2포토마스크를 형성하는 단계, 제2포토마스크를 이용하여 제2도전층을 식각함으로써 드레인 전극과 전기적으로 연결되는 콘택 전극을 형성하는 단계 및 제1 및 제2 포토마스크를 제거하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.

대표도 - 도4e



특허청구의 범위

청구항 1

제1기판 상에 게이트 라인 및 데이터 라인을 포함하는 신호선들을 형성하는 단계;

상기 신호선들에 의해 한정되는 영역 내에 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 하나 이상의 박막 트랜지스터를 형성하는 단계;

상기 신호선들 및 박막 트랜지스터 상에 하나 이상의 절연층을 형성하는 단계;

상기 절연층 내에 상기 신호선들의 일단을 노출시키는 제1비어홀 및 상기 드레인 전극의 일부를 노출시키는 제2비어홀을 형성하는 단계;

상기 제1비어홀들 및 제2비어홀을 포함하는 제1기판 상에 제1도전층을 적층하는 단계;

상기 제1비어홀과 대응되는 제1도전층 상에 제1포토마스크를 형성하는 단계;

상기 제1포토마스크를 이용하여 상기 제1도전층을 식각함으로써, 상기 제1비어홀을 통하여 상기 신호선들의 일단과 전기적으로 연결되는 패드들을 형성하는 단계;

상기 제1포토마스크를 포함한 제1기판 상에 제2도전층을 형성하는 단계;

상기 제2비어홀과 대응되는 제2도전층 영역 상에 제2포토마스크를 형성하는 단계;

상기 제2포토마스크를 이용하여 상기 제2도전층을 식각함으로써, 상기 드레인 전극과 전기적으로 연결되는 콘택 전극을 형성하는 단계; 및

상기 제1 및 제2포토마스크를 제거하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 2

제 1 항에 있어서,

상기 제1도전층과 제2도전층은 서로 다른 물질을 포함하는 유기전계발광표시장치의 제조방법.

청구항 3

제 2 항에 있어서,

상기 제1도전층은 투명 도전 물질을 포함하며, 상기 제2도전층은 몰리브덴을 포함하는 유기전계발광표시장치의 제조방법.

청구항 4

제 1 항에 있어서,

상기 제1도전층은 50 내지 500 Å의 두께로 형성하는 유기전계발광표시장치의 제조방법.

청구항 5

제 1 항에 있어서,

상기 제2도전층은 1500 내지 5000 Å의 두께로 형성하는 유기전계발광표시장치의 제조방법.

청구항 6

제 1 항에 있어서,

상기 제1기판과 대향되는 제2기판을 제공하는 단계;

상기 제2기판 상에 제1전극을 형성하는 단계;

상기 제1전극 상에 상기 제1전극의 일부를 노출시키는 개구부를 포함하는 बैं크층을 형성하는 단계;

상기 बैं크층의 일부 영역 상에 정테이퍼 형상의 콘택 스페이서 및 역테이퍼 형상의 격벽을 형성하는 단계;

상기 개구부 내에 유기발광층을 형성하는 단계;

상기 유기발광층 및 콘택 스페이서 상에 제2전극을 형성하는 단계; 및

상기 제1기판과 제2기판을 상기 콘택 스페이서 상의 제2전극과 콘택 전극이 전기적으로 연결되도록 합착하는 단계를 더 포함하는 유기전계발광표시장치의 제조방법.

청구항 7

제6항에 있어서,

상기 제1전극은 투명 도전 물질을 포함하는 애노드이며, 상기 제2전극은 캐소드인 유기전계발광표시장치의 제조방법.

청구항 8

제1기판;

상기 제1기판 상에 위치하며, 게이트 라인 및 데이터 라인을 포함하는 신호선들;

상기 신호선들에 의해 한정되는 영역 상에 위치하며, 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 포함하는 다수의 서브 픽셀들;

상기 서브픽셀들에 구동 신호를 전달하기 위하여 상기 신호선들의 일단과 전기적으로 연결된 다수의 패드들; 및

상기 드레인 전극과 연결된 콘택 전극을 포함하며,

상기 패드들의 두께는 50 내지 500 Å인 유기전계발광표시장치.

청구항 9

제8항에 있어서,

상기 패드와 콘택 전극은 서로 다른 물질을 포함하는 유기전계발광표시장치.

청구항 10

제8항에 있어서,

상기 패드는 투명 도전 물질을 포함하며, 상기 콘택 전극은 몰리브덴을 포함하는 유기전계발광표시장치.

청구항 11

제8항에 있어서,

상기 콘택 전극의 두께는 1500 내지 5000 Å인 유기전계발광표시장치.

청구항 12

제8항에 있어서,

상기 제1기판과 대향하는 제2기판;

상기 제2기판 상에 위치하는 제1전극;

상기 제1전극을 포함하는 제2기판 상에 위치하며, 상기 제1전극의 일부를 노출시키는 개구부를 포함하는 बैं크층;

상기 बैं크층 상에 위치하는 정테이퍼 형상의 콘택 스페이서 및 역테이퍼 형상의 격벽;

상기 개구부 내에 위치하는 유기발광층; 및

상기 유기발광층 및 콘택 스페이서 상에 위치하며 상기 격벽에 의해 패터닝된 제2전극;을 더 포함하며,

상기 콘택 스페이서 상의 제2전극과 상기 콘택 전극은 전기적으로 연결된 유기전계발광표시장치.

청구항 13

제12항에 있어서,

상기 제1전극은 애노드이며, 상기 제2전극은 캐소드인 유기전계발광표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 평판표시장치(Flat Panel Display) 중에서 유기전계발광표시장치(Organic Light Emitting Display)는 유기화합물을 전기적으로 여기시켜 발광하게 하는 자발광형 표시장치이다. 유기전계발광표시장치는 LCD에서 사용되는 백라이트가 필요하지 않아 경량박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있다. 또한, 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다.
- <17> 유기전계발광표시장치는 애노드와 캐소드 사이에 유기발광층을 포함하고 있어 애노드로부터 공급받는 정공과 캐소드로부터 받은 전자가 유기발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고 다시 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.
- <18> 일반적으로 유기전계발광표시장치는 기판 상에 박막 트랜지스터들을 형성하고, 박막 트랜지스터들 상에 이들과 전기적으로 연결되는 발광다이오드를 형성한 다음, 기판과 봉지 기판을 합착함으로써 제조되었다. 그러나, 이러한 경우 박막 트랜지스터들이 양호하게 형성되더라도 발광다이오드에 불량 발생하는 경우, 유기전계발광표시장치는 불량으로 판정된다. 즉, 발광다이오드의 수율이 전체 수율을 결정하게 되므로, 공정 시간 및 제조 비용이 낭비되는 문제점이 있었다. 따라서 이를 해결하기 위하여, 박막 트랜지스터들이 형성된 TFT 어레이 기판인 제 1 기판을 제조한 다음, 발광다이오드들이 형성된 제 2 기판을 제조하여 이를 합착함으로써, 유기전계발광표시장치를 제조하게 되었다.
- <19> TFT 어레이 기판인 제1기판에는 표시부, 표시부에 구동신호를 인가하기 위한 구동부, 표시부 및 구동부와 연결되어 표시부에 구동신호를 전달하기 위한 패드부가 형성된다.
- <20> 표시부는 게이트 라인, 데이터 라인 및 전원라인들을 포함하는 신호선들 및 신호선들에 의하여 한정되는 영역에 위치하며, 하나 이상의 박막 트랜지스터 및 커패시터를 포함하는 다수의 서브픽셀들을 포함한다.
- <21> 그리고, 패드부는 게이트 라인, 데이터 라인 등의 일단과 연결되는 게이트 패드, 데이터 패드 등을 포함한다.
- <22> 이때, 서브픽셀 상에 위치하는 박막 트랜지스터의 드레인 전극은 제2기판 상에 형성된 발광다이오드와 연결되어 구동전류를 공급하기 위한 콘택 전극을 필요로 한다.
- <23> 종래에는 인듐 틴 옥사이드(Indium Tin Oxide;ITO) 등을 이용하여 패드용 도전층을 적층하고 이를 패터닝하여 패드를 형성한 다음, 패드를 포함한 기판 상에 몰리브덴 등과 같은 금속층을 적층하고 이를 패터닝하여 콘택 전극을 형성하였다. 그러나, 상기와 같이 패드 및 콘택 전극을 형성할 경우, 콘택 전극용 금속층을 식각하기 위한 에천트(etchant)에 패드가 노출되어 도 1에 도시한 바와 같이 패드가 손상되는 문제가 있었다.
- <24> 또한, 이를 방지하기 위하여, 콘택 전극을 먼저 형성한 다음 패드를 형성하게 되면, 도전층의 식각에 사용되는 에천트에 콘택 전극이 노출되어 콘택 전극이 필링(peeling)되는 현상이 발생하였다.
- <25> 이는 패드 및 콘택 전극을 손상시켜, 구동부로부터 인가되는 신호를 서브픽셀에 정확히 인가하지 못하게 되므로, 화면의 품질을 저하시키며, 또한, 소자의 신뢰성을 저하시키는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

- <26> 따라서, 본 발명은 화면의 품질 및 소자의 신뢰성이 향상된 유기전계발광표시장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <27> 상기 목적을 달성하기 위하여, 본 발명은, 제1기판 상에 게이트 라인 및 데이터 라인을 포함하는 신호선들을 형성하는 단계; 상기 신호선들에 의해 한정되는 영역 내에 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 하나 이상의 박막 트랜지스터를 형성하는 단계; 상기 신호선들 및 박막 트랜지스터 상에 하나 이상의 절연층을 형성하는 단계; 상기 절연층 내에 상기 신호선들의 일단을 노출시키는 제1비어홀 및 상기 드레인 전극의 일부를 노출시키는 제2비어홀을 형성하는 단계; 상기 제1비어홀들 및 제2비어홀을 포함하는 제1기판 상에 제1도전층을 적층하는 단계; 상기 제1비어홀과 대응되는 제1도전층 상에 제1포토마스크를 형성하는 단계; 상기 제1포토마스크를 이용하여 상기 제1도전층을 식각함으로써, 상기 제1비어홀을 통하여 상기 신호선들의 일단과 전기적으로 연결되는 패드들을 형성하는 단계; 상기 제1포토마스크를 포함한 제1기판 상에 제2도전층을 형성하는 단계; 상기 제2비어홀과 대응되는 제2도전층 영역 상에 제2포토마스크를 형성하는 단계; 상기 제2포토마스크를 이용하여 상기 제2도전층을 식각함으로써, 상기 드레인 전극과 전기적으로 연결되는 콘택 전극을 형성하는 단계; 및 상기 제1 및 제2포토마스크를 제거하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.
- <28> 또한, 본 발명은, 제1기판; 상기 제1기판 상에 위치하며, 게이트 라인 및 데이터 라인을 포함하는 신호선들; 상기 신호선들에 의해 한정되는 영역 상에 위치하며, 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 포함하는 다수의 서브 픽셀들; 상기 서브픽셀들에 구동 신호를 전달하기 위하여 상기 신호선들의 일단과 전기적으로 연결된 다수의 패드들; 및 상기 드레인 전극과 연결된 콘택 전극을 포함하며, 상기 패드들의 두께는 50 내지 500Å인 유기전계발광표시장치를 제공한다.
- <29> 이하, 첨부한 도면을 참조하여, 본 발명의 일 실시예를 상세히 설명하도록 한다.
- <30> 도 3a는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 평면도이다.
- <31> 도 3a를 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 제1기판(200)에 위치하는 표시부(P), 표시부(P)에 구동신호를 인가하기 위한 구동부(도시 안됨), 표시부(P) 및 구동부와 연결되어 표시부(P)에 구동신호를 전달하기 위한 게이트 패드(250a) 및 데이터 패드(250b)를 포함하는 패드부가 형성된다.
- <32> 표시부(P)는 다수개의 서브픽셀(S)들을 포함하며, 각 서브픽셀(S)은 게이트 라인(210a), 데이터 라인(235d) 및 전원라인들을 포함하는 신호선들에 의하여 한정되는 영역에 위치한다. 그리고, 각 서브픽셀(S)은 하나 이상의 박막 트랜지스터, 커패시터 및 발광 다이오드를 포함한다.
- <33> 도 3b는 도 3a의 I-I'선을 따라 절단한 단면도로서, 이하에서는 도 3b를 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치의 구성을 상세히 설명한다.
- <34> 도 3b를 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는, 제1기판(200) 상에 게이트 라인(210a), 데이터 라인(235d) 등을 포함하는 신호선들이 위치하며, 신호선들의 교차에 의해 서브픽셀(S) 영역이 한정된다. 각 서브픽셀(S)은 반도체층(230), 반도체층(230)의 일정 영역과 대응되는 게이트 전극(210b), 반도체층(230)과 게이트 전극(210b) 사이에 위치하는 게이트 절연막(225), 반도체층(230)과 전기적으로 연결되는 소오스 전극(235a) 및 드레인 전극(235b)을 포함하는 하나 이상의 박막 트랜지스터(T)를 포함한다. 그리고, 각 서브픽셀(S)은 데이터 라인(235d)에 의해 인가되는 데이터 신호를 저장하며, 제1저장전극(210c) 및 제2저장전극(235c)을 포함하는 하나 이상의 커패시터(Cst)를 구비한다.
- <35> 여기서, 박막 트랜지스터(T)의 드레인 전극(235b) 상에는 드레인 전극(235b)과 전기적으로 연결된 콘택 전극(260a)이 위치한다. 그리고, 콘택 전극(260a)은 몰리브덴 등과 같은 금속을 포함할 수 있으며, 콘택 전극(260a)의 두께는 1500 내지 5000 Å일 수 있다.
- <36> 상기 서브픽셀(S)들에 구동 신호를 전달하기 위하여, 상기 제1기판(200)의 일측에는 게이트 라인(210a) 및 데이터 라인(235d)을 포함하는 신호선들의 일단과 전기적으로 연결된 패드들(250a, 250b)이 위치한다. 패드들은 게이트 패드(250a,) 및 데이터 패드(250b)를 포함할 수 있다. 패드들(250a, 250b)은 인듐 틴 2옥사이드(ITO)와 같은 투명 도전 물질을 포함할 수 있으며, 패드의 두께는 50 내지 500Å일 수 있다.
- <37> 제1기판(200)과 대향되도록 제2기판(270)이 위치한다. 제2기판(270) 상에 제1전극(275)이 위치하며, 제1전극(275) 상에는 제1전극(275)의 일부를 노출시키는 개구부(277)를 포함하는 बैं크층(280)이 위치한다. बैं크층(280)의 일부 영역 상에는 콘택 스페이서(285a) 및 격벽(285b)이 위치하며, 개구부(277) 내에는 유기발광층(290)이

위치한다.

- <38> 유기발광층(290) 및 콘택 스페이서(280a) 상에는 격벽(285b)에 의해 패터닝되는 제2전극(295)이 위치한다.
- <39> 제1기관(200)과 제2기관(270)의 합착에 의하여 콘택 스페이서(280a) 상에 형성된 제2전극(295)과 콘택 전극(260a)은 서로 전기적으로 연결되어, 박막 트랜지스터(T)에서 발생된 구동 전류를 드레인 전극(235b)으로부터 제2전극(295)으로 전달한다.
- <40> 여기서, 제1전극(275)은 애노드일 수 있으며, 제2전극(295)은 캐소드일 수 있다.
- <41> 이하에서는 도 4a 내지 도 4i를 참조하여, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명한다. 여기서, 도면부호 S는 서브픽셀 영역을 가리킨다.
- <42> 도 4a를 참조하면, 제1기관(300) 상에 제1금속층을 형성한 후 이를 패터닝하여, 게이트 라인(310a), 게이트 전극(310b) 및 제1저장전극(310c)을 형성한 다, 그런 다음, 게이트 라인(310a), 게이트 전극(310b) 및 제1저장전극(310c)을 포함한 제1기관(300) 상에 제1절연층(325)을 형성한다.
- <43> 제1기관(300)은 유리, 플라스틱 또는 금속으로 이루어질 수 있으며, 게이트 라인(310a) 등은 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텅스텐 등의 금속을 포함할 수 있다. 그리고, 제1절연층(325)은 실리콘 산화막 또는 실리콘 질화막으로 형성할 수 있다.
- <44> 게이트 전극(310b)과 대응되는 제1절연층(325) 영역 상에 반도체층(330)을 형성한다. 반도체층(330)은 비정질 실리콘 또는 폴리실리콘을 사용하여 형성할 수 있다.
- <45> 도 4b를 참조하면, 반도체층(330)을 포함한 제1절연층(325) 상에 제2금속층을 도포한 다음, 이를 패터닝하여, 반도체층(330)과 전기적으로 연결되는 소오스 전극(335a) 및 드레인 전극(335b)을 형성하고, 제1저장전극(310c)과 대응되는 제1절연층(325) 영역 상에 제2저장전극(335c)을 형성한다. 그리고, 제1절연층(325)의 소정 영역 상에 데이터 라인(335d)을 형성한다. 여기서 제2금속층은 저항이 낮은 마그네슘(Mg), 은(Ag), 알루미늄(Al), 칼슘(Ca), 몰리브덴(Mo) 또는 이들의 합금을 사용할 수 있다.
- <46> 여기서, 소오스 전극(335a)은 반도체층(330)의 채널 영역의 길이를 증가시키기 위하여 고리 형상 또는 U자 형으로 형성하고, 고리 형상 또는 U자 형의 가운데 부분에 위치하도록 드레인 전극(335b)을 형성할 수 있다.
- <47> 다음으로, 제1절연층(325) 및 제2절연층(340)을 식각하여, 게이트 라인(310a)의 일부를 노출시키는 제1비어홀(345a), 드레인 전극(335b)의 일부를 노출시키는 제2비어홀(345b) 및 데이터 라인(335d)의 일부를 노출시키는 제3비어홀(345c)을 형성한다.
- <48> 도 4c를 참조하면, 제1 내지 제3비어홀(345a, 345b, 345c)을 포함하는 제1기관(300) 상에 제1도전층을 형성한다. 제1도전층은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ICO(Indium Cerium Oxide) 또는 ZnO(Zinc Oxide)와 같은 투명 도전 물질로 형성할 수 있다. 그런 다음, 제1도전층(350) 상에 포토 레지스트를 도포하고, 이를 노광 및 현상하여, 제1비어홀(345a) 및 제3비어홀(345c)과 대응되는 제1도전층(350) 영역 상에 제1포토마스크(355)를 형성한다. 여기서, 제1도전층(350)의 두께는 50 내지 500Å으로 형성할 수 있다. 제1도전층(350)의 두께가 50Å 이상이면, 공정상 제1도전층(350)의 두께 균일도를 확보할 수 있으며, 또한 게이트 라인(310a)으로부터 전기적 신호를 충분히 인가받을 수 있을 만큼의 저항을 가지게 된다. 제1도전층(350)의 두께가 500Å 이하이면, 제1도전층(350) 패터닝 후 다른 영역 상에 제1도전층의 잔사가 남지 않게 된다.
- <49> 종래에는 패드들(350a, 350b)과 콘택 전극(360a)의 형성시, 제1도전층과 제2도전층을 적층한 다음 이를 동시에 패터닝하였기 때문에, 제1도전층이 제2도전층의 에천트에 의하여 식각되므로 이를 원하는 두께 이상으로 형성하여, 에천트의 손상에 따른 두께를 보상하여야만 하였다. 이에 따라, 제1도전층을 두껍게 적층하여야 하였으므로, 적층 시간 및 재료에 사용되는 비용이 증가하였다. 또한, 제1도전층을 제1기관(300)의 전 영역에 형성한 다음, 일정 영역을 제외하고는 전부 제거하여야 하는데, 이때, 금속층의 두께가 두꺼우면 다른 영역에 잔사가 남게 되어, 다른 소자를 오염시키는 문제 또한 발생하였다.
- <50> 그러나, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 패드들(350a, 350b)의 형성시, 콘택 전극의 형성에 사용되는 에천트에 의한 손상이 없기 때문에, 필요한 두께만큼 적층할 수 있기 때문에 제조비용을 감소시킬 수 있다. 그리고 금속층의 패터닝시 다른 부분에는 잔사가 남지 않으며 패턴의 품질이 향상될 수 있다.
- <51> 도 4d를 참조하면 제1포토마스크(355)를 이용하여 제1도전층을 식각함으로써, 게이트 패드(350a) 및 데이터 패드(350b)를 형성한다. 그런 다음, 제1포토마스크(355) 및 제2비어홀(345b)을 포함한 제2절연층(340) 상에 제2도

전층(360)을 형성한다. 여기서, 제2도전층(360)은 몰리브덴 등의 금속을 포함할 수 있다.

- <52> 도 4e를 참조하면, 제2도전층(360) 상에 포토레지스트를 도포하고 이를 노광 및 현상하여 제2비어홀(345b)에 대응되는 제2도전층(360) 영역 상에 제2포토마스크(365)를 형성한다.
- <53> 도 4f를 참조하면, 제2포토마스크(365)를 이용해서 제2도전층을 식각함으로써 드레인 전극(335b)과 전기적으로 연결되는 콘택 전극(360a)을 형성한 다음, 도 4g에 도시한 바와 같이, 제1포토마스크(355)와 제2포토마스크(365)를 애싱 또는 스트립하여 한꺼번에 제거한다. 여기서, 콘택 전극(360a)의 두께는 저항을 감소시키고, 스텝 커버리지를 확보하기 위하여 1500 내지 5000Å으로 형성할 수 있다.
- <54> 종래에는 패드들(350a, 350b)과 콘택 전극(360a)의 형성시, 제1도전층과 제2도전층을 적층한 다음 이를 동시에 패터닝하였기 때문에, 제2도전층의 두께가 너무 두꺼우면 제2도전층의 오버 에치로 인하여 제1도전층이 더욱 심하게 손상되는 문제가 있었다. 그러나, 본 발명에서는 형성된 패드들 (350a, 350b)을 제1포토마스크(355)가 보호해주기 때문에, 콘택 전극(360a)의 저항 및 스텝 커버리지 등을 고려하여 종래보다 두껍게 형성하더라도 패드들 (350a, 350b)이 손상되지 않는 장점이 있다.
- <55> 도 4h를 참조하면, 제2기판(370)을 준비한다. 제2기판(370)은 투명한 유리, 플라스틱을 포함할 수 있다. 준비된 제2기판(370) 상에 제1전극(375)을 형성한다. 제1전극(375)은 애노드일 수 있으며, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ICO(Indium Cerium Oxide) 또는 ZnO(Zinc Oxide)와 같은 투명 도전 물질을 사용하여 공통 전극으로 형성한다. 다음으로 제1전극(375) 상에 제1전극(375)의 일부를 노출시키는 개구부(377)를 포함하는 बैं크층(380)을 형성한다. बैं크층(380)은 폴리이미드(polyimide), 벤조사이클로부텐(benzocyclobutene)계 및 폴리아크릴 (polyacryl) 수지와 같은 유기막으로 이루어질 수 있다.
- <56> 다음으로 बैं크층(380)의 일부 영역 상에 정테이퍼 형상의 콘택 스페이서(385a) 및 역테이퍼 형상의 격벽(385b)을 형성한다.
- <57> 그리고, 개구부(385) 내에 유기발광층(390)을 형성하고, 유기발광층(390) 및 콘택 스페이서(385a) 상에 격벽(385b)에 의하여 각 서브픽셀 별로 패터닝되도록 제2전극(395)을 형성한다.
- <58> 도 4i를 참조하면, 상기와 같이 제조된 제2기판(370)을 제1기판(300)과 합착한다. 이때 제1기판(300)의 콘택 전극(360a)과 제2기판(370)의 콘택 스페이서(385a) 상에 위치한 제2전극(395)이 전기적으로 연결되도록 합착한다. 이로써, 제1기판(300)의 박막 트랜지스터(T)에서 발생한 구동 전류가 제2기판(370)의 제2전극(395)으로 전달되며, 유기발광층(390)에서는 이에 해당하는 빛을 발광하게 된다.
- <59> 본 발명의 일 실시예에서는 제1포토마스크(355)를 이용하여 패드들(350a, 350b)을 먼저 형성한 다음, 제2포토마스크(365)를 이용하여 콘택 전극(360a)을 형성하였지만, 형성 순서는 이에 한정되지 않으며, 콘택 전극(360a)을 먼저 형성할 수도 있다.
- <60> 상술한 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 포토마스크를 이용하여 패드들(350a, 350b)을 형성한 다음 이를 제거하지 않고, 다른 포토마스크를 사용하여 콘택 전극(360a)을 형성함으로써, 콘택 전극(360a)의 식각에 사용되는 에천트에 의하여 패드들(350a, 350b)이 손상되는 것을 방지하였다.
- <61> 따라서, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 종래 발생하였던 패드들(350a, 350b)의 손상 또는 콘택 전극(360a)의 필링 현상을 방지함으로써 소자의 신뢰성을 향상시킬 수 있다.
- <62> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

- <63> 상술한 바와 같이 본 발명은 소자의 신뢰성을 향상시킬 수 있으며, 제조비용을 감소할 수 있는 효과가 있다. 또한, 본 발명은 화면의 품질을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- <1> 도 1은 종래 일 예의 유기전계발광표시장치의 제조방법에 따라 제조된 패드의 손상을 보여주는 사진이다.

<2> 도 2은 종래 다른 예의 유기전계발광표시장치의 제조방법에 따라 제조된 콘택 전극의 필링 현상을 보여주는 사진이다.

<3> 도 3a는 본 발명의 일 실시예에 따른 유기전계발광표시장치를 도시한 평면도이다.

<4> 도 3b는 도 3a의 I - I'선을 따라 절단한 본 발명의 일 실시예에 따른 유기전계발광패널의 단면도이다.

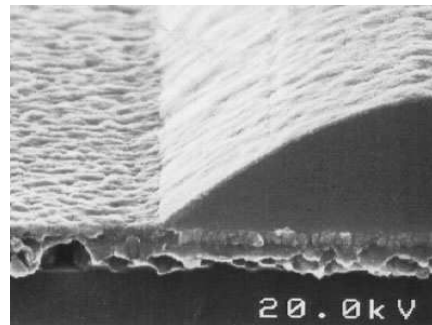
<5> 도 4a 내지 4h는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도들이다.

<6> <도면의 주요 부분에 관한 부호의 설명>

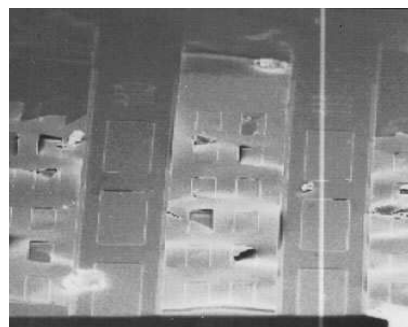
<7> <8> <9> <10> <11> <12> <13> <14> <15>	200: 제1기관 210b; 게이트 전극 230: 반도체층 235d: 데이터 라인 250: 제1도전층 260a: 콘택 전극 275: 제1전극 285a: 콘택 스페이서 290: 유기발광층	210a: 게이트 라인 225: 제1절연층 235a, 235b: 소오스/드레인 전극 240: 제2절연층 250a, 250b: 게이트/데이터 패드 270: 제2기관 280: 뱅크층 285b: 격벽 295: 제2전극
---	---	--

도면

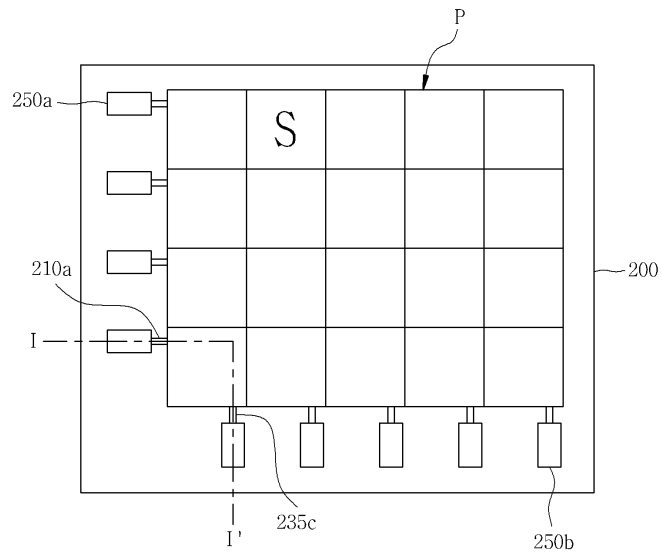
도면1



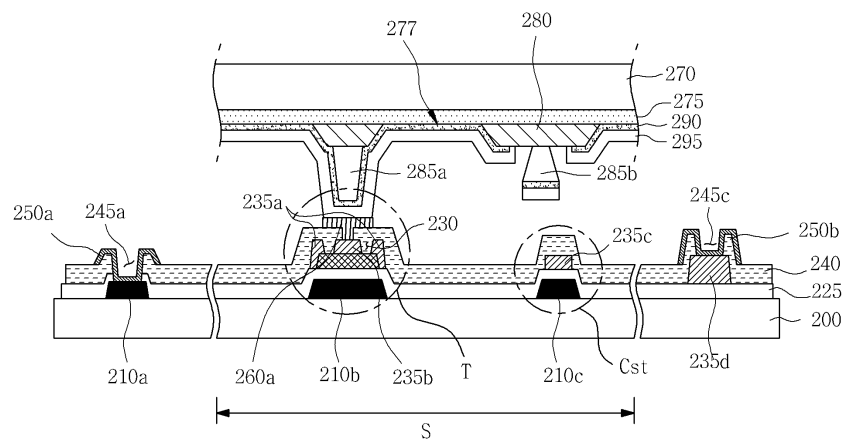
도면2



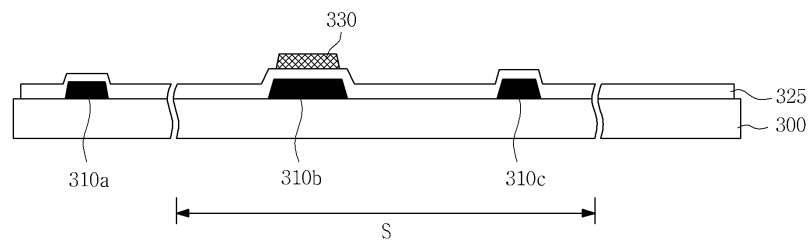
도면3a



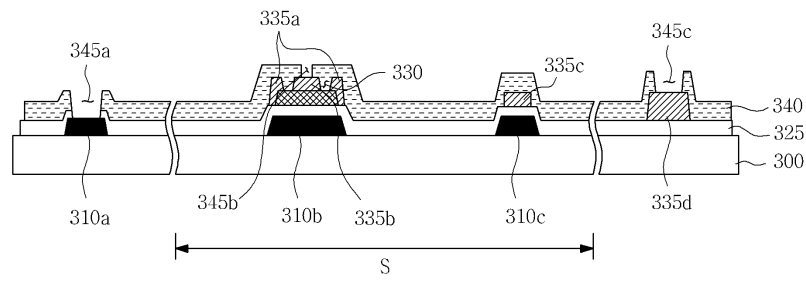
도면3b



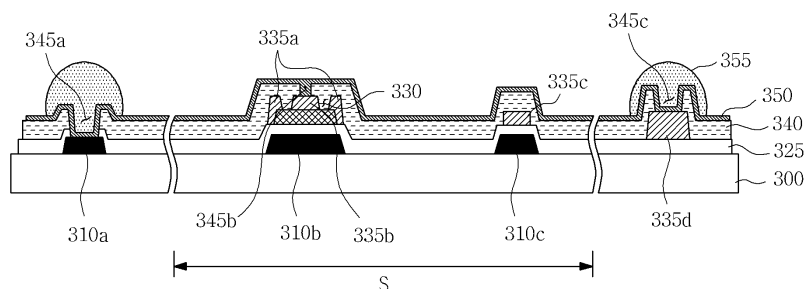
도면4a



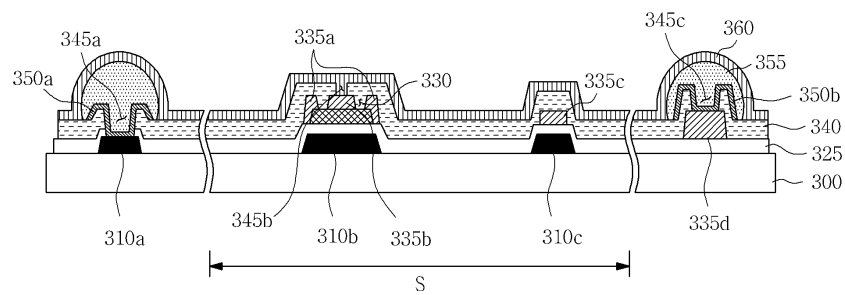
도면4b



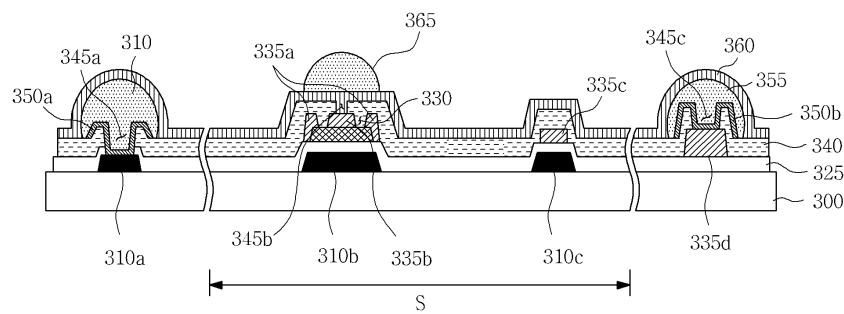
도면4c



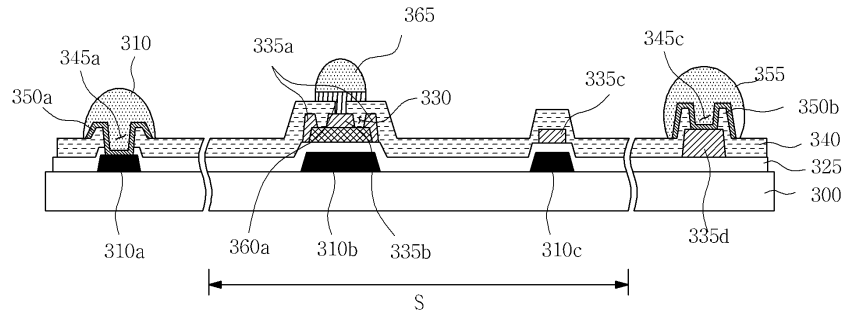
도면4d



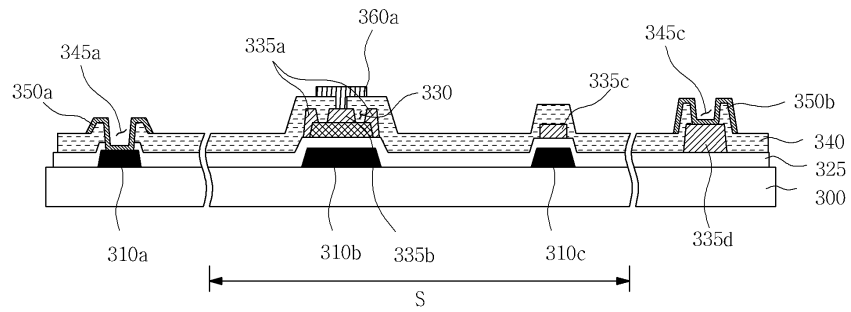
도면4e



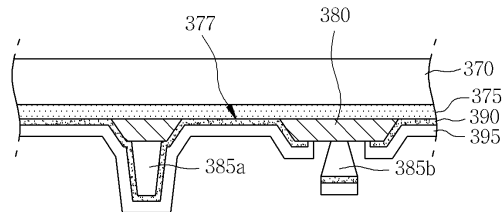
도면4f



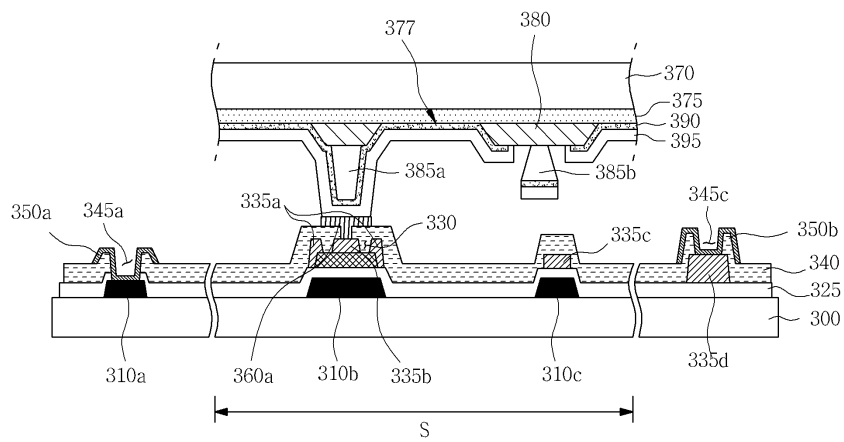
도면4g



도면4h



도면4i



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080060025A	公开(公告)日	2008-07-01
申请号	KR1020060134083	申请日	2006-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JOON SUK 이준석 YOO IN SUN 유인선 KIM DO HYUNG 김도형		
发明人	이준석 유인선 김도형		
IPC分类号	H05B33/10 H05B33/26		
CPC分类号	H01L27/3248 H01L51/0018 H01L51/0021 H01L51/56 H01L2251/558		
外部链接	Espacenet		

摘要(译)

形成至少一个薄膜晶体管的步骤，在信号上形成薄膜晶体管上的至少一个绝缘层的步骤，形成暴露的第一通孔的步骤和暴露漏电极的一部分的第二通孔绝缘层内信号线的一端，第一导电层层叠在包括第一通孔和第二通孔的第一基板上的步骤，在第一导电层上形成第一光掩模的步骤对应于第一通孔，信号线的一端穿过第一通孔，使用第一光掩模蚀刻第一导电层，并形成电连接的焊盘的步骤，形成包括第一光掩模的第一基板上的第二导电层，以及在与第二通孔对应的第二导电层区域上形成第二光掩模的步骤，其包括本发明在第一基板上形成包括栅极线的信号线的步骤数据线，信号线，半导体层和源电极以及漏电极限制区域内的栅电极有机电致发光显示器件的制造方法，意味着去除台阶和第一和第二光掩模的步骤形成与漏电极电连接的接触电极，使用第二光掩模蚀刻第二导电层提供。

