



특허청구의 범위

청구항 1

제1기관;

상기 제1기관 상에 위치하는 금속층;

상기 금속층 상에 위치하는 절연층;

상기 절연층 상부에 위치하며, 게이트 라인, 데이터 라인 및 전원 라인을 포함하는 신호선들;

상기 신호선들에 의해 한정되는 영역 상에 위치하며, 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 하나 이상의 박막 트랜지스터를 포함하는 다수의 서브 픽셀들;을 포함하며,

상기 전원 라인 및 상기 박막 트랜지스터의 소오스 전극은 절연층을 관통하여 상기 금속층과 전기적으로 연결된 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 전원 라인 및 금속층에는 접지 전압이 인가되는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 서브픽셀은 하나 이상의 커패시터를 더 포함하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 제1기관과 대향하는 제2기관;

상기 제2기관 상에 위치하는 제1전극;

상기 제1전극을 포함하는 제2기관 상에 위치하며, 상기 제1전극의 일부를 노출시키는 개구부를 포함하는 बैं크층;

상기 बैं크층 상에 위치하는 정테이퍼 형상의 콘택 스페이서 및 역테이퍼 형상의 격벽;

상기 개구부 내에 위치하는 유기발광층; 및

상기 유기발광층 및 콘택 스페이서 상에 위치하는 제2전극;을 더 포함하며,

상기 콘택 스페이서 상의 제2전극과 상기 콘택 전극은 전기적으로 연결된 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 제1전극은 애노드이며, 상기 제2전극은 캐소드인 유기전계발광표시장치.

청구항 6

제1기관을 제공하는 단계;

상기 제1기관 상에 금속층을 형성하는 단계;

상기 금속층 상에 절연층을 형성하는 단계;

상기 제1절연층 상부에 게이트 라인 및 상기 절연층을 관통하여 상기 금속층과 전기적으로 연결되는 전원 라인을 포함하는 신호선들을 형성하는 단계;

상기 신호선들에 의해 한정되는 영역 내에 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 하

나 이상의 박막 트랜지스터를 형성하는 단계;

상기 신호선들 및 박막 트랜지스터 상에 패시베이션층을 형성하는 단계; 및

상기 패시베이션층을 관통하여, 상기 전원 라인과 상기 소오스 전극을 전기적으로 연결시키는 연결전극 및 상기 드레인 전극과 연결되는 콘택 전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 7

제 1 항에 있어서,

상기 금속층 및 상기 전압 라인은 기준 전압을 인가하기 위한 금속 배선인 유기전계발광표시장치의 제조방법.

청구항 8

제 7 항에 있어서,

상기 제1기관과 대향되는 제2기관을 제공하는 단계;

상기 제2기관 상에 제1전극을 형성하는 단계;

상기 제1전극 상에 상기 제1전극의 일부를 노출시키는 개구부를 포함하는 बैं크층을 형성하는 단계;

상기 बैं크층의 일부 영역 상에 콘택 스페이서 및 격벽을 형성하는 단계;

상기 개구부 내에 유기발광층을 형성하는 단계;

상기 유기발광층 및 콘택 스페이서 상에 제2전극을 형성하는 단계; 및

상기 제1기관과 제2기관을 상기 콘택 스페이서 상의 제2전극과 콘택 전극이 전기적으로 연결되도록 합착하는 단계를 더 포함하는 유기전계발광표시장치의 제조방법.

청구항 9

제7항에 있어서,

상기 제1전극은 투명 도전 물질을 포함하는 애노드이며, 상기 제2전극은 캐소드인 유기전계발광표시장치의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 평판표시장치(Flat Panel Display) 중에서 유기전계발광표시장치(Organic Light Emitting Display)는 유기화합물을 전기적으로 여기시켜 발광하게 하는 자발광형 표시장치이다. 유기전계발광표시장치는 LCD에서 사용되는 백라이트가 필요하지 않아 경량박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있다. 또한, 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다.
- <18> 유기전계발광표시장치는 애노드와 캐소드 사이에 유기발광층을 포함하고 있어 애노드로부터 공급받는 정공과 캐소드로부터 받은 전자가 유기발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고 다시 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.
- <19> 일반적으로 유기전계발광표시장치는 기관 상에 박막 트랜지스터들을 형성하고, 박막 트랜지스터들 상에 이들과 전기적으로 연결되는 발광다이오드를 형성한 다음, 기관과 봉지 기관을 합착함으로써 제조되었다. 그러나, 이러한 경우 박막 트랜지스터들이 양호하게 형성되더라도 발광다이오드에 불량 발생하는 경우, 유기전계발광표시장치는 불량으로 판정된다. 즉, 발광다이오드의 수율이 전체 수율을 결정하게 되므로, 공정 시간 및 제조 비용이 낭비되는 문제점이 있었다. 따라서 이를 해결하기 위하여, 박막 트랜지스터들이 형성된 TFT 어레이 기관인

제 1 기판을 제조한 다음, 발광다이오드들이 형성된 제 2 기판을 제조하여 이를 합착함으로써, 유기전계발광표시장치를 제조하게 되었다.

- <20> TFT 어레이 기판인 제1기판에는 표시부, 표시부에 구동신호를 인가하기 위한 구동부, 표시부 및 구동부와 연결되어 표시부에 구동신호를 전달하기 위한 패드부가 형성된다.
- <21> 표시부는 게이트 라인, 데이터 라인 및 전원라인들을 포함하는 신호선들 및 신호선들에 의하여 한정되는 영역에 위치하며, 하나 이상의 박막 트랜지스터, 커패시터 및 발광 다이오드를 포함하는 다수의 서브픽셀들을 포함한다.
- <22> 서브픽셀에는 전원라인들을 통하여 구동에 필요한 전압들, 전원 전압(VDD)과 기준 전압(VSS)이 인가되는데, 일반적으로 기준 전압은 접지 전압으로서 기준 전압을 인가하기 위한 주 전압라인은 서브픽셀들이 형성된 표시부의 가장자리 상에 위치하게 되며, 주 전압라인으로부터 각 서브픽셀로 연결된 보조 전압라인들이 위치하게 된다.
- <23> 따라서, 기준 전압을 전달하는 주 전압라인의 면적이 작으므로, 유기전계발광표시장치를 구동함에 따라 주 전압라인의 저항이 높아져서 기준 전압이 상승하는 현상이 발생한다.
- <24> 이는 발광 다이오드에 흐르는 전류의 양을 감소시켜, 영상 이미지의 휘도가 떨어지게 되며, 또한, 인가된 데이터 신호에 따른 이미지를 정확하게 표현하지 못하게 되어, 화면의 품질을 저하시키는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <25> 따라서, 본 발명은 화면의 품질 및 화면의 휘도가 향상된 유기전계발광표시장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <26> 상기 목적을 달성하기 위하여, 본 발명은, 제1기판, 제1기판 상에 위치하는 금속층, 금속층 상에 위치하는 절연층, 절연층 상에 위치하며, 게이트 라인, 데이터 라인 및 전원 라인을 포함하는 신호선들, 신호선들에 의해 한정되는 영역 상에 위치하며, 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 하나 이상의 박막 트랜지스터를 포함하는 다수의 서브 픽셀들을 포함하며, 전원 라인 및 상기 박막 트랜지스터의 소오스 전극은 절연층을 관통하여 상기 금속층과 전기적으로 연결된 유기전계발광표시장치를 제공한다.
- <27> 또한, 본 발명은 제1기판을 제공하는 단계, 제1기판 상에 금속층을 형성하는 단계, 금속층 상에 절연층을 형성하는 단계, 제1절연층 상에 게이트 라인 및 절연층을 관통하여 금속층과 전기적으로 연결되는 전원 라인을 포함하는 신호선들을 형성하는 단계, 신호선들에 의해 한정되는 영역 내에 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 하나 이상의 박막 트랜지스터를 형성하는 단계, 신호선들 및 박막 트랜지스터 상에 패시베이션층을 형성하는 단계 및 패시베이션층을 관통하여, 전원 라인과 소오스 전극을 전기적으로 연결시키는 연결전극 및 드레인 전극과 연결되는 콘택 전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.
- <28> 이하, 첨부한 도면을 참조하여, 본 발명의 일 실시예를 상세히 설명하도록 한다.
- <29> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 평면도이다.
- <30> 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 제1기판(100)에 위치하는 표시부(P), 표시부(P)에 구동신호를 인가하기 위한 구동부(도시 안됨), 표시부(P) 및 구동부와 연결되어 표시부(P)에 구동신호를 전달하기 위한 패드부(110)를 포함한다.
- <31> 표시부(P)는 다수개의 서브픽셀(S)들을 포함하며, 각 서브픽셀(S)은 게이트 라인, 데이터 라인, 전원 전압(VDD) 라인 및 기준 전압(VSS) 라인(130a, 130aa)들을 포함하는 신호선들에 의하여 한정되는 영역에 위치한다. 그리고, 도시하지는 않았지만, 각 서브픽셀(S)은 하나 이상의 박막 트랜지스터, 커패시터 및 발광 다이오드를 포함한다.
- <32> 여기서, 기준 전압 라인(130a, 130aa)은 표시부(P)의 가장자리 영역에 위치하는 주 전압라인(130a)과 각 서브픽셀들로 연결되는 보조 전압라인(130aa)들을 포함할 수 있으며, 이하에서는 주 전압라인과 보조 전압라인을 포함하여 기준 전압 라인(130a, 130aa)으로 통칭하여 설명하기로 한다.
- <33> 기준 전압 라인(130a, 130aa)는 표시부(P)의 서브픽셀(S)들에 접지 전압을 공급하기 위한 것으로서 기준 전압 라

인(130a, 130aa)의 하부에는 이들과 전기적으로 연결된 금속층(115)이 위치하며, 기준 전압 라인(130a, 130aa)과 금속층(115) 사이에는 절연층이 위치한다.

- <34> 도 2는 도 1의 I-I'선을 따라 절단한 단면도로서, 이하에서는 도 2를 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치의 구성을 상세히 설명한다.
- <35> 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는, 제1기판(100) 상에 금속층(115)이 위치하며, 금속층(115) 상에 제1절연막(120)이 위치한다.
- <36> 제1절연막(120)을 포함하는 제1기판(100) 상에 게이트 라인(130a), 데이터 라인(도시 안됨), 전원 전압(VDD) 라인(도시 안됨), 기준 전압(VSS) 라인(130a, 130aa)를 포함하는 신호선들이 위치하며, 신호선들의 교차에 의해 서브픽셀(S) 영역이 한정된다. 여기서, 기준 전압 라인(130a, 130aa)은 제1절연층(120)을 관통하여 금속층(115)와 전기적으로 연결된다.
- <37> 각 서브픽셀(S)은 반도체층(150), 반도체층(150)의 일정 영역과 대응되는 게이트 전극(130c), 반도체층(150)과 게이트 전극(130c) 사이에 위치하는 게이트 절연막(140), 반도체층(150)과 전기적으로 연결되는 소오스 전극(155a) 및 드레인 전극(155b)을 포함하는 하나 이상의 박막 트랜지스터(T)를 포함한다. 그리고, 각 서브픽셀(S)은 데이터 라인(도시 안됨)에 의해 인가되는 데이터 신호를 저장하며, 제1저장전극(130d) 및 제2저장전극(155c)을 포함하는 하나 이상의 커패시터(Cst)를 구비한다.
- <38> 여기서, 소오스 전극(155a) 상에는 서브픽셀(S)의 기준 전압 라인(130aa)과 전기적으로 연결되는 연결전극(170a)이 위치하며, 내박막 트랜지스터(T)의 드레인 전극(155b) 상에는 드레인 전극(155b)과 전기적으로 연결된 콘택 전극(170b)이 위치한다. 그리고, 콘택 전극(170b)은 몰리브덴 등과 같은 금속을 포함할 수 있다.
- <39> 제1기판(100)과 대향되도록 제2기판(180)이 위치한다. 제2기판(180) 상에 제1전극(182)이 위치하며, 제1전극(180) 상에는 제1전극(182)의 일부를 노출시키는 개구부(184)를 포함하는 बैं크층(186)이 위치한다. बैं크층(186)의 일부 영역 상에는 콘택 스페이서(188a) 및 격벽(188b)이 위치하며, 개구부(184) 내에는 유기발광층(190)이 위치한다.
- <40> 유기발광층(190) 및 콘택 스페이서(188a) 상에는 격벽(188b)에 의해 패터닝되는 제2전극(195)이 위치한다.
- <41> 제1기판(100)과 제2기판(180)의 합착에 의하여 콘택 스페이서(188a) 상에 형성된 제2전극(195)과 콘택 전극(170b)은 서로 전기적으로 연결되며, 이로써, 박막 트랜지스터(T)에서 발생된 구동 전류는 드레인 전극(155b)으로부터 제2전극(195)으로 전달된다.
- <42> 여기서, 제1전극(182)은 애노드일 수 있으며, 제2전극(195)은 캐소드일 수 있다.
- <43> 이하에서는 도 3a 내지 도 3g를 참조하여, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명한다. 여기서, 도면부호 S는 서브픽셀 영역을 가리킨다.
- <44> 도 3a 내지 3g는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도들이다.
- <45> 도 3a를 참조하면, 유리, 플라스틱 또는 금속으로 이루어진 제1기판(200)의 전면 상에 금속층(215)을 형성한다. 이는 기준 전압의 상승을 방지하기 위한 기준 전압용 금속 배선으로서, 제1기판(200)의 전면 상에 형성함으로써 넓은 면적을 확보할 수 있도록 형성한다.
- <46> 금속층 상에 제1절연층(220)을 형성한다. 그런 다음, 제1절연층(220)의 소정 영역 내에 상기 금속층(215)의 일부를 노출시키는 제1 및 제2 비어홀들(225a, 225b)을 형성한다.
- <47> 도 3b를 참조하면, 제1 및 제2비어홀(225a, 225b)을 포함한 제1절연층(220) 상에 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텅스텐 등을 사용하여 도전층을 형성한 다음, 이를 패터닝하여, 제1 및 제2비어홀(225a, 225b)을 통하여 상기 금속층(215)과 연결되는 기준 전압 라인(230a, 230aa)을 형성하고, 이와 동시에, 게이트 라인(230b), 게이트 전극(230c) 및 제1저장전극(230d)을 형성한다,
- <48> 도 3c를 참조하면, 게이트 라인(230b), 게이트 전극(230c) 및 제1저장전극(230d)을 포함하는 제1기판(200) 상에 실리콘 산화물 또는 실리콘 질화물을 사용하여 제2절연층(240)을 형성한다.
- <49> 게이트 전극(230c)과 대응되는 제2절연층(240) 영역 상에 반도체층(250)을 형성한다. 반도체층(250)은 비정질 실리콘 또는 폴리실리콘을 사용하여 형성할 수 있다.

- <50> 도 3d를 참조하면, 반도체층(250)을 포함한 제2절연층(240) 상에 저항이 낮은 마그네슘(Mg), 은(Ag), 알루미늄(Al), 칼슘(Ca), 몰리브덴(Mo) 또는 이들의 합금을 사용하여 도전층을 도포한다. 그런 다음, 이를 패터닝하여, 반도체층(250)과 전기적으로 연결되는 소오스 전극(255a) 및 드레인 전극(255b)을 형성하고, 제1저장전극(230d)과 대응되는 제2절연층(240) 영역 상에 제2저장전극(255c)을 형성한다. 그리고, 도시하지는 않았지만, 제2절연층(240)의 소정 영역 상에는 데이터 라인 또한 동시에 형성된다. 이로써, 제1기판(200) 상에 박막 트랜지스터(T) 및 커패시터(Cst)가 형성된다.
- <51> 여기서, 소오스 전극(255a)은 반도체층(250)의 채널 영역의 길이를 증가시키기 위하여 고리 형상 또는 U자 형으로 형성하고, 고리 형상 또는 U자 형의 가운데 부분에 위치하도록 드레인 전극(255b)을 형성할 수 있다.
- <52> 다음으로, 소오스 전극(255a), 드레인 전극(255b) 및 제2저장전극(255c)를 포함한 제2절연층(240) 상에 제3절연층(260)을 형성한다. 제3절연층(260)은 박막 트랜지스터 및 하부의 소자를 보호하기 위한 것으로, 실리콘 산화물 또는 실리콘 질화물을 사용하여 형성할 수 있다.
- <53> 다음으로, 제2절연층(240) 및 제3절연층(260)을 식각하여, 서브픽셀(S) 내의 기준 전압 라인(230aa)의 일부를 노출시키는 제3비어홀(265a), 소오스 전극의 일부를 노출시키는 제4비어홀(265b) 및 드레인 전극(255b)의 일부를 노출시키는 제5비어홀(265c)을 형성한다.
- <54> 도 3e를 참조하면, 제3 내지 제5비어홀(265a, 265b, 265c)을 포함하는 제1기판(200) 상에 몰리브덴과 같은 금속을 사용하여 도전층을 형성한다. 그런 다음, 이를 패터닝함으로써, 제3 및 제4비어홀(265a, 265b)을 통하여 기준 전압 라인(230b) 및 소오스 전극(255a)을 연결시키는 연결전극(270a)을 형성하고, 드레인 전극(255b)과 전기적으로 연결되는 콘택 전극(270b)을 형성한다.
- <55> 따라서, 소오스 전극(255a)은 연결전극(270a)을 통하여 기준 전압 라인(230aa)과 전기적으로 연결되어, 기준 전압을 인가받을 수 있으며, 기준 전압 라인(230aa)은 면적이 넓은 하부의 금속층(215)과 연결되어 있기 때문에 안정적인 기준 전압을 소오스 전극(255a)에 인가할 수 있다.
- <56> 도 3f를 참조하면, 제2기판(280)을 준비한다. 제2기판(280)은 투명한 유리, 플라스틱을 포함할 수 있다. 준비된 제2기판(280) 상에 제1전극(282)을 형성한다. 제1전극(282)은 애노드일 수 있으며, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ICO(Indium Cerium Oxide) 또는 ZnO(Zinc Oxide)와 같은 투명 도전 물질을 사용하여 공통 전극으로 형성한다. 다음으로 제1전극(282) 상에 제1전극(282)의 일부를 노출시키는 개구부(284)를 포함하는 बैं크층(286)을 형성한다. बैं크층(286)은 폴리이미드(polyimide), 벤조사이클로부텐(benzocyclobutene)계 및 폴리아크릴(polyacryl) 수지와 같은 유기막으로 이루어질 수 있다.
- <57> 다음으로 बैं크층(286)의 일부 영역 상에 정테이퍼 형상의 콘택 스페이서(288a) 및 역테이퍼 형상의 격벽(288)을 형성한다.
- <58> 그리고, 개구부(284) 내에 유기발광층(290)을 형성하고, 유기발광층(290) 및 콘택 스페이서(288a) 상에 격벽(288b)에 의하여 각 서브픽셀(S) 별로 패터닝되도록 제2전극(295)을 형성한다.
- <59> 도 3g를 참조하면, 상기와 같이 제조된 제2기판(280)을 제1기판(200)과 합착한다. 이때 제1기판(200)의 콘택 전극(270a)과 제2기판(280)의 콘택 스페이서(288a) 상에 위치한 제2전극(295)이 전기적으로 연결되도록 합착한다. 이로써, 제1기판(200)의 박막 트랜지스터(T)에서 발생한 구동 전류가 제2기판(280)의 제2전극(295)으로 전달되며, 유기발광층(290)에서는 이에 해당하는 빛을 발광하게 된다.
- <60> 상술한 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는, 제1기판 상에 금속층을 형성하고, 기준 전압 라인이 금속층이 전기적으로 연결되도록 형성함으로써, 기준 전압이 인가되는 금속 배선의 면적을 증가시켰다.
- <61> 따라서, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 유기전계발광표시장치의 구동에 따라 종래 발생하였던 기준 전압의 상승을 감소시킬 수 있으며, 이로써, 유기발광표시장치의 휘도를 증가시키고 아울러, 데이터 신호에 따른 정확한 휘도를 표현할 수 있게 되어, 유기전계발광표시장치의 화면의 품질을 향상시킬 수 있다.
- <62> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부

터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

<63> 상술한 바와 같이 본 발명은 화면의 휘도를 향상시킴과 아울러, 화면의 품질을 향상시킬 수 있는 유기전계발광 표시장치를 제공할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 도시한 평면도이다.

<2> 도 2는 도 1의 I-I'선을 따라 절단한 본 발명의 일 실시예에 따른 유기전계발광패널의 단면도이다.

<3> 도 3a 내지 3g는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도들이다.

<4> <도면의 주요 부분에 관한 부호의 설명>

<5> 100: 제1기판 110: 패드부

<6> 115: 금속층 120: 제1절연층

<7> 130a: 주 전원라인 130aa: 전원 라인

<8> 130b: 게이트 라인 130c: 게이트 전극

<9> 140: 제2절연층 150: 반도체층

<10> 255a, 255b: 소오스/드레인 전극

<11> 160: 제3절연층 170a: 연결전극

<12> 170b: 콘택 전극 180: 제2기판

<13> 182: 제1전극 184: 개구부

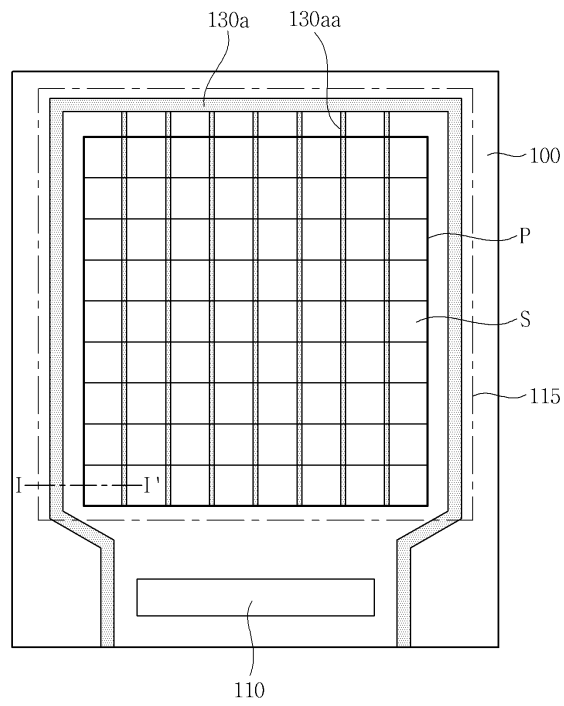
<14> 186: 뱅크층 188a: 콘택 스페이서

<15> 188b: 격벽 190: 유기발광층

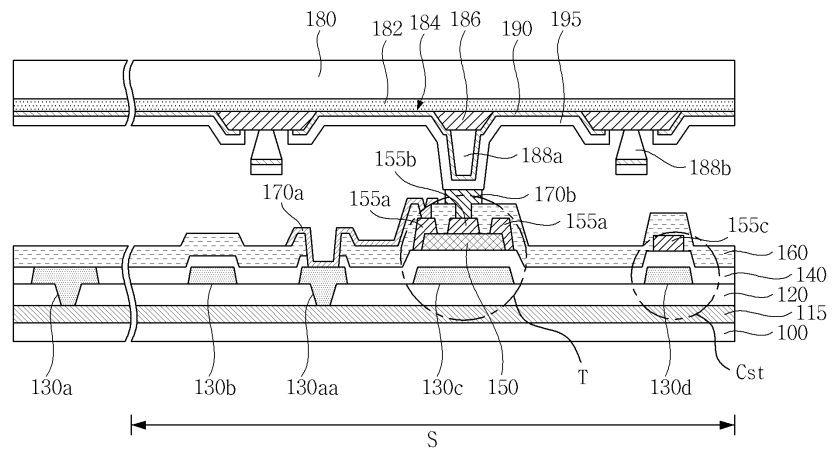
<16> 195: 제2전극

도면

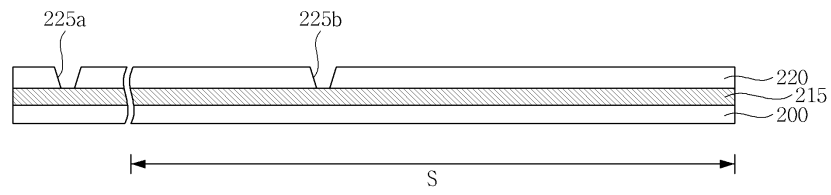
도면1



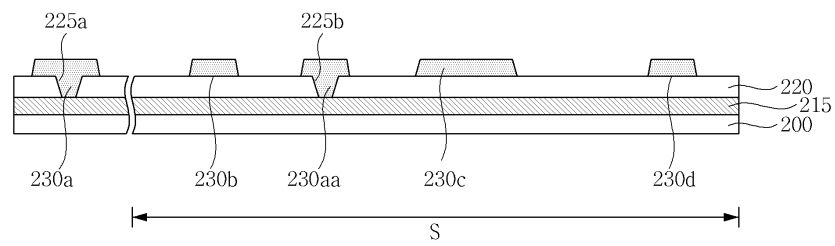
도면2



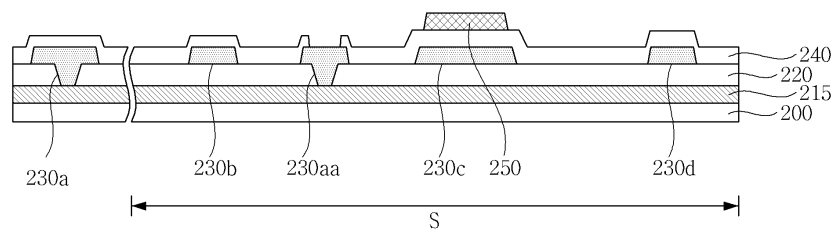
도면3a



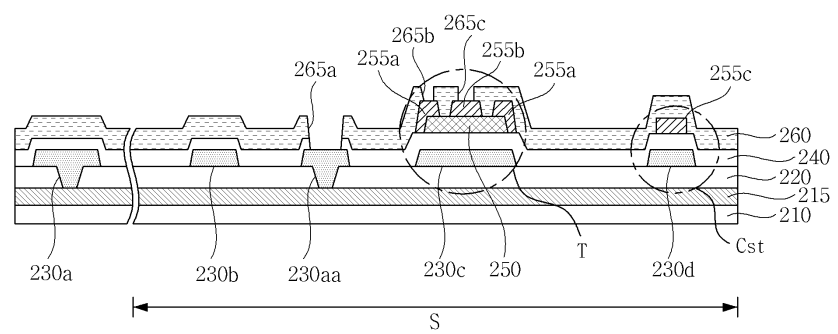
도면3b



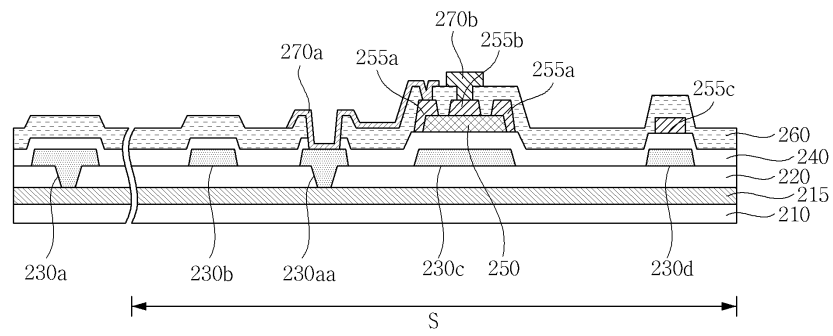
도면3c



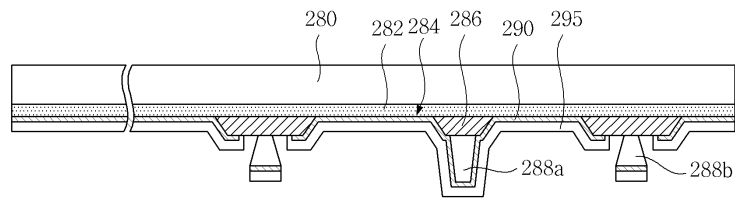
도면3d



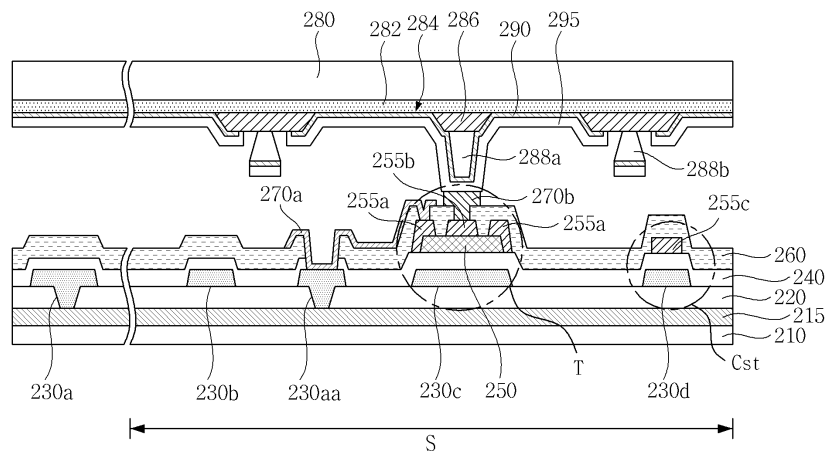
도면3e



도면3f



도면3g



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080057490A	公开(公告)日	2008-06-25
申请号	KR1020060130844	申请日	2006-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JOON SUK 이준석 LEE SANG KEUN 이상근 KIM DO HYUNG 김도형		
发明人	이준석 이상근 김도형		
IPC分类号	H05B33/26 H05B33/02		
CPC分类号	H01L27/124 H01L27/3251 H01L27/3276 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明提供的有机电致发光显示装置及其与源电极电连接的方法是通过薄膜晶体管的绝缘层和包括信号线的电源线多个子像素的金属层, 以及通过信号线的限制区域至少一个薄膜晶体管包括栅电极, 半导体层和源电极, 它位于表面上, 漏电极包括栅极线, 数据线和电源线位于金属层的表面上在第一基板和第一基板, 位于金属层上的绝缘层和绝缘层上。

