



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H05B 33/00 (2006.01)

H01L 29/786 (2006.01)

(11) 공개번호

10-2007-0044871

(43) 공개일자

2007년05월02일

(21) 출원번호 10-2005-0101098

(22) 출원일자 2005년10월26일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이청
경기 용인시 기흥읍 구갈리 가현신안아파트 602-1403호

(74) 대리인 박영우

전체 청구항 수 : 총 9 항

(54) 전계발광 표시패널

(57) 요약

전기적인 특성을 향상시킨 전계발광 표시패널이 개시된다. 전계발광 표시패널은 베이스 기관 상에 단위화소를 정의하기 위해 데이터 배선, 전원 배선 및 게이트 배선이 형성되고, 스위칭 박막트랜지스터, 구동 박막트랜지스터 및 전계발광소자를 포함한다. 스위칭 박막트랜지스터는 단위화소 내에 형성된다. 구동 박막트랜지스터는 단위화소 내에 형성되고, 스위칭 박막트랜지스터와 전기적으로 연결되는 PMOS(P-channel metal oxide semiconductor)이다. 전계발광소자는 구동 박막트랜지스터와 전기적으로 연결되어 광을 발생한다. 이와 같이, 전계발광 표시패널에 채용되는 박막 트랜지스터가 전공이 주요 캐리어인 PMOS로 구성됨으로써, 전류 데이지에 의해 박막트랜지스터가 열화되는 것을 억제하여, 박막트랜지스터의 전기적인 특성의 저하를 보다 방지할 수 있다.

대표도

도 3

특허청구의 범위

청구항 1.

베이스 기관 상에 단위화소를 정의하기 위해 데이터 배선, 전원 배선 및 게이트 배선이 형성된 전계발광 표시패널에 있어서,

상기 단위화소 내에 형성된 스위칭 박막트랜지스터;

상기 단위화소 내에 형성되며, 상기 스위칭 박막트랜지스터와 전기적으로 연결되는 PMOS(P-channel metal oxide semiconductor) 타입의 구동 박막트랜지스터; 및

상기 구동 박막트랜지스터와 전기적으로 연결되어, 광을 발생하는 전계발광소자를 포함하는 것을 특징으로 하는 전계발광 표시패널.

청구항 2.

제1항에 있어서, 상기 구동 박막트랜지스터는

상기 베이스 기판 상에 형성된 구동 게이트전극;

상기 구동 게이트전극을 커버하도록 상기 구동 게이트전극의 상부에 형성되며, 3족 원소의 불순물이 주입된 구동 액티브층; 및

상기 구동 액티브층의 상부에 소정의 간격으로 이격되어 형성된 구동 소스전극 및 구동 드레인전극을 포함하는 것을 특징으로 하는 전계발광 표시패널.

청구항 3.

제2항에 있어서, 상기 구동 액티브층은 구동 반도체층 및 구동 불순물층을 포함하고, 상기 3족 원소의 불순물은 상기 구동 불순물층에 주입된 것을 특징으로 하는 전계발광 표시패널.

청구항 4.

제3항에 있어서, 상기 구동 반도체층은 아몰퍼스 실리콘(a-Si)이고,

상기 구동 불순물층은 상기 3족 원소의 불순물이 고농도로 도핑된 아몰퍼스 실리콘(p+ a-Si)인 것을 특징으로 하는 전계발광 표시패널.

청구항 5.

제2항에 있어서, 상기 구동 소스전극은 상기 전원 배선으로부터 상기 단위화소 내로 연장된 것을 특징으로 하는 전계발광 표시패널.

청구항 6.

제2항에 있어서, 상기 스위칭 박막트랜지스터는

상기 베이스 기판 상에 형성된 스위칭 게이트전극;

상기 스위칭 게이트전극을 커버하도록 상기 스위칭 게이트전극의 상부에 형성되며, 3족 원소의 불순물이 주입된 스위칭 액티브층; 및

상기 스위칭 액티브층의 상부에 소정의 간격으로 이격되어 형성된 스위칭 소스전극 및 스위칭 드레인전극을 포함하는 것을 특징으로 하는 전계발광 표시패널.

청구항 7.

제6항에 있어서, 상기 스위칭 드레인전극은 상기 구동 게이트전극과 전기적으로 연결된 것을 특징으로 하는 전계발광 표시패널.

청구항 8.

제6항에 있어서, 상기 스위칭 게이트전극은 상기 게이트 배선으로부터 상기 단위화소 내로 연장되고,

상기 스위칭 소스전극은 상기 데이터 배선으로부터 상기 단위화소 내로 연장된 것을 특징으로 하는 전계발광 표시패널.

청구항 9.

제6항에 있어서, 상기 스위칭 액티브층은 스위칭 반도체층 및 스위칭 불순물층을 포함하고, 상기 3족 원소의 불순물은 상기 스위칭 불순물층에 주입된 것을 특징으로 하는 전계발광 표시패널.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 전계발광 표시패널에 관한 것으로, 전기적인 특성을 향상시킨 전계발광 표시패널에 관한 것이다.

일반적으로, 평면 표시장치에는 액정표시장치(Liquid Crystal Display), 플라즈마 표시패널(Plasma Display Panel), 필드 방사 표시장치(Field Emission Display) 및 전계발광 표시장치(Electro Luminescence Display)등이 있다. 이러한 평면 표시장치들 중 전계발광 표시장치는 복수의 단위화소들에 대응하여 복수의 전계발광소자들이 형성된 전계발광 표시패널을 포함한다.

상기 각각의 전계발광소자는 2 개의 전극들과, 상기 전극들 사이에 개재되어 상기 전극들간의 전기장에 의해 스스로 발광하는 전계발광층을 갖는다. 상기 전계발광소자는 상기 2 개의 전극들 중 적어도 하나는 투명 전극으로 형성되어 상기 전계발광층에서 발생된 광을 외부로 방출하여 영상을 표시한다. 이러한 전계발광소자는 전류구동방식에 의해 구동되어 광을 방출한다.

상기 전계발광 표시패널은 상기 전계발광소자와 전기적으로 연결되어, 상기 전계발광소자를 구동시키기 위해 적어도 두 개의 박막 트랜지스터들을 더 포함한다. 상기 각각의 박막 트랜지스터는 게이트전극, 소스전극, 드레인전극 및 액티브층을 포함한다. 여기서, 상기 액티브층은 반도체층 및 불순물층으로 이루어진다.

상기 게이트전극은 베이스 기판 상에 형성되고, 상기 소스전극 및 드레인전극은 상기 게이트전극의 상부에 서로 이격되어 형성된다. 상기 반도체층은 상기 게이트전극 및 상기 소스전극과 드레인전극 사이에 형성되고, 상기 불순물층은 상기 반도체층 및 소스전극사이와, 상기 반도체층 및 드레인전극 사이에 각각 형성된다.

일반적으로, 상기 반도체층은 아몰퍼스 실리콘(amorphous silicon, a-Si)으로 이루어지고, 상기 불순물층은 5족 원소가 불순물로 함유된 고농도 이온도핑 아몰퍼스 실리콘(highly ion doping amorphous silicon, n+ a-Si)으로 이루어진다. 즉, 상기 전계발광 표시패널에 채용된 박막 트랜지스터들은 전자(electron)가 주요 캐리어(majority carrier)로 사용되는 NMOS(N-channel metal oxide semiconductor)이다.

그러나, 상기 박막 트랜지스터가 NMOS인 경우, 상기 박막 트랜지스터는 전류구동방식에 의해 상기 전계발광소자를 구동될 때, 쉽게 열화되는 문제점이 있다. 즉, 주요 캐리어인 전자(electron)가 계속적으로 이동하여 전류를 전송할 때, 과도한 전자(electron)의 이동에 의해 상기 박막 트랜지스터가 열화될 수 있다. 이러한 박막 트랜지스터의 열화는 상기 박막 트랜지스터의 전기적인 특성을 저하시킨다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 안출된 것으로, 본 발명의 목적은 박막 트랜지스터의 열화를 방지하여 전기적인 특성을 향상시킨 전계발광 표시패널을 제공하는 것이다.

발명의 구성

상기한 본 발명의 목적을 달성하기 위해 제시되는 일 실시예에 따른 전계발광 표시패널은 베이스 기판 상에 단위화소를 정의하기 위해 데이터 배선, 전원 배선 및 게이트 배선이 형성되고, 스위칭 박막트랜지스터, 구동 박막트랜지스터 및 전계발광소자를 포함한다.

상기 스위칭 박막트랜지스터는 단위화소 내에 형성된다. 상기 구동 박막트랜지스터는 상기 단위화소 내에 형성되고, 상기 스위칭 박막트랜지스터와 전기적으로 연결되는 PMOS(P-channel metal oxide semiconductor)이다. 상기 전계발광소자는 상기 구동 박막트랜지스터와 전기적으로 연결되어 광을 발생한다.

선택적으로, 상기 구동 박막트랜지스터는 상기 베이스 기판 상에 형성된 구동 게이트전극과, 상기 구동 게이트전극을 커버하도록 상기 구동 게이트전극의 상부에 형성되며, 3족 원소의 불순물이 주입된 구동 액티브층과, 상기 구동 액티브층의 상부에 소정의 간격으로 이격되어 형성된 구동 소스전극 및 구동 드레인전극을 포함한다.

또한, 상기 스위칭 박막트랜지스터도 PMOS인 것이 바람직하고, 선택적으로 상기 베이스 기판 상에 형성된 스위칭 게이트전극과, 상기 스위칭 게이트전극을 커버하도록 상기 스위칭 게이트전극의 상부에 형성되며, 3족 원소의 불순물이 주입된 스위칭 액티브층과, 상기 스위칭 액티브층의 상부에 소정의 간격으로 이격되어 형성된 스위칭 소스전극 및 스위칭 드레인전극을 포함한다.

이러한 본 발명에 따르면, 전계발광 표시패널에 채용되는 박막 트랜지스터가 전공이 주요 캐리어인 PMOS로 구성됨으로써, 전류 데이지에 의해 박막트랜지스터가 열화되는 것을 억제하여, 박막트랜지스터의 전기적인 특성의 저하를 보다 방지할 수 있다.

이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하기로 한다.

도 1은 본 발명의 일 실시예에 따른 전계발광 표시패널 중 단위화소를 도시한 평면도이고, 도 2는 도 1의 단위화소를 개념적으로 도시한 회로도이다.

도 1 및 도 2를 참조하면, 본 실시예에 의한 전계발광 표시패널(100)은 평면적으로 보았을 때, 데이터 배선(DL), 게이트 배선(GL), 전원 배선(VL), 전계발광소자(ELD), 스위칭 박막트랜지스터(TFT1), 구동 박막트랜지스터(TFT2) 및 스토리지 커패시터(SC)를 포함한다.

데이터 배선(DL)은 제1 방향으로 길게 연장되어 형성되고, 제2 방향을 따라 복수개가 병렬로 형성된다. 데이터 배선(DL)은 스위칭 박막트랜지스터(TFT1)와 전기적으로 연결되어 데이터 신호를 인가한다.

게이트 배선(GL)은 데이터 배선(DL)과 교차되도록 제2 방향으로 길게 형성되고, 제1 방향을 따라 복수개가 병렬로 형성된다. 제1 방향은 일례로, 제2 방향과 서로 수직하다. 이때, 데이터 배선(DL)들 및 게이트 배선(GL)들이 서로 교차되도록 형성됨에 따라, 복수의 단위화소들이 정의된다. 상기 단위화소들의 각각에는 전계발광소자(ELD), 스위칭 박막트랜지스터(TFT1), 구동 박막트랜지스터(TFT2) 및 스토리지 커패시터(SC)가 형성된다.

전원 배선(VL)은 데이터 배선(DL)과 평행하게 형성되며, 예를 들어 데이터 배선(DL)과 제2 방향의 반대방향으로 소정거리 이격되어 형성된다. 전원 배선(VL)은 구동 박막트랜지스터(TFT2)와 전기적으로 연결되어 구동전류를 인가한다.

전계발광소자(ELD)는 전기장에 의해 스스로 광을 발생한다. 전계발광소자(ELD)는 상기 단위화소별로 서로 다른 광을 발생할 수 있고, 일레로, 적색광, 녹색광 및 청색광을 발생한다. 전계발광소자(ELD)는 양극전극(PE), 전계발광층(EL) 및 음극전극(미도시)을 포함하고, 이때, 양극전극(PE) 및 상기 음극전극 사이로 전계발광층(EL)이 형성된다.

양극전극(PE)은 상기 단위화소 내에 형성되고, 구동 박막트랜지스터(TFT2)와 전기적으로 연결된다. 양극전극(PE)은 구동 박막트랜지스터(TFT2)로부터 구동전류를 인가받아, 양극전극(PE) 및 상기 음극전극 사이로 전기장을 발생시킨다. 양극전극(PE)은 도전성 물질로 이루어지고, 일레로, 금(Au) 또는 은(Ag)을 포함한다.

전계발광층(EL)은 양극전극(PE)의 상부에 형성되고, 두 전극 사이에 형성된 전기장에 의해 광을 발생시킨다. 전계발광층(EL)은 일레로, 유기 전계발광물질로 이루어지고, 정공 주입층, 정공 수송층, 발광층, 전자 주입층 및 전자 수송층을 포함할 수 있다.

상기 유기 전계발광물질은 일레로, 폴리페닐비닐렌(polyphenylvinylene) 유도체 또는 폴리플루오렌(polyfluorene) 유도체와 같은 고분자 발광체이다. 상기 유기 전계발광물질에는 적색광을 발생하는 적색 전계발광물질, 녹색광을 발생하는 녹색 전계발광물질 및 청색광을 발생하는 청색 전계발광물질 등이 있을 수 있다.

상기 음극전극은 전계발광층(EL)의 상부에 형성되면서 기관의 전면에 형성된다. 상기 음극전극은 외부로부터 공통전압을 인가받아, 양극전극(PE) 및 상기 음극전극 사이로 전기장을 발생시킨다.

상기 음극전극은 투명하면서 도전성 물질로 이루어지고, 일레로 산화주석인듐 박막(ITO), 산화아연인듐 박막(IZO), 아몰퍼스 산화주석인듐 박막(a-ITO) 등을 사진-식각 공정에 의하여 패터닝되어 형성된다. 이때, 본 실시예에서는, 상기 음극전극만이 투명하면서 도전성 물질로 이루어지는 것으로 설명하였으나, 이와 다르게 양극전극(PE) 및 상기 음극전극 모두 투명한 도전성 물질로 이루어지거나, 또는 상기 양극전극만이 투명함 도전성 물질로 이루어질 수 있다.

전계발광소자(ELD)에서 광이 발생하는 원리를 간단히 설명하면, 양극전극(PE)은 구동 박막트랜지스터(TFT2)로부터 구동전류를 인가받고, 상기 음극전극은 외부로부터 공통전압을 인가받는다. 구체적으로 예를 들면, 양극전극(PE)은 상기 구동전류에 의해 정공을 공급받고, 상기 음극전극은 상기 공통전압에 의해 전자를 공급받는다.

양극전극(PE)에 공급된 정공 및 상기 음극전극에 공급된 전자는 두 전극 사이에서 발생된 전기장에 의해 전계발광층(EL) 내에서 서로 결합된다. 상기 정공 및 전자가 전계발광층(EL) 내에서 서로 결합되면, 여기상태(excited state)의 분자인 여기자(excitron)가 생성되고, 상기 여기자는 기저상태(ground state)의 분자로 변하면서 광을 발생한다.

스위칭 박막트랜지스터(TFT1)는 상기 단위화소 내에 형성되며, 스위칭 게이트전극(GE1), 스위칭 소스전극(SE1), 스위칭 드레인전극(DE1) 및 스위칭 액티브층(AT1)을 포함한다.

스위칭 게이트전극(GE1)은 게이트 배선(GL)으로부터 제1 방향으로 연장되어 형성된다. 스위칭 소스전극(SE1)은 데이터 배선(DL)으로부터 제2 방향으로 연장되어, 스위칭 게이트전극(GE1)의 일부와 겹치도록 형성된다. 스위칭 드레인전극(DE1)은 스위칭 소스전극(SE1)과 마주보도록 스위칭 소스전극(SE1)으로부터 소정거리 이격되어 형성되고, 스위칭 게이트전극(GE1)의 일부와 겹치도록 형성된다. 스위칭 드레인전극(DE1)은 제2 방향으로 길게 연장되어 형성되고, 제1 콘택홀(122)을 통해 구동 박막트랜지스터(TFT2)의 구동 게이트전극(GE2)과 전기적으로 연결된다.

구동 박막트랜지스터(TFT2)는 상기 단위화소 내에 형성되며, 구동 게이트전극(GE2), 구동 소스전극(SE2), 구동 드레인전극(DE2) 및 구동 액티브층(AT2)을 포함한다.

구동 게이트전극(GE2)은 스위칭 드레인전극(DE1)과 제1 콘택홀(122)을 통해 전기적으로 연결되고, 제1 방향으로 연장되어 형성된다. 구동 소스전극(SE2)은 전원 배선(VL)으로부터 제2 방향의 반대방향으로 연장되어, 구동 게이트전극(GE2)의 일부와 겹치도록 형성된다. 구동 드레인전극(DE2)은 구동 소스전극(SE2)과 마주보도록 구동 소스전극(SE2)으로부터 소정거리 이격되어 형성되고, 구동 게이트전극(GE2)의 일부와 겹치도록 형성된다. 구동 드레인전극(DE2)은 제2 방향의 반대방향으로 길게 연장되어 형성되고, 제2 콘택홀(132)을 통해 전계발광소자(ELD)의 양극전극(PE)과 전기적으로 연결된다.

스토리지 커패시터(SC)는 상기 단위화소 내에 형성되어, 구동 게이트전극(GE2)에 인가된 구동전압을 유지시킨다. 스토리지 커패시터(SC)는 제1 전극 및 제2 전극으로 이루어진다. 이때, 상기 제1 전극은 제2 방향으로 연장된 구동 게이트전극(GE2)이고, 상기 제2 전극은 전원 배선(VL)이다.

본 실시예에 따른 스위칭 박막트랜지스터(TFT1) 및 구동 박막트랜지스터(TFT2)는 PMOS(P-channel metal oxide semiconductor)이다. 즉, 스위칭 박막트랜지스터(TFT1) 및 구동 박막트랜지스터(TFT2)는 전공(electric hole)을 주요 캐리어(majority carrier)로 사용한다. 따라서, 스위칭 게이트전극(GE1) 및 구동 게이트전극(GE2)으로 음(-)전압이 인가되면, 스위칭 액티브층(AT1) 및 구동 액티브층(AT2) 내에 전공이 이동할 수 있는 채널층이 형성된다.

스위칭 박막트랜지스터(TFT1) 및 구동 박막트랜지스터(TFT2)의 동작방법을 간단히 설명하면, 스위칭 게이트전극(GE1)으로 음(-)전압이 인가되면, 데이터 배선(DL)을 통해 스위칭 소스전극(SE1)에 인가된 구동전압은 스위칭 액티브층(AT1) 내에 형성된 채널층을 경유하여 스위칭 드레인전극(DE1)으로 인가된다. 상기 구동전압은 스위칭 드레인전극(DE1)과 전기적으로 연결된 구동 게이트전극(GE2)에 인가된다.

이때, 상기 구동전압이 음(-)전압일 경우, 상기 구동전압은 스토리지 커패시터(SC)에 유지되면서 구동 액티브층(AT2) 내에 채널층을 형성시킨다. 상기 채널층은 구동 소스전극(SE2) 및 구동 드레인전극(DE2)을 서로 전기적으로 연결시켜, 전원 배선(VL)의 구동전류를 구동 드레인전극(DE2)으로 인가시킨다. 즉, 전원 배선(VL)의 정공은 구동 액티브층(AT2) 내에 형성된 채널층을 통해 구동 드레인전극(DE2)으로 인가된다.

도 3은 도 1의 I-I'라인을 따라서 절단한 단면도이다.

도 2 및 도 3을 참조하면, 본 실시예에 의한 전계발광 표시패널(100)은 단면적으로 보았을 때, 베이스 기판(110), 게이트 배선(GL), 게이트 절연층(120), 데이터 배선(DL), 전원 배선(VL), 스위칭 박막트랜지스터(TFT1), 구동 박막트랜지스터(TFT2), 패시베이션층(130), 뱅크층(140) 및 전계발광소자(ELD)를 포함한다.

이때, 스위칭 박막트랜지스터(TFT1)는 스위칭 게이트전극(GE1), 스위칭 소스전극(SE1), 스위칭 드레인전극(DE1) 및 스위칭 액티브층(AT1)을 포함하고, 구동 박막트랜지스터(TFT2)는 구동 게이트전극(GE2), 구동 소스전극(SE2), 구동 드레인전극(DE2) 및 구동 액티브층(AT2)을 포함한다.

베이스 기판(110)은 플레이트 형상을 갖고, 투명한 물질로 이루어진다. 베이스 기판(110)은 유리(Glass), 석영(Quartz) 및 투명한 합성수지로 이루어진다. 상기 투명한 합성수지는 일례로, 트리아세틸셀룰로오스(Triacetylcellulose; TAC), 폴리 카보네이트(Polycarbonate; PC), 폴리에테르설폰(Polyethersulfone; PES), 폴리에틸렌테라프탈레이트(Polyethyleneterephthalate; PET), 폴리에틸렌나프탈레이트(Polyethylenenaphthalate; PEN), 폴리비닐알콜(Polyvinylalcohol; PVA), 폴리메틸메타아크릴레이트(Polymethylmethacrylate; PMMA), 싸이클로올핀 폴리머(Cyclo-Olefin Polymer; COP) 또는 이들의 결합으로 이루어질 수 있다.

게이트 배선(GL)은 제2 방향으로 베이스 기판(110) 상에 형성되고, 스위칭 게이트전극(GE1)은 게이트 배선(GL)으로부터 제1 방향으로 연장되어 형성된다. 구동 게이트전극(GE2)은 제1 방향으로 소정의 길이로 연장되어 형성된다.

게이트 절연층(120)은 게이트 배선(GL), 스위칭 게이트전극(GE1) 및 구동 게이트전극(GE2)을 덮도록 베이스 기판(110) 상에 형성된다. 게이트 절연층(120)은 일례로, 산화 실리콘 또는 질화 실리콘 등의 투명한 절연성 물질로 이루어진다. 게이트 절연층(120)에는 구동 게이트전극(GE2) 및 스위칭 드레인전극(DE1)을 전기적으로 연결시키기 위해 제1 콘택홀(122)이 형성된다.

데이터 배선(DL)은 제1 방향으로 연장되어 게이트 절연층(120) 상에 형성되고, 스위칭 소스전극(SE1)은 데이터 배선(DL)으로부터 제2 방향으로 연장되어 형성된다.

전원 배선(VL)은 데이터 배선(DL)과 평행하게 게이트 절연층(120) 상에 형성되고, 구동 소스전극(SE2)은 전원 배선(VL)으로부터 제2 방향으로 반대방향으로 연장되어 형성된다.

스위칭 액티브층(AT1)은 스위칭 게이트전극(GE1)을 가로지르도록 게이트 절연층(120) 상에 형성되고, 구동 액티브층(AT2)은 구동 게이트전극(GE2)을 가로지르도록 게이트 절연층(120) 상에 형성된다. 이때, 스위칭 액티브층(AT1)은 제1 반도체층(AT1-a) 및 제1 불순물층(AT1-b)을 포함하고, 구동 액티브층(AT2)은 제2 반도체층(AT2-a) 및 제2 불순물층(AT2-b)을 포함한다.

제1 반도체층(AT1-a)은 스위칭 게이트전극(GE1)을 가로지르도록 게이트 절연층(120) 상에 형성되며, 일례로, 아몰퍼스 실리콘(amorphus silicon, a-Si)이다.

제1 불순물층(AT1-b)은 제1 반도체층(AT1-a) 상에 형성되고, 중간부위가 제거되어 두 부분으로 분리된다. 제1 불순물층(AT1-b)은 고농도 이온도핑 아몰퍼스 실리콘(highly ion doping amorphus silicon, p+ a-Si)이고, 3족 원소가 불순물로 주입되어 형성된다. 즉, 제1 불순물층(AT1-b)은 내부에 고농도의 전공을 포함하고 있는 실리콘 화합물이다. 이때, 상기 3족 원소에는 붕소(B), 갈륨(Ga) 및 인듐(In) 등이 있다.

예를 들어 제1 불순물층(AT1-b)의 형성과정을 간단히 설명하면, 3족 원소의 가스가 반응챔버 내에 유입되면, 플라즈마에 의해 이온화되어 3족 원소의 이온이 발생되고, 상기 3족 원소의 이온은 제1 반도체층(AT1-a) 상에 증착되어 제1 불순물층(AT1-b)을 형성시킨다.

또한, 제2 반도체층(AT2-a)은 구동 게이트전극(GE2)을 가로지르도록 게이트 절연층(120) 상에 형성되며, 일례로, 아몰퍼스 실리콘(amorphus silicon, a-Si)이다.

제2 불순물층(AT2-b)은 제2 반도체층(AT2-a) 상에 형성되고, 중간부위가 제거되어 두 부분으로 분리된다. 제2 불순물층(AT2-b)은 3족 원소가 불순물로 주입된 고농도 아몰퍼스 실리콘(highly ion doping amorphus silicon, p+ a-Si)이다.

스위칭 소스전극(SE1)은 데이터 배선(DL)으로부터 연장되어 제1 불순물층(AT1-b)의 일부의 상면에 형성된다. 스위칭 드레인전극(DE1)은 스위칭 소스전극(SE1)으로부터 소정거리 이격되어 제1 불순물층(AT1-b)의 다른 일부의 상면에 형성된다. 스위칭 드레인전극(DE1)은 길게 연장되어 게이트 절연층(120) 상에 형성된다. 스위칭 드레인전극(DE1)은 제1 콘택홀(122)을 통해 구동 게이트전극(GE2)과 전기적으로 연결된다.

또한, 구동 소스전극(SE2)은 전원 배선(VL)으로부터 연장되어 제2 불순물층(AT2-b)의 일부의 상면에 형성된다. 구동 드레인전극(DE2)은 구동 소스전극(SE2)으로부터 소정거리 이격되어 제2 불순물층(AT2-b)의 일부의 상면에 형성된다. 구동 드레인전극(DE2)은 길게 연장되어 게이트 절연층(120) 상에 형성된다. 구동 드레인전극(DE2)은 패시베이션층(130)의 제2 콘택홀(132)을 통해 양극전극(PE)과 전기적으로 연결된다.

스위칭 소스전극(SE1), 스위칭 드레인전극(DE1), 구동 소스전극(SE2) 및 구동 드레인전극(DE2)은 예를 들어, 전도성 물질인 몰리브덴, 구리, 은, 알루미늄, 크롬, 탄타늄, 티타늄 등을 포함할 수 있고, 알루미늄(Al) 및 몰리브덴(Mo)의 이중층으로 이루어지는 것이 바람직하다.

패시베이션층(130)은 스위칭 박막트랜지스터(TFT1) 및 구동 박막트랜지스터(TFT2)를 덮도록 게이트 절연층(120) 상에 형성되어, 스위칭 박막트랜지스터(TFT1) 및 구동 박막트랜지스터(TFT2)를 외부의 열이나 습기로부터 보호한다. 패시베이션층(130)에는 구동 드레인전극(DE2)과 양극전극(PE)을 전기적으로 연결시키기 위한 제2 콘택홀(532)이 형성된다. 패시베이션층(130)은 일례로, 투명한 산화 실리콘(SiO₂)으로 이루어진다.

양극전극(PE)은 상기 단위화소 내의 게이트 절연층(120) 상에 형성되고, 제2 콘택홀(132)을 통해 구동 드레인전극(DE2)과 전기적으로 연결된다.

뱅크층(140)은 일례로, 투명한 유기막으로 이루어지고, 패시베이션층(130) 상에 형성된다. 뱅크층(140)에는 양극전극(PE)의 상부로 발광홀(142)이 형성된다. 전계발광층(EL)은 뱅크층(140)에 형성된 발광홀(142) 내에 형성된다.

음극전극(NE)은 전계발광층(EL)의 상면 및 뱅크층(540)의 상면에 접하도록 기판 전면에 형성된다.

본 실시예에 따르면, 스위칭 박막트랜지스터(TFT1) 및 구동 박막트랜지스터(TFT2)가 전공을 주요 캐리어로 이용하는 PMOS로 형성됨에 따라, 전자를 주요 캐리어로 사용할 때 발생하는 열화를 방지할 수 있다.

일반적으로, 전자의 이동도(mobility)는 전공의 이동도보다 크다. 즉, 동일한 전압이 상기 박막트랜지스터(TFT1, TFT2)들 사이에 걸렸을 때, 전자는 전공보다 빠른 속도로 이동한다. 결국, 동일한 시간동안 동일한 전압을 상기 박막트랜지스터(TFT1, TFT2)들 사이에 인가하였을 때, 전자가 과도한 양으로 이동될 수 있고, 이러한 과도한 전자의 이동은 전류 데미지(current damage)로 작용하여 상기 박막트랜지스터(TFT1, TFT2)들을 열화시킨다.

이와 같은 열화를 방지하기 위해, 본 실시예에 의한 스위칭 박막트랜지스터(TFT1) 및 구동 박막트랜지스터(TFT2)는 전자가 주요 캐리어인 NMOS가 아니라, 전공이 주요 캐리어인 PMOS로 구성된다. 즉, 전공이 전자보다 이동도가 적기 때문에, 상기 박막트랜지스터(TFT1, TFT2)를 PMOS로 구성할 경우, 전류 데미지(current damage)에 의한 상기 박막트랜지스터(TFT1, TFT2)들의 열화를 보다 억제할 수 있다.

발명의 효과

이와 같은 본 발명에 의하면, 전계발광 표시패널에 채용되는 박막 트랜지스터가 전공이 주요 캐리어인 PMOS로 구성됨으로써, 구동전류가 과도하게 흐름에 따라 발생하는 전류 데미지를 보다 억제할 수 있다. 그로 인해, 전류 데미지에 의해 박막트랜지스터가 열화되는 것을 억제하여, 박막트랜지스터의 전기적인 특성의 저하를 보다 방지할 수 있다.

앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 전계발광 표시패널 중 단위화소를 도시한 평면도이다.

도 2는 도 1의 단위화소를 개념적으로 도시한 회로도이다.

도 3은 도 1의 I-I'라인을 따라서 절단한 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 전계발광 표시패널 110 : 베이스 기판

120 : 게이트 절연층 122 : 제1 콘택홀

130 : 패시베이션층 132 : 제2 콘택홀

140 : बैं크층 142 : 발광홀

GL : 게이트 배선 DL : 데이터 배선

TFT1 : 스위칭 박막트랜지스터 GE1 : 스위칭 게이트전극

SE1 : 스위칭 소스전극 DE1 : 스위칭 드레인전극

AT1 : 스위칭 액티브층 AT1-a : 스위칭 반도체층

AT1-b : 스위칭 불순물층 TFT2 : 구동 박막트랜지스터

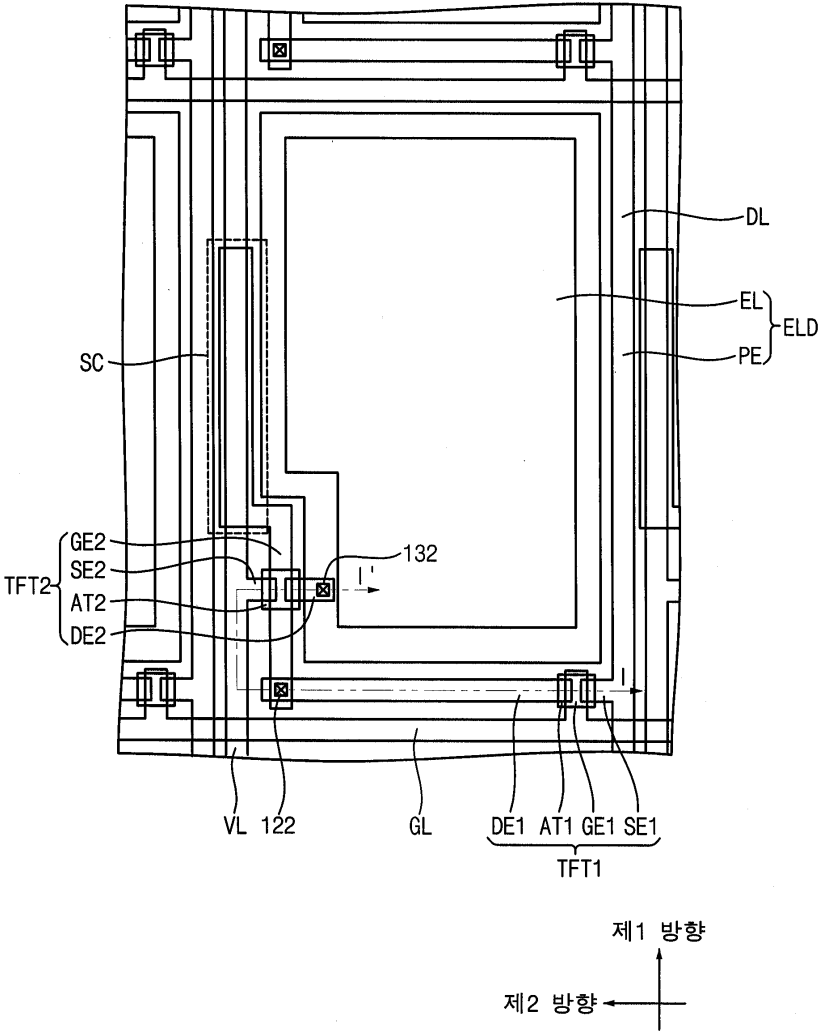
ELD : 전계발광소자 EL : 전계발광층

PE : 양극전극 NE : 음극전극

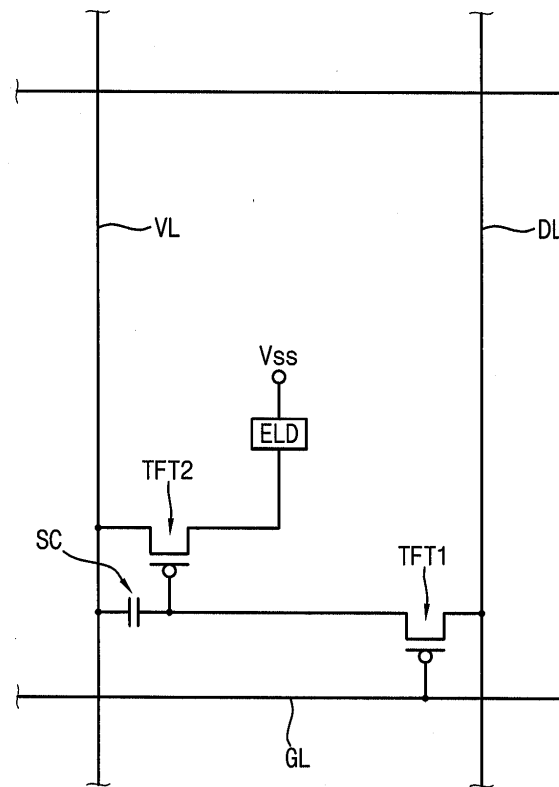
도면

도면1

100

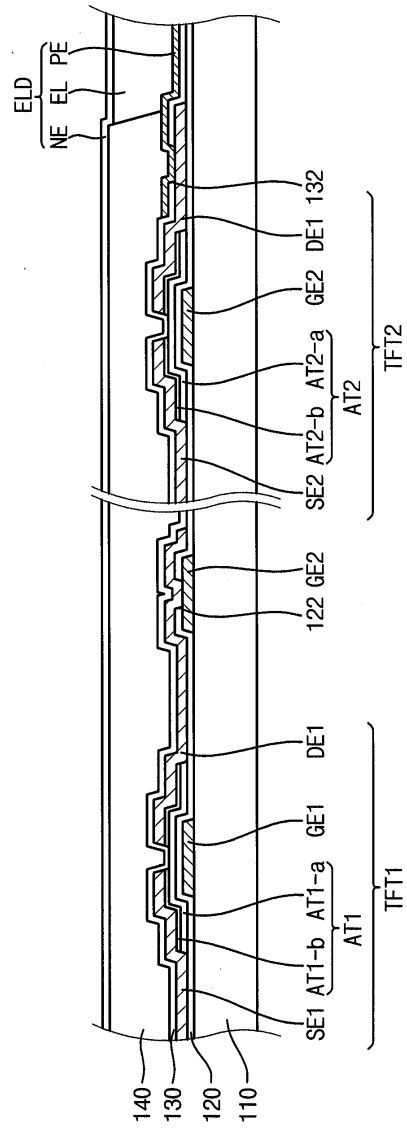


도면2



도면3

100



专利名称(译)	电致发光显示板		
公开(公告)号	KR1020070044871A	公开(公告)日	2007-05-02
申请号	KR1020050101098	申请日	2005-10-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	YI CHUNG		
发明人	YI CHUNG		
IPC分类号	H05B33/00 H01L29/786		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种改善电性能的电致发光显示板。电致发光显示面板包括数据线，单位像素的电源线限定在基底基板，开关薄膜晶体管和形成栅极布线的驱动薄膜晶体管，以及电致发光器件。开关薄膜晶体管形成在单位像素内。驱动薄膜晶体管可以是与在单位像素内形成的开关薄膜晶体管电连接的PMOS (P沟道金属氧化物半导体)。电致发光器件与驱动薄膜晶体管电连接并产生光。以这种方式，在电致发光显示板中采用的薄膜晶体管由PMOS组成，其中电孔是主要载流子。以这种方式，它控制薄膜晶体管随电流Dage降级。可以更加防止薄膜晶体管的电特性的劣化。半导体层，杂质层和III族元素。

