

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H05B 33/26 (2006.01)  
H05B 33/10 (2006.01)

(11) 공개번호 10-2006-0028395  
(43) 공개일자 2006년03월29일

(21) 출원번호 10-2005-7022848  
(22) 출원일자 2005년11월29일  
    번역문 제출일자 2005년11월29일  
(86) 국제출원번호 PCT/JP2004/009790 (87) 국제공개번호 WO 2005/004550  
    국제출원일자 2004년07월02일      국제공개일자 2005년01월13일

(30) 우선권주장 JP-P-2003-00192892 2003년07월07일 일본(JP)

(71) 출원인 파이오니아 가부시키키가이샤  
일본 도쿄도 메구로구 메구로 1초메 4반 1고

(72) 발명자 나가야마 켄이치  
일본 3502288 사이타마 츠루가시마시 후지미 6-1-1 파이오니아가부시  
키가이샤 소고 겐큐쇼 내  
미야구치 사토시  
일본 3502288 사이타마 츠루가시마시 후지미 6-1-1 파이오니아가부시  
키가이샤 소고 겐큐쇼 내

(74) 대리인 백덕열

심사청구 : 있음

(54) 유기 일렉트로 루미네스스 표시 패널 및 그 제조 방법

요약

유기 일렉트로 루미네스스 표시 패널은 각각이 제1 및 제2 표시 전극 및 상기 제1 및 제2 표시 전극 간에 협지 또한 적층된 적어도 1층의 유기화합물로 이루어지는 발광층을 포함하는 유기 기능층으로 된 복수의 유기 일렉트로 루미네스스 소자, 및 상기 복수의 유기 일렉트로 루미네스스 소자를 지지하는 기판을 포함한다. 제1 및 제2 표시전극 중 적어도 하나는 복수의 유기 일렉트로 루미네스스 소자에 공통으로 형성된 공통층으로 되고, 공통층이 유기 일렉트로 루미네스스 소자에 대응하는 저저항부 및 저저항부에 접합되어 그 보다 높은 저항율을 갖는 고저항부로 된다.

대표도

도 5

명세서

기술분야

본 발명은 전류의 주입에 의해 발광하는 일렉트로 루미네스스를 형성하는 유기 화합물 재료로 이루어지는 발광층을 포함하는 하나 이상의 박막(이하, 유기 기능층이라 함)을 구비한 유기 일렉트로 루미네스스 소자(이하, 유기 EL 소자라 함)에 관한 것으로, 특히, 복수의 유기 EL 소자가 기판상에 형성된 유기 일렉트로 루미네스스 표시 패널(이하, 유기 EL 표시 패널이라 함)에 관한 것이다.

### 배경기술

유기 EL 소자는, 발광층을 포함하는 유기 기능층을 표시 전극인 양극 및 음극 사이에 협지한 형태로 기본적으로 구성되고, 양전극으로부터 주입된 전자와 정공이 재결합 시의 여기자가 여기 상태에서부터 기저 상태로 복귀하여 광을 발생시킨다. 예컨대, 도1에 나타낸 바와 같이, 투명 기관(1) 위에, 양극의 투명 전극(2)과, 유기 기능층(3)과, 음극의 금속 전극(4)이 순차적으로 적층되어 유기 EL 소자가 구성되고, 투명 기관 측에서 발광을 얻는다. 발광을 추출하기 위해, 양극, 음극 중 적어도 어느 하나는, 투명 또는 반투명할 필요가 있다. 유기 기능층(3)은, 예컨대, 도1에 나타낸 바와 같이, 투명 전극(2) 측으로부터 적층된 정공 주입층(31) / 정공 수송층(32) / 발광층(33) / 전자 운송층(34) 등, 각각의 기능을 가진 복수의 층으로 이루어진다.

이와 같은 유기 EL 소자를 복수 설치하여 복잡한 표시를 가능하게 할 수 있다. 예컨대, 매트릭스 표시 타입의 유기 EL 표시 패널이나, 소정 발광 패턴을 갖는 것이 알려져 있다.

도2는, 일례로서 제1 표시 전극(2)을 평행하게 늘어놓은 복수의 유기 EL 소자(제2 표시 전극)(4)는 복수의 제1 표시 전극(2)에 직교하고 있다)로 이루어지는 유기 EL 표시 패널의 부분 단면도를 나타낸다. 제1 표시 전극(2)과 제2 표시 전극(4)(이하, 단지, 제1 전극, 제2 전극이라 함)에 협지된 유기 기능층(3)의 막 두께는 통상, 100nm~1 $\mu$ m정도로 대단히 얇기 때문에, 도2에 나타낸 바와 같은 전극의 에지부 ED에서는 전계 집중이 발생되고, 최악의 경우, 유기 기능층(3)의 절연 파괴가 발생되고, 제1 전극(2)과 제2 전극(4)이 단락(이하, 간단하게, 쇼트라 함)되어 버린다.

쇼트의 문제를 개선하는 방법이, 예컨대, 일본 공개 특허 공보 제2002-25781 호 및 일본 공개 특허 공보 제2002-246173 호(이하, 각각 특허 문헌 1 및 2라 함) 등에 개시되어 있다.

특허 문헌 1의 기술에서는, 도3과 같이 제1 전극(2)간의 스페이스부에 절연 유기층(5)을 형성하고 있다. 이와 같이 하여 제1 전극(2)의 에지를 절연 유기층(5)으로 덮으면, 쇼트는 발생되기 어려워진다. 또한, 특허 문헌 1은, 종래의 폴리이미드 막 등을 이용하는 경우의 결점을 지적하고, 절연 유기층(5)을 유기 기능층(3)의 형성법과 같은 마스크 증착으로 행하는 것에 의해 제1 전극(2), 절연 유기층(5), 유기 기능층(3), 제2 전극(4)을, 대기로 노출하지 않고 진공 일관 공정으로 제조하는 것을 제안하고 있다.

특허 문헌 2에서는, 제1 전극을 패터닝하는 레지스트 패턴을 이용하여, 아모르퍼스 카본 등을 제1 전극 간에 충전하도록 하여 형성하고, 제1 전극의 단차를 작게 하고, 쇼트를 방지하는 방법을 개시하고 있다.

### 발명의 상세한 설명

그러나, 도2와 같은 구조에서는, 특허 문헌 1이 지적하는 바와 같이, 제1 전

극(2)의 에지 부분 ED에 쇼트가 발생된다고 하는 문제가 있었다.

도3과 같이 절연 유기층(5)을 형성하는 구조에서는, 절연층 재료로서 폴리이미드 등을 포토리소그래피로 형성하면, 특허 문헌 1이 지적하는 바와 같이, 공정이 복잡하게 되거나, 절연 유기층(5) 중의 미량 수분이 소자에 악영향을 미치게 하고, 다크 스폿이 확대되는, 등의 문제를 일으켰다. 또한, 도3과 같이 제1 전극(2)과 절연 유기층(5)이 겹치는 부분 OL 만으로 발광 영역이 좁아지고, 개구율이 저하하고, 고휘도 디스플레이를 실현하는 것이 곤란하게 된다.

특허 문헌 1이 제안하는 바와 같이, 절연층을, 대기로 노출하지 않고 진공 일관 공정으로, 유기 기능층과 같이 마스크 증착에 의해 형성하면, 다크 스폿 확대되는 문제는 해결할 수 있다. 그러나, 유기 EL 소자에 불가결한, 제1 전극, 유기 기능층, 제2 전극 이외에 다른 재료로 절연층을 형성하여야 하고, 공정이 복잡하게

되는 문제와, 개구율이 저하하는 문제가 남는다. 또한, 마스크 증착 등, 대기에 노출하지 않고 진공 일관 공정으로 행하는 것이 가능한 절연막의 패턴 형성 방법은, 포토리소그라피등 진공 외의 공정을 포함하는 형성 방법에 비해, 패턴 정밀도가 떨어지고, 화소가 작아지고, 고정세 디스플레이를 실현하는 것도 곤란하다.

특히 문헌2가 제안하는 바와 같이, 제1 전극 간을 아모르퍼스 카본 등으로 충전하는 방법은, 제1 전극의 표면과, 충전하는 막의 표면이, 거의 동일 평면으로 되도록 평탄하게 형성하면, 쇼트 방지 효과는 대단히 높다. 그러나 실제로는, 제1 전극을 에칭할 때, 사이드 에칭이 발생되어 제1 전극의 폭이 가늘게 되고, 도4에 나타낸 바와 같이, 제1 전극(2)과 충전하는 아모르퍼스 카본 막(6) 사이에 간격 G가 발생되기 쉽다. 또한, 충전하는 아모르퍼스 카본 막(6)을, 제1 전극(2)과 완전 동일한 막 두께로 제어하는 것은 곤란하고, 제1 전극의 단차를 완전하게 없애는 것은 거의 불가능하다. 이러한 문제는, 특히 기판이 대형화하면 현저하게 된다. 만일, 사이드 에칭, 막 두께의 제어 등의 문제를 해결하고, 이상적인 상태를 형성할 수 있다면, 다른 재료의 아모르퍼스 카본에 절연층을 형성하지 않으면 안되는 것은, 특허 문헌 1과 마찬가지로, 공정이 복잡하게 되어 버린다.

또한, 상기한 바와 같은 구조에서는, 제1 전극 패턴, 절연막 패턴 등에 의해 각각 단차가 생기고, 소자를 보호막에 의해 봉입하는 경우, 단차 부분에서 보호막이 불완전하게 형성되기 쉬어지고, 소자 제조의 수율이 악화되거나, 소자의 내구성이 감소하는 경우가 있었다.

따라서, 본 발명이 해결하려고 하는 과제에는, 유기 EL 소자의 전극 에지 부분의 단차를 해소한 유기 EL 표시 패널 및 그 제조 방법을 제공하는 것이 예로서 되어 있다.

청구항1 기재의 유기 일렉트로 루미네스스 표시 패널은, 각각이 제1 및 제2 표시 전극 및 상기 제1 및 제2 표시 전극 간에 협지 또한 적층된 적어도 1층의 유기화합물로 이루어지는 발광층을 포함하는 유기 기능층으로 된 복수의 유기 일렉트로 루미네스스 소자, 및 상기 복수의 유기 일렉트로 루미네스스 소자를 지지하는 기판을 포함하는 유기 일렉트로 루미네스스 표시 패널에 있어서, 상기 제1 및 제2 표시 전극 중 적어도 하나의 전극은 상기 복수의 유기 일렉트로 루미네스스 소자에 공통으로 형성된 공통층으로 이루어지고, 상기 공통층이 상기 유기 일렉트로 루미네스스 소자에 대응하는 저저항부와 상기 저저항부에 접합되어 그 저저항부 보다 높은 저항을 갖는 고저항부를 포함하는 것을 특징으로 한다.

청구항9 기재의 유기 일렉트로 루미네스스 표시 패널의 제조 방법은, 각각이 제1 및 제2 표시 전극 및 상기 제1 및 제2 표시 전극 간에 협지 또한 적층된 적어도 1층의 유기화합물로 이루어지는 발광층을 포함하는 유기 기능층으로 된 복수의 유기 일렉트로 루미네스스 소자, 및 상기 복수의 유기 일렉트로 루미네스스 소자를 지지하는 기판을 포함하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법에 있어서, 도전성을 갖는 공통층을 형성하는 공정, 및 상기 공통층의 저항을 보다 높은 저항을 갖는 고저항부를 부분적으로 생성하고, 상기 고저항부 보다 낮은 저항을 갖는 저저항부를 한정하여, 상기 저저항부를 상기 제1 및 제2 표시 전극 중 적어도 하나로서 형성하는 고저항화 처리 공정을 포함하는 것을 특징으로 한다.

청구항13 기재의 유기 일렉트로 루미네스스 표시 패널의 제조 방법은, 각각이 제1 및 제2 표시 전극 및 상기 제1 및 제2 표시 전극 간에 협지 또한 적층된 적어도 1층의 유기화합물로 이루어지는 발광층을 포함하는 유기 기능층으로 된 복수의 유기 일렉트로 루미네스스 소자, 및 상기 복수의 유기 일렉트로 루미네스스 소자를 지지하는 기판을 포함하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법에 있어서, 도전성을 갖는 공통층을 형성하는 공정, 및 상기 공통층의 저항을 보다 낮은 저항을 갖는 저저항부를 부분적으로 생성하고, 상기 저저항부 보다 높은 저항을 갖는 고저항부를 한정하여, 상기 저저항부를 상기 제1 및 제2 표시 전극 중 적어도 하나로서 형성하는 저저항화 처리 공정을 포함하는 것을 특징으로 한다.

청구항17 기재의 유기 일렉트로 루미네스스 표시 패널의 제조 방법은, 각각이 제1 및 제2 표시 전극 및 상기 제1 및 제2 표시 전극 간에 협지 또한 적층된 적어도 1층의 유기화합물로 이루어지는 발광층을 포함하는 유기 기능층으로 된 복수의 유기 일렉트로 루미네스스 소자, 및 상기 복수의 유기 일렉트로 루미네스스 소자를 지지하는 기판을 포함하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법에 있어서, 고저항인 공통층을 형성하는 공정,

상기 공통층의 저항을 보다 높은 저항을 갖는 고저항부를 부분적으로 생성하여, 상기 고저항부 보다 낮은 저항을 갖는 저저항부를 한정하는 고저항화 처리 공정, 및

상기 저저항부에 있어서 상기 공통층의 저항을 보다 낮은 저항을 갖는 제2 저저항부를 부분적으로 생성하여, 상기 제2 저저항부를 상기 제1 및 제2 표시 전극 중 적어도 하나로서 형성하는 저저항화 처리 공정을 포함하는 것을 특징으로 한다.

## 도면의 간단한 설명

도1은 유기 EL 소자를 개략적으로 나타낸 단면도이다.

도2 및 도3은 유기 EL 표시 패널을 대략적으로 나타낸 부분 단면도이다.

도4는 유기 EL 표시 패널 제조 공정에서의 유기 EL 표시 패널의 일부를 개략적으로 나타낸 부분 단면도이다.

도5는 본 발명에 따른 제1 실시예의 유기 EL 표시 패널을 대략적으로 나타낸 부분 단면도이다.

도6은 본 발명에 따른 실시예의 유기 EL 표시 패널 제조 공정에서의 유기 EL 표시 패널의 일부를 개략적으로 나타낸 부분 단면도이다.

도7 내지 도10은 본 발명에 따른 다른 실시예의 유기 EL 표시 패널의 제조 공정에서의 유기 EL 표시 패널의 일부를 개략적으로 나타낸 부분 단면도이다.

도11 내지 도13은 본 발명에 따른 다른 실시예의 유기 EL 표시 패널을 개략적으로 나타낸 부분 단면도이다.

도14는 본 발명에 따른 다른 실시예의 유기 EL 표시 패널 제조 공정에서의 유기 EL 표시 패널의 일부를 개략적으로 나타낸 부분 평면도이다.

도15는 본 발명에 따른 다른 실시예의 유기 EL 표시 패널을 대략적으로 나타낸 부분 단면도이다.

### 실시예

본 발명의 실시예를 도면을 참조하여 설명한다.

도5는 본 발명의 일 실시예의 매트릭스 표시 타입의 유기 EL 표시 패널의 개략적인 부분 단면을 나타낸다. 도시된 바와 같이, 유기 EL 표시 패널은, 예컨대, 글라스, 플라스틱 등의 투명한 기관(1) 위에, 도체 또는 반도체를 함유하는 공통층(20)을 구비하고 있다. 공통층(20)은, 고저항부(21)와, 고저항부 보다 낮은 저항율의 저저항부(22)로 이루어지고, 저저항부(22)가 제1 전극(22)으로서 작용하고, 고저항부(21)가 저저항부(22)의 제1 전극을 둘러싸도록 접합되어 있다. 각각의 유기 EL 소자는, 저저항부의 제1 전극(22)과, 유기 기능층(3)과, 제2 전극(4)이 순차적으로 적층되어 구성되고, 복수의 유기 EL 소자의 발광이 기관(1) 측으로부터 방사된다.

이와 같이 제1 실시예에서는, 기관(1) 위의 표시면의 대략 전면에 형성된 공통층(20)에, 저항이 낮은 저저항부(22)와, 저항이 높은 고저항부(21)를 형성하고, 저저항부(22)를 유기 EL 소자의 제1 전극(22)으로서 사용한다. 도5에 나타낸 유기EL 표시 패널 구조에서는, 저저항부(22)가 종래의 제1 전극 패터부에 상당하고, 고저항부(21)가 종래의 제1 전극간 겹에 상당한다. 또한, 발광은 저저항부(22)의 상방에서만 발생되고, 각각의 저저항부(22)는 독립적인 제1 전극으로서 작용한다.

제1 전극(22), 제2 전극(4) 중 어느 쪽이든 한편을 양극으로 하고, 다른 쪽을 음극으로 한다. 제1 전극(22), 제2 전극(4) 중 적어도 어느 쪽은, 투명 또는 반투명일 필요가 있다. 제1 전극(22)이 투명한 경우는 기관쪽에서, 제2 전극(4)이 투명한 경우는 막면측에서, 각각 발광을 관찰할 수 있다.

제1 전극(22) 및 제2 전극(4)의 재료에는, 공지의 것을 사용할 수 있다. 예컨대, 투명한 것으로서, ITO(indium tin oxide), IZO(indium zinc oxide) 등, 반투명인 것으로서, Al, Mg, Ag, Au, Pt, Pd, Cr 등의 금속으로 된 대단히 얇은 반투막, 불투명한 것으로서, Al, Mg, Ag, Au, Pt, Pd, Cr 등의 금속을 이용할 수 있다. 이러한 재료를 이용하여, 스퍼터법, 증착법, CVD 법 등에 의해 성막한다.

유기 기능층은, 도1과 같이 정공 주입층/정공 수송층/발광층 / 전자 수송층/전자 주입층 등으로 이루어지지만, 종래의 유기 EL 소자와 같이, 공지의 재료를 이용할 수 있다. 또한, 발광층의 단일층, 또는 유기 정공 수송층, 발광층 및 유기 전자 수송층의 3층 구조, 또는 유기 정공 수송층 및 발광층의 2층 구조, 또한 이들의 적절한 층 사이에 전자 또는 정공의 주입층 또는 캐리어 블럭층을 삽입한 적층체의 유기 기능층도 적용할 수 있다. 유기 기능층은, 이러한 재료를, 증착법, 스핀 코트법 등을 이용하여 성막한다.

공통층(20)의 저저항부(22)(제1 전극)의 시트 저항은, 연속하는 전극의 라인 저항에 의한 전압 강하를 적게 하기 위해, 낮은 쪽이 바람직하다. 적어도  $1 \times 10^6 \Omega/\square$  이하, 바람직하게는  $1 \times 10^4 \Omega/\square$  이하, 가장 바람직하게는  $1 \times 10^2 \Omega/\square$  이하가 바람직하다. 한편, 인접한 저저항부(22)(제1 전극) 사이의 도통을 피하기 위해, 고저항부(21)(중래의 제1 전극의 껍에 상당)의 저항은 높은 쪽이 바람직하다. 적어도  $1 \times 10^6 \Omega/\square$  이상, 바람직하게는  $1 \times 10^8 \Omega/\square$  이상, 가장 바람직하게는  $1 \times 10^{10} \Omega/\square$  이상이 바람직하다.

저저항부(22)와 고저항부(21)의 시트 저항 차는 큰 쪽이 바람직하다. 적어도 2자리수, 바람직하게는 4자리수, 가장 바람직하게는 6자리수 이상의 차가 있는 것이 바람직하다.

저저항부(22)와 고저항부(21)로 이루어지는 공통층(20)은, 본래, 동일한 도체 또는 반도체를 함유하는 층으로서 형성되고, 그 공통층(20)을, 각각 저저항화 처리 또는 고저항화 처리함에 의해 저저항부(22)와 고저항부(21)가 형성된다. 예컨대 구체적으로는, 이하의 (1)~(3)과 같이 각 처리가 실행된다.

(1) 고저항인 공통층을 형성한 후, 일부를 저저항화 처리한다(도6).

도6a에 나타낸 바와 같이, 기관(1) 위에, 도체 또는 반도체를 함유하여 소정의 저항율을 갖는 공통층(20)을 형성하고, 그 표면에서 공통층(20)의 소정의 저항율 보다 낮은 저항율의 저저항부(22)를 부분적으로 서서히 생성하여(도6b), 저저항부(22)보다 높은 소정의 저항율의 고저항부(21)를 한정한다(도6c: 저저항화 처리 공정). 이와 같이, 저저항부(22)를 제1 전극으로서 형성한다.

(2) 저저항인 공통층을 형성한 후, 일부를 고저항화 처리한다(도7).

도7a에 나타낸 바와 같이, 기관(1) 위에, 도체 또는 반도체를 함유하여 소정의 저항율을 갖는 공통층(20)을 형성하고, 그 표면에서 공통층(20)의 소정의 저항율 보다 높은 저항율의 고저항부(21)를 부분적으로 서서히 생성하여(도7b), 고저항부(21)보다 낮은 저항율의 저저항부(22)를 한정한다(도7c: 고저항화 처리 공정). 이와 같이, 저저항부(22)를 제1 전극으로서 형성한다.

(3) 소정의 저항율을 갖는 공통층을 형성한 후, 각각 고저항화 처리, 저저항화 처리한다(도8).

도8a에 나타낸 바와 같이, 기관(1) 위에, 도체 또는 반도체를 함유하여 소정의 저항율을 갖는 공통층(20)을 형성한다.

도8b에 나타낸 바와 같이, 공통층(20)의 소정의 저항율 보다 높은 저항율의 고저항부(21)를 부분적으로 서서히 생성하여(고저항화 처리 공정), 도8c에 나타낸 바와 같이, 고저항부(21)보다 낮은 저항율의 저저항부(22)를 한정한다.

도8d에 나타낸 바와 같이, 저저항부(22)에 있어서 공통층(20)의 저항율 보다 낮은 저항율의 제2 저저항부(22)를 부분적으로 생성하여(저저항화 처리 공정), 도8e에 나타낸 바와 같이, 제2 저저항부(22)를 제1 전극으로서 형성한다.

도8에 나타낸 공정에서는, 편의상, 저항화보다 고저항화 처리를 먼저 행하고 있지만, 저저항화 처리를 먼저 행해도 된다.

공통층(20)을, 저저항 부분과 고저항 부분으로 나누려면, 예컨대 이하의 현상 (1)~(3)을 이용할 수 있다.

(1) 화학 변화를 이용한다.

예컨대, 금속 등 저저항 재료를 공통층으로 하여 기관 전면에서 형성한 후, 고저항부로 해야 하는 부분을, 산화, 질화 또는 유화 등의 화학 처리를 부분적으로 행하여 산화물, 질화물 또는 유화물 등을 공통층에 생성함에 의해 고저항부를 형성한다. 따라서, 고저항부는, 유황, 산소 및 질소 중 적어도 하나의 성분을 함유하고 저저항부보다 산소 및 질소 중 적어도 하나의 성분의 함유량이 많아진다.

또는, 반대로, 금속 산화물 등 고저항 재료를 공통층으로 하여 기관 전면에서 형성한 다음, 저저항부로 해야 하는 부분을, 부분적으로 환원 반응함으로써 저저항부를 형성한다.

따라서, 저저항부 및 고저항부는 이러한 저항율의 차를 발현하기에 충분한 량으로, 공통하는 도체 또는 반도체의 성분 이외의 성분을 함유한다. 즉, 저저항부 및 고저항부는 공통의 주성분을 함유한다.

(2) 결정 구조의 변화를 이용한다.

일반적으로, 물질의 결정 구조가 다른 것에 의해 저항이 변화한다. 예컨대, 아모르퍼스로부터, 미결정, 소결정, 대결정, 으로 변화함에 따라서 립계의 존재량이 적어지고, 물질의 저항이 낮아지는 경향이 있다. 또한, 동일한 결정에서도 결정 종류에 의해 저항이 다른 것이 많다.

따라서, 고저항부는, 비결정 또는 다결정 구조를 갖고 또한 저저항부보다 결정 구조의 립계의 존재량이 많은 다결정 구조를 가진다.

(3) 도너 또는 어셉터의 도프를 이용한다.

도너(n형 전도) 또는 어셉터(p형 전도)로 되는 재료를 반도체에 도프함에 의해 저항을 낮게 할 수 있음이 일반적으로 알려져 있다. 반대로, 미리 반도체에 도프하고 있는 도너 또는 어셉터를 발출하면(언도프), 저항을 높게 할 수 있다. 따라서, 고저항부는, 도너 또는 어셉터를 함유하고 또한 저저항부보다 도너 또는 어셉터의 함유량이 적게 되도록 한다.

이러한 현상을 이용하여, 저저항화 또는 고저항화하려면, 예로서 구체적으로 이하의 (1-a)~(3-b)와 같은 방법이 권장된다.

(1-a) 양극 산화법--

예컨대 봉산 암모늄 등과 같은 용액중에서, 마스크 보호한 기관으로부터 노출된 공통층 부분에 전계를 인가함에 의해 용액에 닿은 부분을 산화할 수 있다. 양극 산화법을 이용할 수 있는 공통층의 금속으로서, 예컨대, Al, Mg, Ta, Ti, Nb등을 들 수 있다.

(1-b) 산소를 포함하는 분위기 중에서의 가열--

마스크 보호한 기관으로부터 노출된 금속이나 투명 전극 재료 등 저항율이 낮은 재료로 된 공통층 부분을, 산소를 포함하는 분위기 중에서 가열하면, 산소에 닿은 부분이 산화되어 고저항화한다. 가열 방법으로서, 온풍 순환식 오븐, 핫플레이트, 적외선 히터, 기관 전면으로의 레이저 조사, 등 기관 전면에 걸쳐 가열하는 방법이나, 집광된 레이저를 조사하는 방법 등, 부분적으로 가열하는 방법이 있다.

마찬가지로, 질소 분위기나 유황을 포함하는 분위기 중에서 가열을 행하면, 질화, 유화를 행할 수 있다.

(1-c) 이온 빔을 조사--

마스크 보호한 기관으로부터 노출된 금속이나 투명 전극 재료 등 저항율이 낮은 재료로 된 공통층 부분에, 이온화한 산소를 가속하여 주입하고, 산화시킨다. 이온 빔을 주사하여 기관 전면에 걸쳐 조사하여도 되고, 원하는 부분에만 선택적으로 조사하여도 된다.

마찬가지로 질소, 유황 등을 이온화하여 주입하면, 질화, 유화시키는 것도 가능하다.

(1-d) 플라즈마로의 접촉--

산소를 플라즈마화 하고, 마스크 보호한 기관으로부터 노출된 금속이나 투명 전극 재료 등 저항율이 낮은 재료로 된 공통층 부분에 접촉시켜, 산화한다.

또는, 수소를 플라즈마화하고, 공통층 부분에 접촉시켜, 환원한다.

마찬가지로, 질소 등의 플라즈마를 사용하면, 공통층 부분을 질화시키는 것도 가능하다.

(2-a) 어닐링

가열이나, 가열 후의 냉각 조건에 의해 결정 구조를 변화시킨다. 예컨대, 공통층 부분에 CW(continuous wave) 레이저 등을 부분적으로 조사함에 의해 조사 부분을 가열하고, 결정 구조를 변화시킬 수 있다.

(3-a) 이온 주입--

도너, 어셉터로 되는 재료를 이온화하여, 빔 형태로 가속,주입함에 의해, 공통층 부분에 이온을 도핑할 수 있다.

(3-b) 용액에 의한 도프 또는 언도프

폴리어닐린 등 산화 상태에 의해, 저항이 변화하는 유기 재료가 알려져 있다. 마스크 보호한 기관으로부터 노출된 이와 같은 유기 재료로 이루어지는 공통층 부분에서는, 산성 용액에 침지하는 것에 의해 산이 도프되고, 저항이 낮아진다. 반대로 산이 도프된 상태에서, 알카리 용액(물에서도 동일한 효과가 있는 경우가 있음)에 침지하면 산이 언도프되어, 공통층 부분의 저항이 높아진다.

마찬가지로, 도너 또는 어셉터로 되는 원소를 함유하는 용액중에 침지함으로써, 이온 도핑과 같이 도프할 수도 있다.

본 발명에 따른 유기 EL 소자를 제조하려면, 공통층을 고저항부, 저저항부로

패터닝 또는 분리하여야 한다. 이 패터닝은, 예컨대 이하의 (A) 및 (B) 방법에 의해 행할 수 있다.

(A) 국소적으로 고저항화(저저항화) 처리한다(도9).

도9a에 나타낸 바와 같이, 기관(1) 위에, 도체 또는 반도체를 함유하여 소정의 저항율을 갖는 공통층(20)을 형성하고, 필요한 부분에만 고저항화(저저항화) 처리를 행한다. 예컨대, 도9b에 나타낸 바와 같이, 집광한 레이저 빔을 부분적으로 조사한다. 전술한, 레이저 빔, 이온 빔 등을 이용하는 방법에서는, 처리 범위가 좁은 경우가 많고, 이 방법에 따르면, 빔과 기관을 상대 이동시키는 것이 발생되기 때문에, 생산 효율이 높은 경우가 많다. 마스크를 형성하지 않고 처리할 수 있다.

(B) 공통층에 마스크를 설치하고, 기관으로의 고저항화(저저항화) 처리를 행한다(도10).

도10a와 같이, 기관(1) 위에, 도체 또는 반도체를 함유하여 소정의 저항율을 갖는 공통층(20)을 형성하고, 처리를 행하지 않는 부분에 마스크 M(예컨대 포토레지스트 등)을 형성하여(도10B), 기관의 대략 전면에서 처리(도10C)를 행한 후, 마스크를 제거한다(도10D). 이 결과, 처리는 마스크로 덮지 않은 부분에만 행해진다. 마스크로 포토레지스트를 사용하면, 미세한 패터닝이 가능하게 된다.

[실시예1]

이하와 같은 순서로, 본 발명에 따른 유기 EL 소자를 제조했다.

글라스 기관상에, 유기 용매에 용해한 산을도프한 폴리어닐린 유도체의 도포액을 스핀 코트했다. 계속하여, 기관을 핫 플레이트에서 가열, 용매를 증발시켜서 기관의 대략 전면에서 막 두께 100nm의 폴리어닐린 막의 공통층을 형성했다. 이 폴리어닐린 막의 시트 저항을 측정하자,  $1 \times 10^5 \Omega/\square$ 의 오더로 되었다.

기관의 폴리어닐린 막의 공통층 상에, 도쿄 오카 고교사 제품 포토 레지스트 AZ6112를, 2mm폭의 라인 2개, 라인간 갭 1mm의 스트라이프 형태로 패터닝 마스크를 형성했다.

상기 마스크 형성 공정에 있어서, TMAH(Tetramethyl ammonium hydroxide) 수용액 등의 알카리 현상액에 의한 레지스트 현상시에, 폴리어닐린 막의 탈 도프가 행해지고, 구멍(갭) 부분에서는 폴리어닐린 막이 녹색에서 청색으로 변색된다(라인 고저항부 생성). 즉, 레지스트 패턴 형성시에 고저항화 처리가 행해졌기 때문에, 특히, 별도로, 고저항화 처리를 행할 필요는 없다.

고저항부의 시트 저항을 측정하자,  $1 \times 10^{10} \Omega/\square$ 의 오더로 되었다.

포토 레지스트 마스크를 에탄올에 의해 용해 제거했다.

마스크 제거한 기관 폴리머닐린 막 상에, 유기 기능층으로서  $\alpha$ -NPD를 막 두께 70nm으로, Alq3을 막 두께 60nm으로, 금속 마스크를 이용한 증착법에 의해 형성했다.

또한, 제2 전극으로서, 금속 마스크를 이용한 증착법에 의해, Alq3 막 위에, Al-Li 합금을 막 두께 100nm, 2mm폭의 스트라이프 1개의 형상(라인 고저항부에 직교함)으로 형성하고, 본 발명에 따른 유기 EL 소자를 완성하였다.

제조한 소자의 제1 전극을 플러스, 제2 전극을 마이너스로 하여, 약 5V의 전압을 인가하자, 밝은 녹색으로 발광을 하였다. 플러스의 전극 단자를 2개의 제1 전극에 번갈아 접속하자, 각각에 대응하는 화소가 하나씩, 독립하여 발광하는 것이 확인되었다.

#### [실시예2]

이하와 같은 순서로, 본 발명에 따른 유기 EL 소자를 제조했다.

스퍼터법에 의해 글라스 기관상에 ITO를 막 두께 150nm의 공통층으로서 성막한다.

이와 같이 하여 성막된 ITO막의 공통층의 시트 저항은,  $8 \Omega/\square$ 이다.

기관의 ITO막의 공통층 상에, 도쿄 오카 고교사의 포토 레지스트 AZ6112를 이용하여, 라인 수 480개로 이루어지는 스트라이프 형태로 패터닝 마스크를 형성했다. 스트라이프 형태의 포토 레지스트 마스크는, 라인 폭  $120 \mu\text{m}$ , 갭  $10 \mu\text{m}$ , (피치  $130 \mu\text{m}$ )이다.

기관의 포토 레지스트 마스크 측에, 이온화된 산소를 가속하여 조사하여, 마스크 구멍(갭)부분에서 ITO막의 공통층 부분으로 산소 이온을 주입한다.

이와 같이 하여 산소 이온을 주입하고, ITO막 산소 이온 주입 부분(라인 고저항부)의 시트 저항을  $1 \times 10^{12} \Omega/\square$ 의 오더로 높일 수 있었다. 포토 레지스트 마스크를 아세톤에 의해 용해 제거했다.

마스크 제거한 기관을 세정하고, ITO막의 공통층 상에, 유기 기능층으로서  $\alpha$ -NPD를 막 두께 70nm으로, Alq3을 막 두께 60nm으로, 금속 마스크를 이용한 증착법에 의해 형성했다.

또한, 금속 마스크를 이용한 증착법에 의해 제2 전극으로서, Alq3 막 위에, Al-Li합금을 막 두께 100nm, 라인 폭  $250 \mu\text{m}$ , 갭  $140 \mu\text{m}$ , (피치  $390 \mu\text{m}$ ) 스트라이프 120개(라인 고저항부에 직교함)의 형태로 형성했다.

또한, 제2 전극 및 Alq3막(기관의 표시 영역)의 위에, 소자를 대기중의 수분 등으로부터 지키는 보호막으로서 SiON을 플라즈마 CVD법에 의해 막 두께  $3 \mu\text{m}$ 로 형성하고,  $480 \times 120$ 의 화소로 이루어지는 본 발명에 따른 유기 EL 소자를 완성하였다.

#### [비교예1]

제1 전극의 형성을 이하와 같이 하는 것 이외는, 발광 기능층, 제2 전극, 보호막을 실시예1과 같이 제조하고, 종래의 유기 EL 소자를 제조했다.

글라스 기관상에 ITO막을 막 두께 150nm으로 스퍼터법에 의해 성막한다.

기관의 ITO막 상에, 도쿄 오카 고교사 포토 레지스트 AZ6112를, 라인 수

256개로 이루어지는 스트라이프 형태로 패터닝 마스크를 형성했다. 스트라이프 형태의 포토 레지스트 마스크는, 라인 폭 120 $\mu\text{m}$ , 갭 10 $\mu\text{m}$ , (피치 130 $\mu\text{m}$ )이었다.

이러한 기관을, 염화 제2철 수용액과 염산의 혼합액 중에 침지하고, 레지스트로 덮혀 있지 않은 부분의 ITO를 에칭했다.

포토 레지스트 마스크를 아세톤에 의해 용해 제거하고, 제1 전극을 형성했다.

#### [패널의 전 점등 시험]

실시예2, 비교예1에서 제조한 패널을 원하는 구동회로에 접속하고, 1시간의 연속 전 점등을 행했다. 1시간 후, 각각의 패널의 발광 상태를 관찰하면, 실시예2에서 제조한 패널은 문제없이 전 화소가 점등하고 있었지만, 비교예1에서 제조한 패널은, 21개의 화소가 비점등되었다. 비점등 화소를 관찰한 결과, ITO 에칭의 부분에, 제1 전극과 제2 전극이 쇼트되었다고 생각된다

이 결과로부터, 본 발명의 실시예2에서는, 비교예1과 비교하여, 거의 동일한 공정수에서, 쇼트에 의한 불량률이 적은 유기 EL 소자를 제조할 수 있는 것이 확인되었다.

제1 전극을 평활화 처리하면, 쇼트 방지에 더욱 더 효과적이다. 평활화 처리로서는, 예컨대, 연마제를 사용한 기계적 연마, 약액을 이용한 화학적 연마, 또는 이 둘을 조합한 MCP(메카노케미칼 연마) 등이 있다. 평활화 처리를 행하는 것은, 고저항화(또는 저저항화) 처리 후, 또는 전에도 좋다. 단, 고저항화(또는 저저항화) 처리가 체적 변화, 즉 막 두께 변화를 동반하여, 저저항부와 고저항부에 1nm 오더 이상의 단차가 생기는 경우는, 고저항화(또는 저저항화) 처리 후의 평활화 처리를 하는 쪽이 바람직하다.

또한, 제1 전극의 저항이 높은 경우, 도11과 같이, 기관(1)위의 저저항부(22)의 예정 부위에 미리 보조 전극(23)을 형성해도 된다. 보조 전극(23)으로서는,

Al, Ag, Pt, Au, Pd, Cr, Ti, Mo 등의 금속, 또는, 이들의 합금이나 적층 막을 이용할 수 있다. 쇼트를 방지하기 위해, 보조 전극(23)에 의한 에지 단차는 가능한 한 낮고, 매끄럽게 하는 것이 바람직하다. 그 이유는, 보조 전극(23)의 에지의 단면이 순 테이퍼가 되도록 하여, 공통층을 단차 피막성이 양호한 성막법, 예컨대, 스퍼터법, CVD법으로 형성한다.

또한, 도12와 같이, 기관(1) 위의 저저항부(22)의 예정 부위에 미리 보조 저

저항부(32)를 형성해도 된다. 그러기 위해서는, 공통층(20)의 성막 전에 보조 공통층(30)을 기관(1) 위에 성막하고, 고저항화(또는 저저항화) 처리를 행하고, 보조 고저항부(31) 및 보조 저저항부(32)를 고저항부(21) 및 저저항부(22)의 바로 아래에 접속되도록 미리 형성한다. 보조 고저항부(31) 및 보조 저저항부(32)로 된 보조 공통층(30)을 형성함에 의해 에지 단차의 문제는 해소된다.

또한, 도13과 같이, 저저항부(22)(제1 전극) 사이의 갭(고저항부)이 넓은 부분에서는, 갭 모든 영역을 고저항화할 필요는 없고, 도13과 같이 저저항부(22)(제1 전극) 양측의 에지 부분에만 고저항화 해도 된다.

즉, 저저항부(22)에 접합하는 가는 폭의 고저항부(21a)와, 그들의 사이에 무 접속 저저항부(22a)를 형성해도 된다. 진술한 고저항화를 국부적으로 행하는 방법으로 제1 전극 패턴을 형성하는 경우, 도13의 구조에서 고저항화하는 부분이 적어지고, 패터닝을 보다 단시간에 행할 수 있고, 특히 이 구조(저저항부(22)와, 가는 폭의 고저항부(21a)와, 그들 사이의 무 접속 저저항부(22a)로 이루어지는 공통층(20))이 효과적이다.

또한, 도14와 같이, 표시부 이외에서 쇼트의 위험성이 없는 부분, 예컨대 외부로의 인출 배선 부분 W등에 대해서는, 종래대로 제1 전극 패턴을 독립하여 섬 모양, 예컨대 에칭법에 의해 형성해도 된다. 기관(1) 위의 도체 또는 반도체를 함유하는 공통층(20)은, 고저항부(21)와 저저항부(22)(제1 전극)로 되고, 고저항부(21)는 접합한 저저항부(22)를 둘러싸도록 형성되어, 저저항부(22)는 인출 배선 부분 W에 접속되어 있다. 이 경우, 제1 전극의 에칭, 고저항화(또는 저저항화) 처리, 의 2개의 공정이 필요하게 되지만, 절연막이 불필요하게 되고, 쇼트를 방지할 수 있고, 등의 메리트가 있다.

또한, 도15와 같이, 본 발명을 제2 전극으로도 적용할 수 있다. 즉, 유기 EL 표시 패널은, 예컨대, 글라스, 플라스틱 등의 투명 기관(1) 위에, 개별의 제1 전극(200)과, 유기 기능층(3)과, 제2 공통층(40)이 순차적으로 적층되어 구성되고, 제2 공통

층(40)은 동일한 도체 또는 반도체를 함유하고 있다. 제2 공통층(40)은, 고저항부(41)와, 고저항부 보다 낮은 저항율의 저저항부(42)로 이루어지고, 저저항부(42)가 제2 전극으로서 기능하고, 고저항부(41)가 저저항부(42)를 둘러싸도록 접합하고 있다. 이 경우, 제1 전극(200)의 단차에 관계되는 쇼트의 방지라고 하는 효과는 적지만, 제2 공통층(40)까지 합한 전체 막 두께의 단차가 적어지고, 그 후 성막 된 보호막을 매끄럽게 형성할 수 있는 메리트가 있다.

또한, 상기에서는 본 발명을 유기 EL 소자에 응용한 예를 설명하였지만, 같은 구조의 소자, 예컨대 무기 EL 소자 등에도 응용할 수 있다. 또한, 상기한 실시예에서는, 단순 매트릭스 표시 타입의 유기 EL 표시 패널을 설명하였지만, 본 발명은 TFT (thin film transistor)를 사용한 액티브 매트릭스 표시 타입의 유기 EL 표시 패널에도 응용할 수 있다.

본 발명에 의해 종래와 비교하면, 거의 동일한 공정수에, 쇼트에 의한 불량률이 적은 유기 EL 소자를 제조할 수 있다. 구체적으로, 본 발명에 의한 유기 EL 소자는, 기판에 가까운 전극의 에칭 부분에서 쇼트가 발생되기 어렵다.

또한, 본 발명에 의해 기판에 가까운 전극의 절연막을 필요로 하지 않기 때문에, 공정이 용이하게 되고, 절연층 중이 소자에 악영향을 미치지 않고, 다크 스폿들이 확대하지 않는다. 또한, 기판에 가까운 전극과 절연막 사이의 오버랩이 발생되지 않으므로, 개구율이 높고, 고휘도의 디스플레이를 실현할 수 있다.

또한, 마스크를 포토리소그래피 등으로 행하는 등, 기판에 가까운 전극을 정밀도 양호하게 패턴 형성할 수 있고, 화소가 작은, 고정세 디스플레이를 실현할 수 있다.

또한, 특허 문헌 2와 비교하여, 기판에 가까운 전극 간의 갭의 충전 재료와 그들 전극의 형성을 동시에 행하게 되어, 공정이 복잡하게 되지 않고, 그들 전극의 단락을 해소할 수 있다.

또한, 제1 전극 패턴, 제2 전극 패턴, 절연막 패턴 등에 의한 단차가 적어지기 때문에, 소자를 보호막에 의해 봉입하는 경우, 보호막의 고저차가 적어지게 되어 매끄럽게 형성하기 쉬어지고, 소자 제조의 수율이 높고, 내구성이 높은 소자를 제공할 수 있다.

## (57) 청구의 범위

### 청구항 1.

각각이 제1 및 제2 표시 전극 및 상기 제1 및 제2 표시 전극 간에 험지 또한 적층된 적어도 1층의 유기화합물로 이루어지는 발광층을 포함하는 유기 기능층으로 된 복수의 유기 일렉트로 루미네스스 소자, 및 상기 복수의 유기 일렉트로 루미네스스 소자를 지지하는 기판을 포함하는 유기 일렉트로 루미네스스 표시 패널에 있어서, 상기 제1 및 제2 표시 전극 중 적어도 하나의 전극은 상기 복수의 유기 일렉트로 루미네스스 소자에 공통으로 형성된 공통층으로 이루어지고, 상기 공통층이 상기 유기 일렉트로 루미네스스 소자에 대응하는 저저항부와 상기 저저항부에 접합되어 그 저저항부 보다 높은 저항율을 갖는 고저항부를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널.

### 청구항 2.

제1항에 있어서, 상기 저저항부는  $1 \times 10^6 \Omega/\square$  이하의 시트 저항을 갖는 것

을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널.

### 청구항 3.

제1항 또는 2항에 있어서, 상기 고저항부는  $1 \times 10^6 \Omega/\square$  이상의 시트 저항을 갖는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널.

**청구항 4.**

제1항에 있어서, 상기 저저항부 및 상기 고저항부는 공통의 주성분을 함유하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널.

**청구항 5.**

제1항 내지 3항 중 어느 한 항에 있어서, 상기 저저항부와 상기 고저항부의 시트 저항의 차가 2자리수 이상인 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널.

**청구항 6.**

제1항 내지 4항 중 어느 한 항에 있어서, 상기 고저항부는 첨가 성분으로서 산소 및 질소 중 적어도 하나의 성분을 함유하고 또한 상기 저저항부보다 산소 및 질소 중 적어도 하나의 성분의 함유량이 많은 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널.

**청구항 7.**

제1항 내지 4항 중 어느 한 항에 있어서, 상기 고저항부는, 도너 또는 어셉터를 함유하고 또한 상기 저저항부 보다 상기 도너 또는 어셉터의 함유량이 적은 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널.

**청구항 8.**

제1항 내지 4항 중 어느 한 항에 있어서, 상기 고저항부는 비결정 또는 다결정 구조를 가지며 또한 상기 저저항부 보다 상기 결정 구조의 립계의 존재량이 많은 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널.

**청구항 9.**

각각이 제1 및 제2 표시 전극 및 상기 제1 및 제2 표시 전극 간에 헵지 또한 적층된 적어도 1층의 유기화합물로 이루어지는 발광층을 포함하는 유기 기능층으로 된 복수의 유기 일렉트로 루미네스스 소자, 및 상기 복수의 유기 일렉트로 루미네스스 소자를 지지하는 기판을 포함하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법에 있어서, 도전성을 갖는 공통층을 형성하는 공정, 및 상기 공통층의 저항율 보다 높은 저항율의 고저항부를 부분적으로 생성하고, 상기 고저항부 보다 낮은 저항율의 저저항부를 한정하여, 상기 저저항부를 상기 제1 및 제2 표시 전극 중 적어도 하나로서 형성하는 고저항화 처리 공정을 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 10.**

제9항에 있어서, 상기 고저항화 처리 공정은, 상기 기판을 산소 또는 질소 분위기에 배치하여, 상기 공통층을 부분적으로 산화 또는 질화시키는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 11.**

제9항에 있어서, 상기 공통층은 도너 또는 어셉터를 함유하고, 상기 고저항화 처리 공정은 상기 도너 또는 어셉터를 부분적으로 언도프하는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 12.**

제9항에 있어서, 상기 공통층은 비결정 또는 다결정 구조를 가지며, 상기 고저항화 처리 공정은 상기 공통층을 부분적으로 어닐링하는 공정을 포함하고, 상기 결정 구조의 립계의 존재량을 상기 저저항부보다 증가시키는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 13.**

각각이 제1 및 제2 표시 전극 및 상기 제1 및 제2 표시 전극 간에 헵지 또한 적층된 적어도 1층의 유기화합물로 이루어지는 발광층을 포함하는 유기 기능층으로 된 복수의 유기 일렉트로 루미네스스 소자, 및 상기 복수의 유기 일렉트로 루미네스스 소자를 지지하는 기판을 포함하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법에 있어서, 고저항인 공통층을 형성하는 공정, 및 상기 공통층의 저항율 보다 낮은 저항율의 저저항부를 부분적으로 생성하고, 상기 저저항부 보다 높은 저항율의 고저항부를 한정하여, 상기 저저항부를 상기 제1 및 제2 표시 전극 중 적어도 하나로서 형성하는 저저항화 처리 공정을 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 14.**

제13항에 있어서, 상기 저저항화 처리 공정은, 상기 기판을 환원 분위기로 배치하여, 상기 공통층을 부분적으로 환원시키는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 15.**

제13항에 있어서, 상기 저저항화 처리 공정은 상기 도너 또는 어셉터를 부분적으로 도프하는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 16.**

제13항에 있어서, 상기 공통층은 비결정 또는 다결정 구조를 가지며, 상기 저저항화 처리 공정은 상기 공통층을 부분적으로 어닐링하는 공정을 포함하고, 상기 결정 구조의 립계의 존재량을 상기 고저항부보다 감소시키는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 17.**

각각이 제1 및 제2 표시 전극 및 상기 제1 및 제2 표시 전극 간에 헵지 또한 적층된 적어도 1층의 유기화합물로 이루어지는 발광층을 포함하는 유기 기능층으로 된 복수의 유기 일렉트로 루미네스스 소자, 및 상기 복수의 유기 일렉트로 루미네스스 소자를 지지하는 기판을 포함하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법에 있어서, 도전성을 갖는 공통층을 형성하는 공정,

상기 공통층의 저항율 보다 높은 저항율의 고저항부를 부분적으로 생성하여, 상기 고저항부 보다 낮은 저항율의 저저항부를 한정하는 고저항화 처리 공정, 및

상기 저저항부에 있어서 상기 공통층의 저항율 보다 낮은 저항율의 제2 저저항부를 부분적으로 생성하여, 상기 제2 저저항부를 상기 제1 및 제2 표시 전극 중 적어도 하나로서 형성하는 저저항화 처리 공정을 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 18.**

제17항에 있어서, 상기 고저항화 처리 공정은, 상기 기판을 산소 또는 질소 분위기에 배치하여, 상기 공통층을 부분적으로 산화 또는 질화시키는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 19.**

제17항에 있어서, 상기 공통층은 도너 또는 어셉터를 함유하고, 상기 고저항화 처리 공정은 상기 도너 또는 어셉터를 부분적으로 언도프하는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 20.**

제17항에 있어서, 상기 공통층은 비결정 또는 다결정 구조를 가지며, 상기 고저항화 처리 공정은 상기 공통층을 부분적으로 어닐링하는 공정을 포함하고, 상기 결정 구조의 립계의 존재량을 상기 저저항부보다 증가시키는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 21.**

제17항에 있어서, 상기 저저항화 처리 공정은, 상기 기판을 환원 분위기에 배치하여, 상기 저저항부를 부분적으로 환원시키는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 22.**

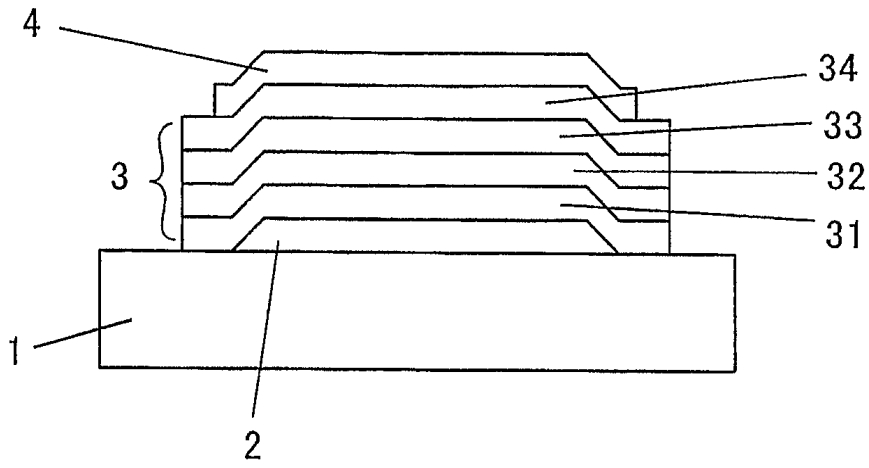
제17항에 있어서, 상기 저저항화 처리 공정은 상기 도너 또는 어셉터를 부분적으로 도프하는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

**청구항 23.**

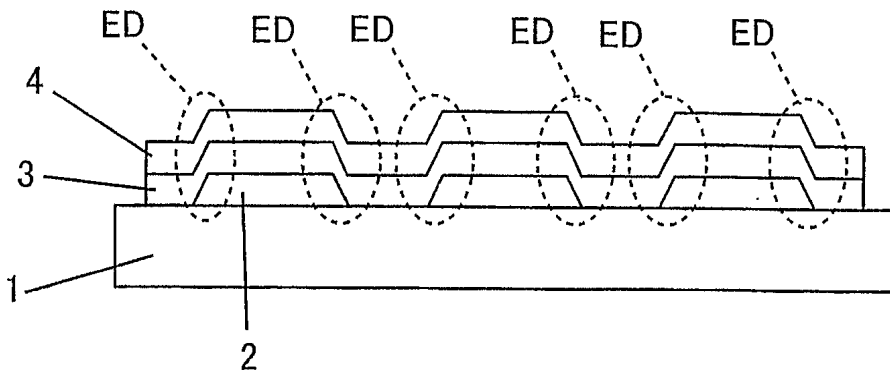
제17항에 있어서, 상기 공통층은 비결정 또는 다결정 구조를 가지며, 상기 저저항화 처리 공정은 상기 저저항부를 부분적으로 어닐링하는 공정을 포함하고, 상기 결정 구조의 립계의 존재량을 상기 저저항부보다 감소시키는 처리를 포함하는 것을 특징으로 하는 유기 일렉트로 루미네스스 표시 패널의 제조 방법.

도면

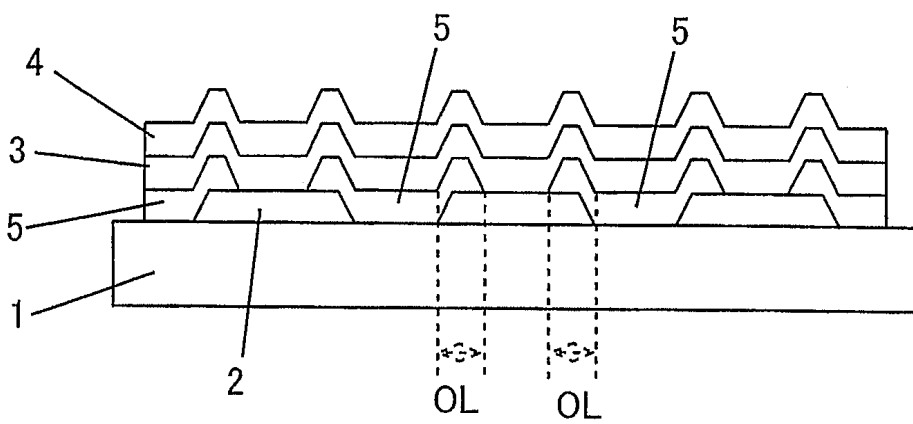
도면1



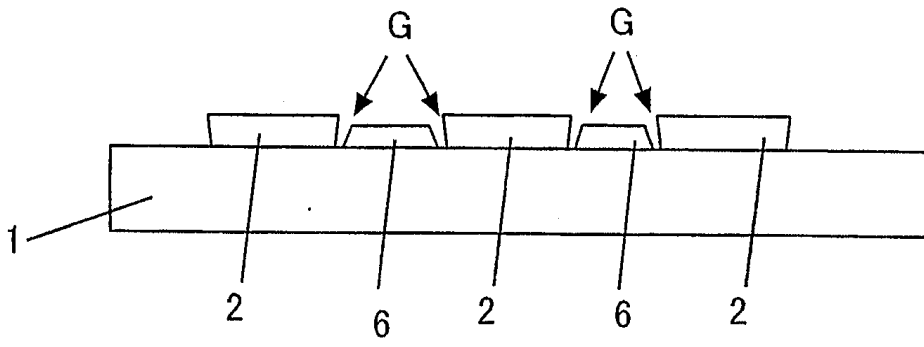
도면2



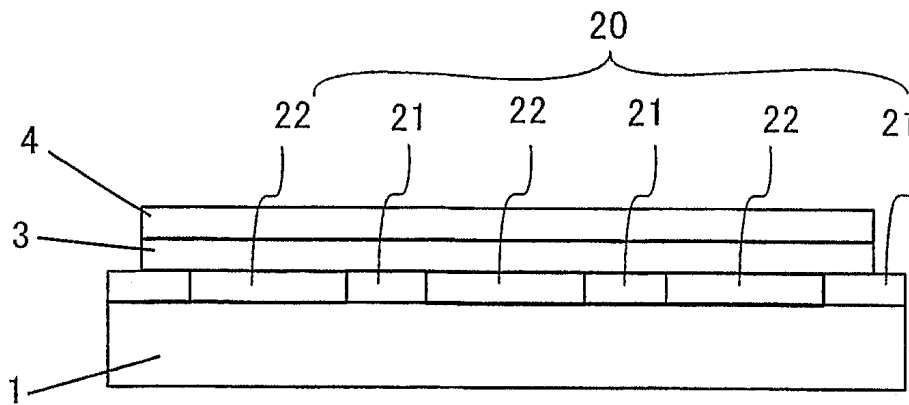
도면3



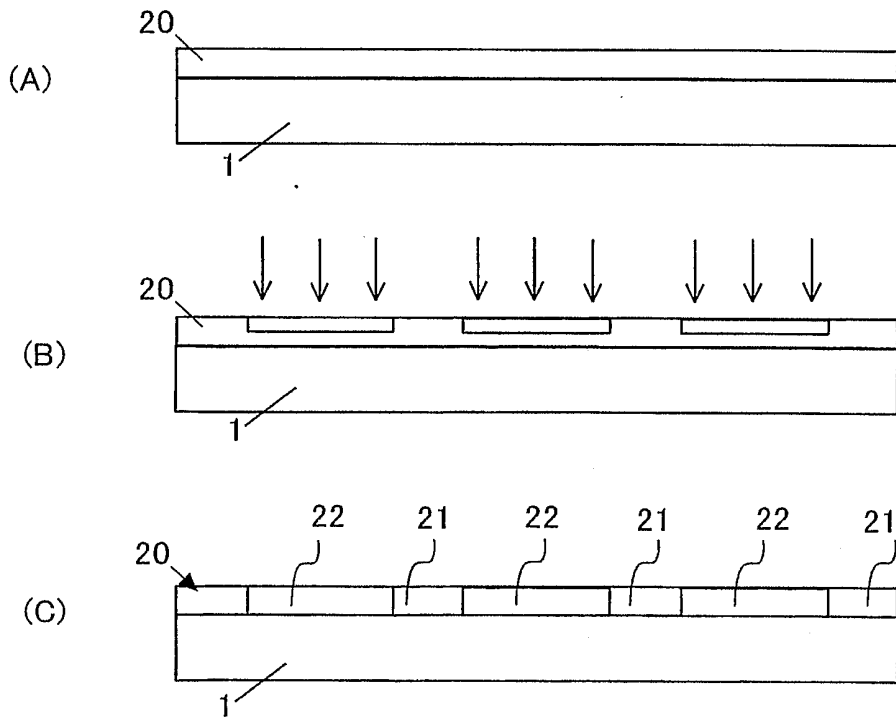
도면4



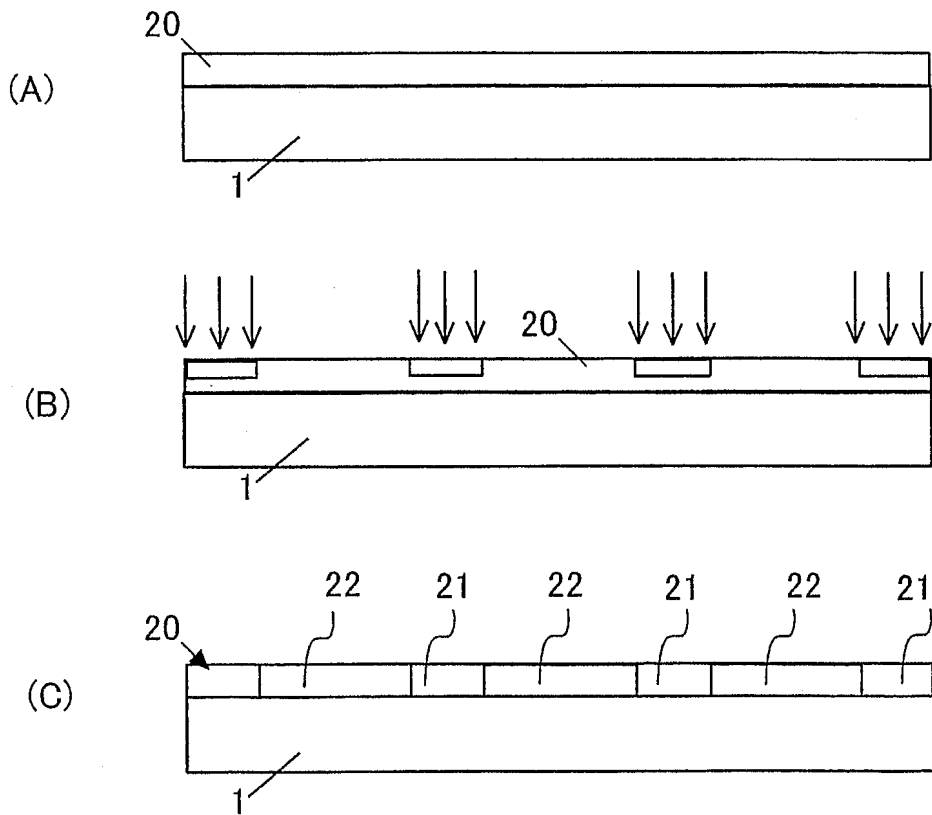
도면5



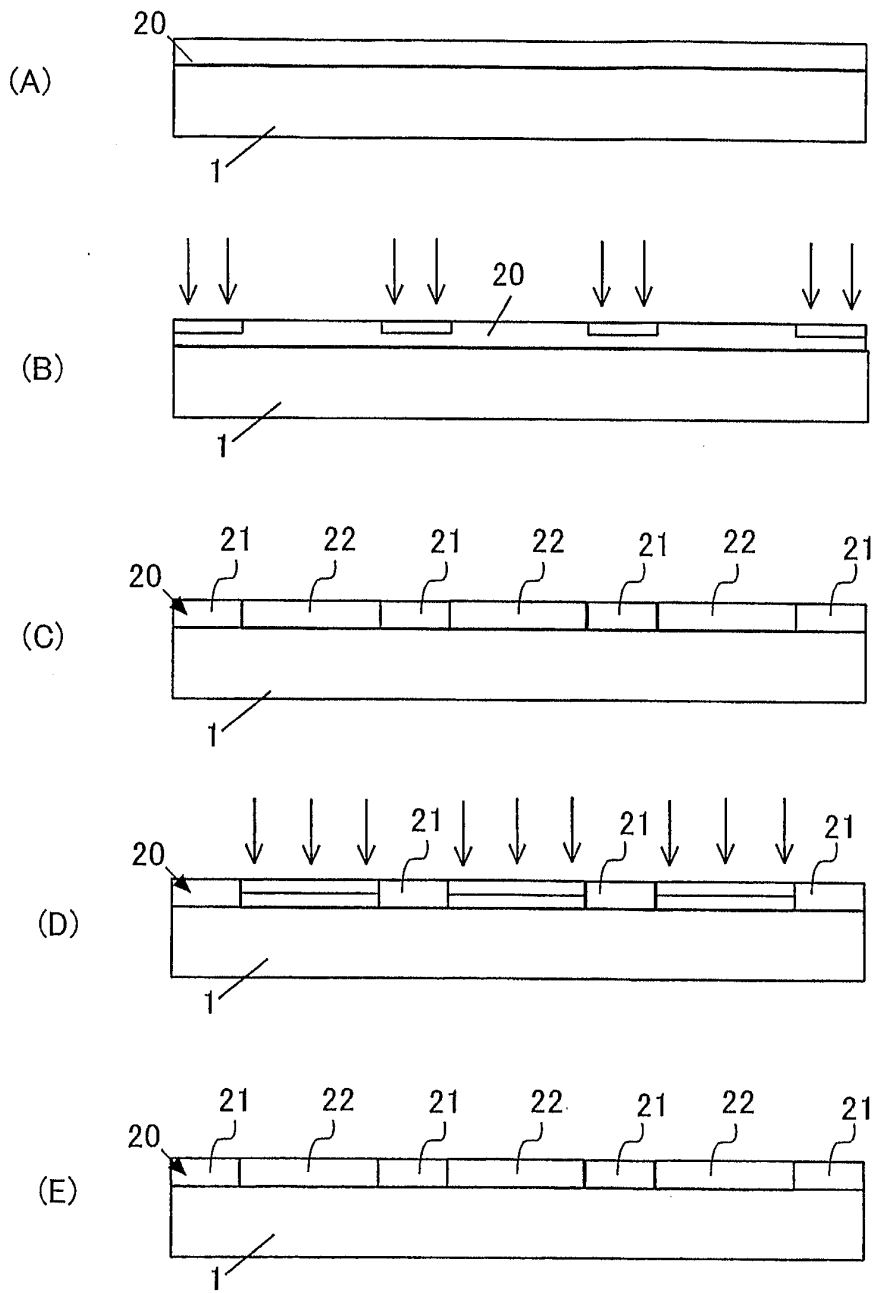
도면6



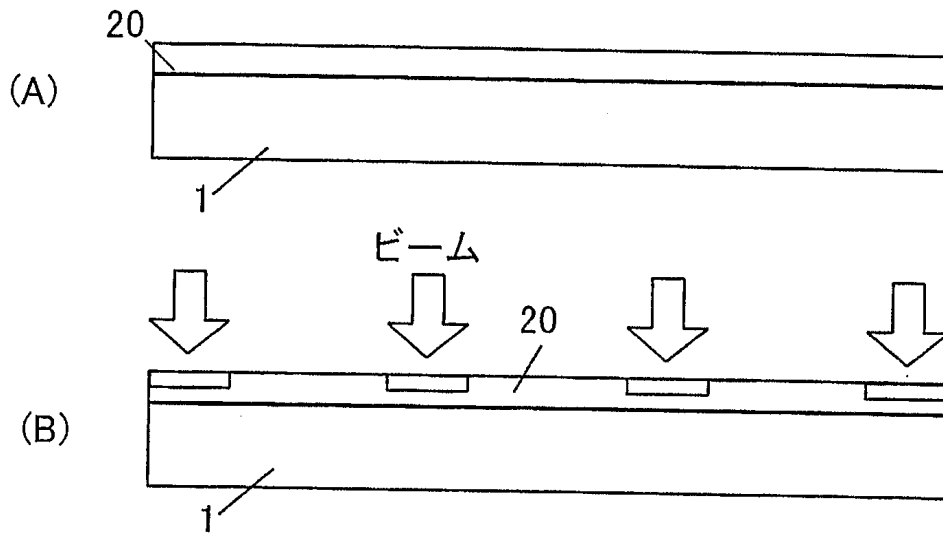
도면7



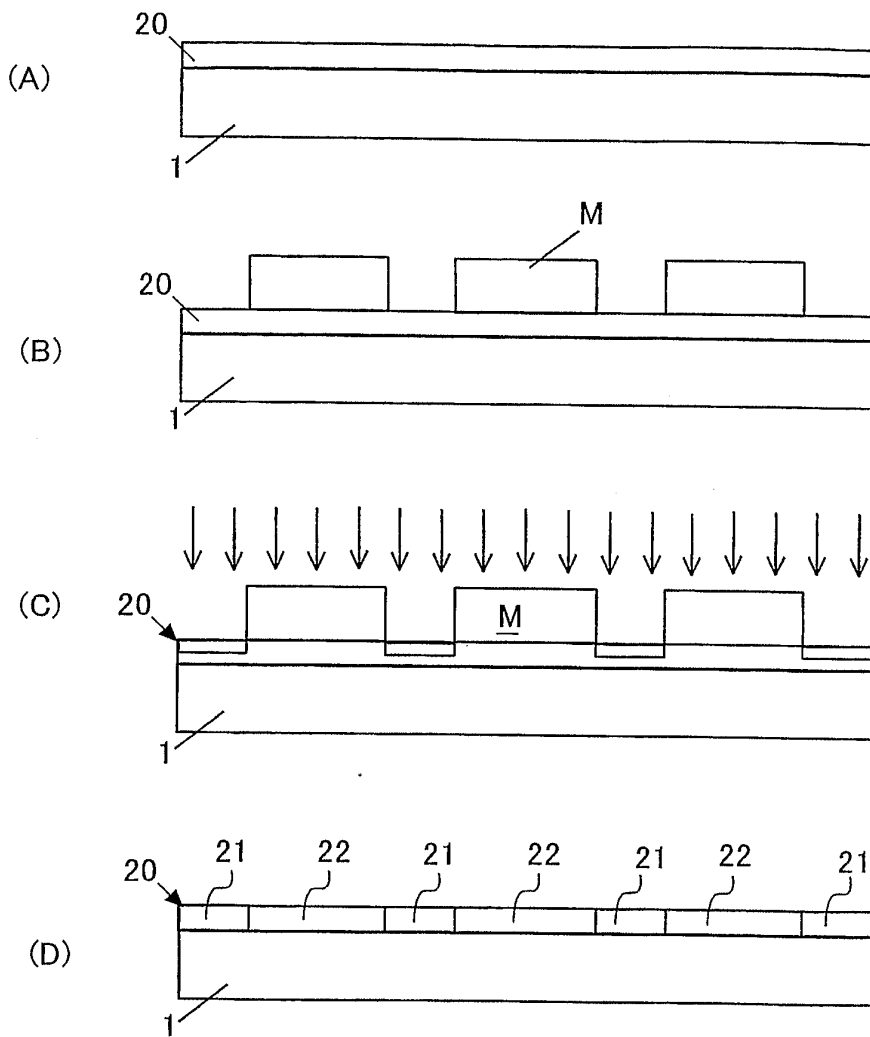
도면8



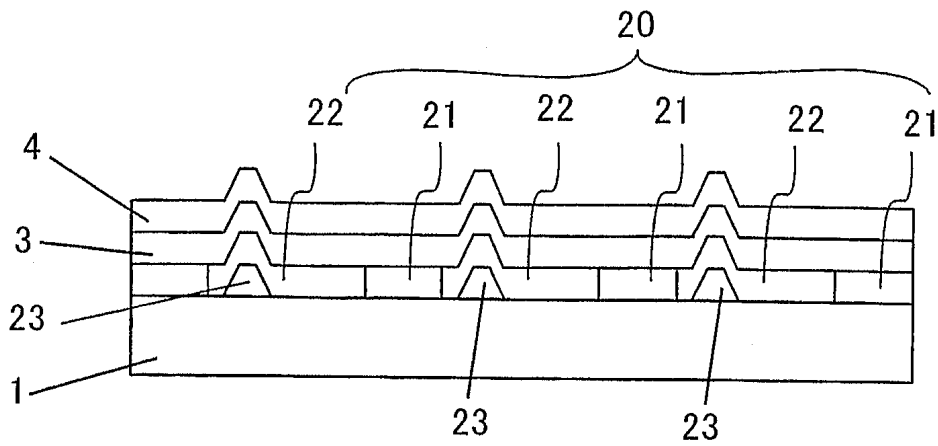
도면9



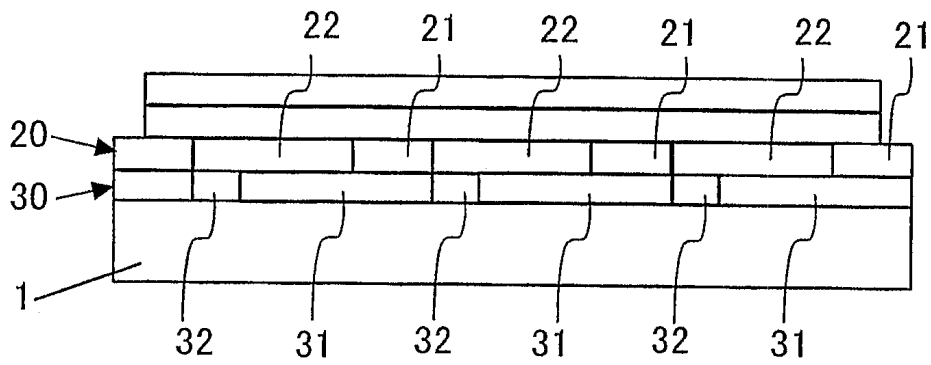
도면10



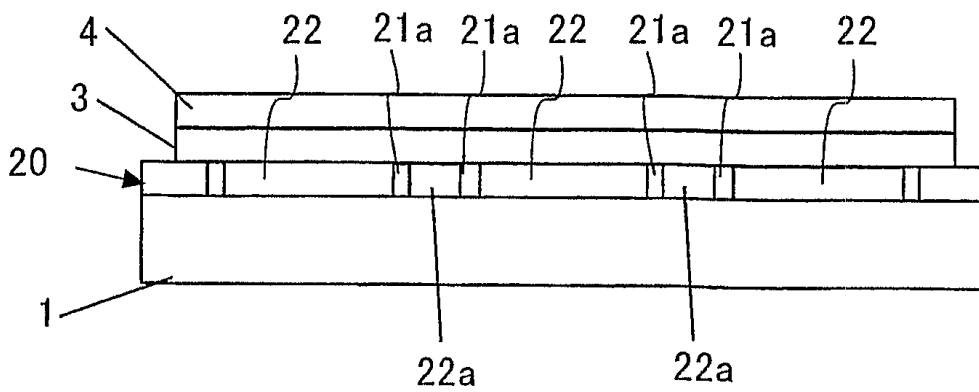
도면11



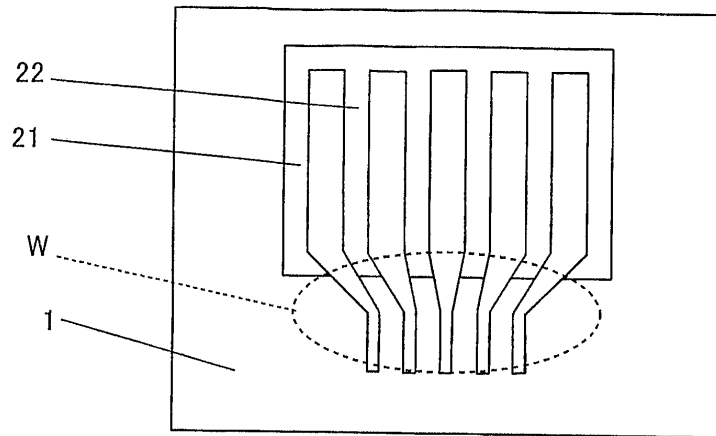
도면12



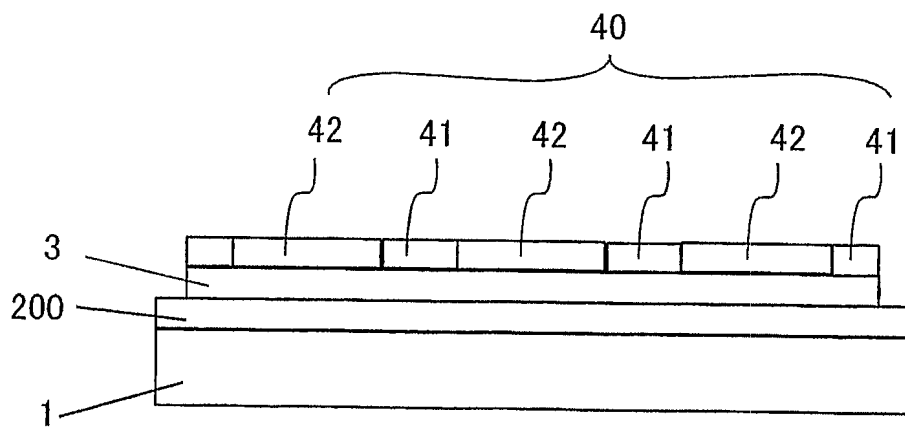
도면13



도면14



도면15



专利名称(译)	有机电致发光显示面板及其制造方法		
公开(公告)号	<a href="#">KR1020060028395A</a>	公开(公告)日	2006-03-29
申请号	KR1020057022848	申请日	2004-07-02
[标]申请(专利权)人(译)	日本先锋公司		
申请(专利权)人(译)	先锋株式会社		
当前申请(专利权)人(译)	先锋株式会社		
[标]发明人	NAGAYAMA KENICHI 나가야마켄이치 MIYAGUCHI SATOSHI 미야구치사토시		
发明人	나가야마켄이치 미야구치사토시		
IPC分类号	H05B33/26 H05B33/10 H01L27/32 H01L51/00		
CPC分类号	H01L51/0023 H01L27/3281 H01L51/0015 H01L51/0021		
优先权	2003192892 2003-07-07 JP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有机电致发光显示板包括多个有机功能层，每个有机功能层包括有机功能层，该有机功能层包括由保持在第一和第二显示电极与第一和第二显示电极之间的至少一种有机化合物组成的发光层，有机电致发光器件和用于支撑多个有机电致发光器件的基板。第一和第二显示电极中的至少一个是共同形成在多个有机电致发光元件中的公共层，并且公共层结合到对应于有机电致发光元件的低电阻部分和低电阻部分。电阻部分具有较高的电阻率。五

