(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.^{7}
H05B 33/00

(11) 공개번호 10-2004-0008321
(43) 공개일자 2004년01월31일

(21) 출원번호 10-2002-0041938
(22) 출원일자 2002년07월18일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박재용
경기도안양시동안구관양동한가람한양아파트307-801

유충근
인천광역시부평구청천2동광명아파트103-610

김옥희
경기도안양시만안구안양6동435-1프리빌711호

이남양
경기도성남시분당구내정동(파크타운)삼익아파트120-604

김관수
경기도수원시장안구율전동518삼호진덕203-1104

(74) 대리인 정원기

심사청구 : 있음

(54) 듀얼패널타입 유기전계발광 소자 및 그의 제조방법

요약

본 발명에서는, 화면을 구현하는 최소단위인 서브픽셀(sub-pixel) 영역이 정의된 제 1, 2 기판과; 상기 제 1 기판의 내부면에 서브픽셀 단위로 형성된 박막트랜지스터를 가지는 어레이 소자층과; 상기 제 2 기판의 내부면에 형성된 제 1 전극과; 상기 제 1 전극 하부면에 형성된 유기전계발광층과; 상기 유기전계발광층 하부면에 서브픽셀 단위로 형성된 제 2 전극과; 상기 어레이 소자층 상부에 위치하여 상기 박막트랜지스터와 연결되고, 상기 제 2 전극의 하부면과 접촉되는 저융점 금속물질로 이루어진 연결패턴을 포함하며, 상기 유기전계발광층으로부터 발광된 빛은 제 1 전극쪽으로 발광되고, 상기 연결패턴의 제 2 전극과 접촉되는 접촉 영역은, 상기 접촉 영역과 인접한 상기 연결패턴의 연결 영역보다 넓은 면적을 가지는 듀얼패널타입 유기전계발광 소자를 제공함으로써, 첫째, 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품수명을 늘릴 수 있고, 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하며, 셋째, 상부발광방식이면서 인캡슐레이션 구조이기 때문에, 외기로부터 안정적인 제품을 제공할 수 있고, 넷째, 유기전계발광 다이오드 소자와 박막트랜지스터간의 접착력을 향상시킬 수 있어, 제품 불량을 최소화하면서 신뢰성이 향상된 제품을 제공할 수 있다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 픽셀 구조를 나타낸 도면.

도 2는 종래의 하부발광방식 유기전계발광 소자에 대한 개략적인 단면도.

도 3은 상기 도 2 유기전계발광 소자의 한 서브픽셀 영역에 대한 확대 단면도.

도 4는 종래의 유기전계발광 소자의 제조 공정에 대한 공정 흐름도.

도 5는 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 개략적인 단면도.

도 6은 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도.

도 7a 내지 7c는 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자의 제조 공정을 단계별로 나타낸 단면도.

<도면의 주요부분에 대한 부호의 설명>

110 : 제 1 기판 112 : 버퍼층

114 : 반도체층 115 : 게이트 절연막

116 : 게이트 전극 118 : 제 1 콘택홀

120 : 제 2 콘택홀 122 : 제 1 보호층

124 : 소스 전극 126 : 드레인 전극

128 : 제 3 콘택홀 130 : 제 2 보호층

132 : 연결 패턴 150 : 제 2 기판

152 : 제 1 전극 154 : 유기전계발광층

156 : 제 2 전극 160 : 씰패턴

E : 유기전계발광 다이오드 소자 T : 박막트랜지스터

I : 활성 영역 II : 소스 영역

III : 드레인 영역 IV : 접촉 영역

V : 연결 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광 소자(Organic Electroluminescent Device)에 관한 것이며, 특히 듀얼패널타입(dual panel type) 유기전계발광 소자에 관한 것이다.

새로운 평판 디스플레이(FPb ; Flat Panel Display)중 하나인 유기전계발광 소자는 자체발광형이기 때문에 액정표시장치에 비해 시야각, 콘트라스트 등이 우수하며 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다. 그리고, 직류저전압 구동이 가능하고 응답속도가 빠르며 전부 고체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

특히, 상기 유기전계발광 소자의 제조공정에는, 액정표시장치나 PbP(Plasma Display Panel)와 달리 증착(deposition) 및 인캡슐레이션(encapsulation) 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.

종래에는 이러한 유기전계발광 소자의 구동방식으로 별도의 스위칭 소자를 구비하지 않는 패시브 매트릭스형(passive matrix)이 주로 이용됐었다.

그러나, 상기 패시브 매트릭스 방식에서는 주사선(scan line)과 신호선(signal line)이 교차하면서 매트릭스 형태로 소자를 구성하므로, 각각의 픽셀을 구동하기 위하여 주사선을 시간에 따라 순차적으로 구동하므로, 요구되는 평균 휘도를 나타내기 위해서는 평균 휘도에 라인수를 곱한 것 만큼의 순간 휘도를 내야만 한다.

그러나, 액티브 매트릭스 방식에서는, 픽셀(pixel)을 온/오프(on/off)하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor)가 서브픽셀(sub pixel)별로 위치하고, 이 박막트랜지스터와 연결된 제 1 전극은 서브픽셀 단위로 온/오프되고, 이 제 1 전극과 대향하는 제 2 전극은 공통전극이 된다.

그리고, 상기 액티브 매트릭스 방식에서는 픽셀에 인가된 전압이 스토리지 캐패시터(C_{ST} ; storage capacitance)에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될 때까지 전원을 인가해 주도록 함으로써, 주사선 수에 관계없이 한 화면동안 계속해서 구동한다.

따라서, 액티브 매트릭스 방식에 의하면 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가진다.

이하, 이러한 액티브 매트릭스형 유기전계발광 소자의 기본적인 구조 및 동작특성에 대해서 도면을 참조하여 상세히 설명한다.

도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 픽셀 구조를 나타낸 도면이다.

도시한 바와 같이, 제 1 방향으로 주사선이 형성되어 있고, 이 제 1 방향과 교차되는 제 2 방향으로 형성되며, 서로 일정간격 이격된 신호선 및 전력공급 라인(powersupply line)이 형성되어 있어, 하나의 서브픽셀 영역을 정의한다.

상기 주사선과 신호선의 교차지점에는 어드레싱 엘리먼트(addressing element)인 스위칭 박막트랜지스터(switching TFT)가 형성되어 있고, 이 스위칭 박막트랜지스터 및 전력공급 라인과 연결되어 스토리지 캐패시터(C_{ST})가 형성되어 있으며, 이 스토리지 캐패시터(C_{ST}) 및 전력공급 라인과 연결되어, 전류원 엘리먼트(current source element)인 구동 박막트랜지스터가 형성되어 있고, 이 구동 박막트랜지스터와 연결되어 유기전계발광 다이오드(Electroluminescent Diode) 가 구성되어 있다.

이 유기전계발광 다이오드는 유기발광물질에 순방향으로 전류를 공급하면, 정공 제공층인 양극(anode electrode)과 전자 제공층인 음극(cathode electrode)간의 P(positive)-N(negative) 접합(Junction)부분을 통해 전자와 정공이 이동하면서 서로 재결합하여, 상기 전자와 정공이 떨어져 있을 때보다 작은 에너지를 가지게 되므로, 이때 발생하는 에너지 차로 인해 빛을 방출하는 원리를 이용하는 것이다.

상기 유기전계발광 소자는 유기전계발광 다이오드를 통해 발광된 빛의 투과방향에 따라 상부 발광방식(top emission type)과 하부 발광방식(bottom emission type)으로 나뉜다.

이하, 도 2는 종래의 하부발광방식 유기전계발광 소자에 대한 개략적인 단면도로서, 적, 녹, 청 서브픽셀로 구성되는 하나의 픽셀 영역을 중심으로 도시하였다.

도시한 바와 같이, 제 1, 2 기판(10, 30)이 서로 대향되게 배치되어 있고, 제 1, 2 기판(10, 30)의 가장자리부는 씰패턴(40 ; seal pattern)에 의해 봉지되어 있는 구조에 있어서, 제 1 기판(10)의 투명 기판(1) 상부에는 서브 픽셀별로 박막트랜지스터(T)가 형성되어 있고, 박막트랜지스터(T)와 연결되어 제 1 전극(12)이 형성되어 있고, 박막트랜지스터(T) 및 제 1 전극(12) 상부에는 박막트랜지스터(T)와 연결되어 제 1 전극(12)과 대응되게 배치되는 적(Red), 녹(Green), 청(Blue) 컬러를 띠는 발광물질을 포함하는 유기전계발광층(14)이 형성되어 있고, 유기전계발광층(14) 상부에는 제 2 전극(16)이 형성되어 있다.

상기 제 1, 2 전극(12, 16)은 유기전계발광층(14)에 전계를 인가해주는 역할을 한다.

그리고, 전술한 씰패턴(40)에 의해서 제 2 전극(16)과 제 2 기판(30) 사이는 일정간격 이격되어 있으며, 도면으로 제시하지는 않았지만, 제 2 기판(30)의 내부면에는 외부로의 수분을 차단하는 흡습제 및 흡습제와 제 2 기판(30)간의 접착을 위한 반투성 테이프가 포함된다.

한 예로, 하부발광방식 구조에서 상기 제 1 전극(12)을 양극으로, 제 2 전극(16)을 음극으로 구성할 경우 제 1 전극(12)은 투명도전성 물질에서 선택되고, 제 2 전극(16)은 일함수가 낮은 금속물질에서 선택되며, 이런 조건 하에서 상기 유기전계발광층(14)은 제 1 전극(12)과 접하는 층에서부터 정공주입층(14a ; hole injection layer), 정공수송층(14b ; hole transporting layer), 발광층(14c ; emission layer), 전자수송층(14d ; electron transporting layer) 순서대로 적층된 구조를 이룬다.

이때, 상기 발광층(14c)은 서브픽셀별로 적, 녹, 청 컬러를 구현하는 발광물질이 차례대로 배치된 구조를 가진다.

도 3은 상기 도 2 하부발광방식 유기전계발광 소자의 하나의 서브픽셀 영역에 대한 확대 단면도이다.

도시한 바와 같이, 투명 기판(1) 상에는 반도체층(62), 게이트 전극(68), 소스 및 드레인 전극(80, 82)이 차례대로 형성되어 박막트랜지스터 영역을 이루고, 소스 및 드레인 전극(80, 82)에는 미도시한 전원공급 라인에서 형성된 파워 전극(72) 및 유기전계발광 다이오드(E)가 각각 연결되어 있다.

그리고, 상기 파워 전극(72)과 대응하는 하부에는 절연체가 개재된 상태로 상기 반도체층(62)과 동일물질로 이루어진 캐패시터 전극(64)이 위치하여, 이들이 대응하는 영역은 스토리지 캐패시터 영역을 이룬다.

상기 유기전계발광 다이오드(E)이외의 박막트랜지스터 영역 및 스토리지 캐패시터 영역에 형성된 소자들은 어레이 소자(A)를 이룬다.

상기 유기전계발광 다이오드(E)는 유기전계발광층(14)이 개재된 상태로 서로 대향된 제 1 전극(12) 및 제 2 전극(16)으로 구성된다. 상기 유기전계발광 다이오드(E)는 자체발광된 빛을 외부로 방출시키는 발광 영역에 위치한다.

이와 같이, 기존의 유기전계발광 소자는 어레이 소자(A)와 유기전계발광 다이오드(E)가 동일 기판 상에 적층된 구조로 이루어지는 것을 특징으로 하였다.

도 4는 종래의 유기전계발광 소자의 제조 공정에 대한 공정 흐름도이다.

st1은 제 1 기판 상에 어레이 소자를 형성하는 단계로서, 상기 제 1 기판은 투명 기판을 지칭하는 것으로, 제 1 기판 상에 주사선과, 주사선과 교차되며 서로 일정간격 이격되는 신호선 및 전력 공급선과, 주사선 및 신호선과 교차되는 지점에 형성되는 스위칭 박막트랜지스터 및 주사선 및 전력 공급선이 교차되는 지점에 형성되는 구동 박막트랜지스터를 포함하는 어레이 소자를 형성하는 단계를 포함한다.

st2는 유기전계발광 다이오드의 제 1 구성요소인 제 1 전극을 형성하는 단계로서, 제 1 전극은 구동 박막트랜지스터와 연결되어 서브픽셀별로 패턴화된다.

st3은 상기 제 1 전극 상부에 유기전계발광 다이오드의 제 2 구성요소인 유 기전계발광층을 형성하는 단계로서, 상기 제 1 전극을 양극으로 구성하는 경우에, 상기 유기전계발광층은 정공주입층, 정공수송층, 발광층, 전자수송층 순으로 적층구성될 수 있다.

st4에서는, 상기 유기전계발광층 상부에 유기전계발광 다이오드의 제 3 구성요소인 제 2 전극을 형성하는 단계로서, 상기 제 2 전극은 공통 전극으로 기판 전면에 형성된다.

st5에서는, 또 하나의 기판인 제 2 기판을 이용하여 제 1 기판을 인캡슐레이션하는 단계로서, 이 단계에서는 제 1 기판의 외부충격으로부터 보호하고, 외기(外氣) 유입에 따른 유기전계발광층의 손상을 방지하기 위해 제 1 기판의 외곽을 제 2 기판으로 인캡슐레이션하는 단계로서, 상기 제 2 기판의 내부면에는 흡습제가 포함될 수 있다.

이와 같이, 기존의 하부발광방식 유기전계발광 소자는 어레이 소자 및 유기전계발광 다이오드가 형성된 기판과 별도의 인캡슐레이션용 기판의 합착을 통해 소자를 제작하였다. 이런 경우, 어레이 소자의 수율과 유기전계발광 다이오드의 수율의 곱이 유기전계발광 소자의 수율을 결정하기 때문에, 기존의 유기전계발광 소자 구조에서는 후반 공정에 해당되는 유기전계발광 다이오드 공정에 의해 전체 공정 수율이 크게 제한되는 문제점이 있었다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1000 Å 정도의 박막을 사용하는 유기전계발광층의 형성시 이물이나 기타 다른

요소에 의해 불량이 발생하게 되면, 유기전계발광 소자는 불량 등급으로 판정된다.

이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있었다.

그리고, 하부발광방식은 인캡슐레이션에 의한 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있고, 상부발광방식은 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하지만, 기존의 상부발광방식 구조에서는 유기전계발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 점과, 광투과도의 저하를 최소화하기 위해 박막형 보호막을 구성해야 하는 경우 외기를 충분히 차단하지 못하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로, 본 발명에서는 생산수율이 향상된 고해상도/고개구율 구조 액티브 매트릭스형 유기전계발광 소자를 제공하는 것을 목적으로 한다.

이를 위하여, 본 발명에서는 어레이 소자 및 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하고, 어레이 소자의 구동 박막트랜지스터와 유기전계발광 다이오드 소자의 전극을 별도의 연결패턴을 통해 연결하고자 한다.

본 발명의 또 하나의 목적은, 서로 다른 기판에 형성되는 유기전계발광 소자와 어레이 소자의 접촉특성을 향상시킬 수 있는 패턴구조를 가지는 연결패턴을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 화면을 구현하는 최소단위인 서브픽셀(sub-pixel) 영역이 정의된 제 1, 2 기판과; 상기 제 1 기판의 내부면에 서브픽셀 단위로 형성된 박막트랜지스터를 가지는 어레이 소자층과; 상기 제 2 기판의 내부면에 형성된 제 1 전극과; 상기 제 1 전극 하부면에 형성된 유기전계발광층과; 상기 유기전계발광층 하부면에 서브픽셀 단위로 형성된 제 2 전극과; 상기 어레이 소자층 상부에 위치하여 상기 박막트랜지스터와 연결되고, 상기 제 2 전극의 하부면과 접촉되는 저융점 금속물질로 이루어진 연결패턴을 포함하며, 상기 유기전계발광층으로부터 발광된 빛은 제 1 전극쪽으로 발광되고, 상기 연결패턴의 제 2 전극과 접촉되는 접촉 영역은, 상기 접촉 영역과 인접한 상기 연결패턴의 연결 영역보다 넓은 면적을 가지는 듀얼패널타입 유기전계발광 소자를 제공한다.

상기 연결패턴에는, 스페이서(spacer) 형태의 버퍼패턴이 포함되고, 상기 버퍼패턴은, 상기 어레이 소자층과 접하는 면을 편평한 면으로 하고, 상부면을 반구형상으로 가지는 패턴인 것을 특징으로 한다.

그리고, 상기 버퍼패턴을 이루는 물질은, 포토레지스트(photo resist), 포토아크릴(photoacryl), 폴리이미드(polyimide) 중 어느 하나에서 선택되는 것을 특징으로 한다.

상기 저융점 금속물질은, 갈륨/인듐 합금(Ga/In alloy), 납/주석 합금(Pb/Sn alloy), 납/주석/은 합금(Pb/Sn/Ag alloy), 주석/인듐 합금(Sn/In alloy), 주석/인 듐/구리 합금(Sn/In/Cu alloy), 주석/인듐/은 합금(Sn/In/Ag alloy) 중 어느 하나에서 선택되고, 상기 박막트랜지스터는, 반도체층, 게이트 전극, 소스 전극 및 드레인 전극으로 이루어지고, 상기 연결패턴은 실질적으로 드레인 전극과 연결되는 것을 특징으로 한다.

본 발명의 제 2 특징에서는, 서브픽셀 영역이 정의된 제 1, 2 기판을 구비하는 단계와; 상기 제 1 기판 상에 서브픽셀 단위로 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터를 덮는 기판 전면에, 상기 박막트랜지스터를 일부 노출시키는 제 1 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에서 상기 박막트랜지스터와 연결되는 저융점 금속물질로 이루어진 연결패턴을 형성하는 단계와; 상기 제 2 기판 상에 제 1 전극을 형성하는 단계와; 상기 제 1 전극 상부에 유기전계발광층을 형성하는 단계와; 상기 유기전계발광층 상부에 서브픽셀 단위로 제 2 전극을 형성하여, 상기 제 1, 2 전극과, 제 1, 2 전극 사이에 개재된 유기전계발광층을 포함하는 유기전계발광 다이오드 소자를 완성하는 단계와; 상기 제 1, 2 기판 중 어느 한 기판의 테두리부에 씰패턴을 형성하는 단계와; 상기 씰패턴을 이용하여, 상기 제 1, 2 기판을 합착하는 단계를 포함하며, 상기 합착하는 단계에서는 상기 제 2 전극과 접촉되는 연결패턴을 웰딩(welding)하는 단계를 더욱 포함함으로써, 상기 연결패턴의 제 2 전극과 접촉되는 접촉 영역이, 상기 접촉 영역과 인접한 연결패턴의 연결영역보다 넓은 면적을 가지는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자의 제조방법을 제공한다.

상기 연결패턴을 웰딩(welding)시키는 단계에서는, 상기 제 1 기판의 배면부 에 100℃ ~ 160℃의 온도범위에서 열을 가하는 단계를 포함하고, 상기 연결패턴을 형성하는 단계에서는, 스페이서 형태의 버퍼패턴을 형성하는 단계를 포함하며, 상기 버퍼패턴은, 상기 보호층과 접하는 면을 편평한 면으로 하고 상부면을 반구형상으로 가지는 패턴인 것을 특징으로 한다.

상기 저융점 금속물질은, 갈륨/인듐 합금(Ga/In alloy), 납/주석 합금(Pb/Sn alloy), 납/주석/은 합금(Pb/Sn/Ag alloy), 주석/인듐 합금(Sn/In alloy), 주석/인듐/구리 합금(Sn/In/Cu alloy), 주석/인듐/은 합금(Sn/In/Ag alloy) 중 어느 하나에서 선택되는 것을 특징으로 한다.

이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

-- 실시예 1 --

본 실시예는, 서로 대향된 기판의 내부면에 각각 어레이 소자 및 유기전계발광 소자가 형성되어 있으며, 어레이 소자와 유기전계발광 소자는 별도의 전기적 연결패턴에 의해 연결되는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자에 대한 실시예이다.

또한, 본 발명에 따른 유기전계발광 소자는 상부발광방식으로 구동하는 액티브 매트릭스형 유기전계발광 소자에 관한 것이다.

도 5는 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 개략적인 단면도이다.

도시한 바와 같이, 화면을 구현하는 최소단위인 서브픽셀(sub-pixel) 단위로 제 1, 2 기판(110, 150)이 서로 일정간격 이격되어 대향되게 배치되어 있고, 제 1 기판(110)의 내부면에는 서브픽셀 단위로 형성된 박막트랜지스터(T)를 포함하는 어레이 소자층(140)이 형성되어 있으며, 어레이 소자층(140) 상부에는 박막트랜지스터(T)와 연결되어 기둥형상의 연결패턴(132)이 형성되어 있다.

그리고, 상기 제 2 기판(150)의 내부면에는 제 1 전극(152), 유기전계발광층(154)이 차례대로 형성되어 있고, 유기전계발광층(154) 하부에는 서브픽셀 단위로 제 2 전극(156)이 형성되어 있으며, 제 2 전극(156)의 내부면은 전술한 연결패턴(132)과 접촉되게 구성되어 있고, 제 1, 2 기판(110, 150)의 가장자리부는 씰패턴(160)에 봉지되어 있다.

상기 제 1, 2 전극(152, 156) 및 유기전계발광층(154)는 유기전계발광 다이오드 소자(E)를 이룬다.

상기 어레이 소자층(140)의 적층구조에 대해서 좀 더 상세히 설명하면, 제 1 기판(110)의 내부 전면에 버퍼층(112)이 형성되어 있고, 버퍼층(112) 상부에 서브픽셀 단위로 활성 영역(I) 및 활성 영역(I)의 양측에 소스 영역(II) 및 드레인 영역(III)이 각각 정의되어 있는 반도체층(114)이 형성되어 있고, 반도체층(114)의 활성 영역(I)에는 게이트 절연막(115) 및 게이트 전극(116)이 차례대로 형성되어 있고, 게이트 전극(116)을 덮는 기판 전면에 위치하며, 전술한 반도체층(114)의 소스 영역(II) 및 드레인 영역(III)을 일부 노출시키는 제 1, 2 콘택홀(118, 120)을 가지는 제 1 보호층(122)이 형성되어 있고, 제 1 보호층(122) 상부에서 제 1, 2 콘택홀(118, 120)을 통해 반도체층(114)의 소스 영역(II) 및 드레인 영역(III)과 연 결되어 소스 전극(124) 및 드레인 전극(126)이 각각 형성되어 있고, 소스 전극(124) 및 드레인 전극(126)을 덮는 기판 전면에 위치하며, 드레인 전극(126)을 일부 노출시키는 제 3 콘택홀(128)을 가지는 제 2 보호층(130)이 형성되어 있고, 제 2 보호층(130) 상부에는 제 3 콘택홀(128)을 통해 드레인 전극(126)과 연결되는 연결패턴(132)이 기둥 형상으로 형성되어 있으며, 상기 반도체층(114), 게이트 전극(116), 소스 전극(124), 드레인 전극(126)은 박막트랜지스터(T)를 이룬다.

본 발명에서는, 상기 제 2 전극(156)과 연결패턴(132)의 접촉특성을 향상시키기 위하여, 연결패턴(132)을 이루는 물질로써 유기전계발광 소자를 이루는 물질들보다 낮은 온도에서도 용융될 수 있는 저융점 금속물질을 선택하고, 이러한 저융점 금속물질에서 선택된 연결패턴(132)과 제 2 전극(156)의 접착력을 향상시키기 위해 제 1, 2 기판(110, 150)의 합착 단계에서, 전술한 저융점 금속물질 만을 선택적으로 용융시킬 수 있는 온도범위에서의 열처리를 통해 연결패턴(132)의 제 2 전극(156)과 닿는 접촉 영역(IV)에서의 면적이 접촉 영역(IV)과 인접한 연결 영역(V)의 면적보다 큰 것을 특징으로 한다.

즉, 본 발명에서는 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하고, 별도의 연결패턴을 통해 어레이 소자와 유기전계발광 다이오드 소자를 연결함에 있어서, 유기전계발광 소자에 손상을 주지 않는 온도범위에서 용융가능한 저융점 금속물질로 연결패턴을 형성하고, 두 기판의 합착 단계에서 제 2 전극과 연결패턴의 접촉부에 소정의 온도 조건 하에서 가열처리를 하여, 용융된 연결패턴이 제 2 전극면에서 표면장력에 의해 확산접촉됨에 따라, 연결패턴의 제 2 전극과의 접촉면이 인접한 연결패턴 영역보다 넓게 되어, 제 2 전극과 연결패턴의 접착력을 높일 수 있는 것을 특징으로 한다.

상기 연결패턴(132)의 저융점 금속물질로는, 갈륨/인듐 합금(Ga/In alloy), 납/주석 합금(Pb/Sn alloy), 납/주석/은 합금(Pb/Sn/Ag alloy), 주석/인듐 합금(Sn/In alloy), 주석/인듐/구리 합금(Sn/In/Cu alloy), 주석/인듐/은 합금(Sn/In/Ag alloy) 중 어느 하나에서 선택되는 것이 바람직하다.

그리고, 도면으로 상세히 제시하지는 않았지만, 본 발명에 따른 듀얼패널타입 유기전계발광 소자에는, 발광 영역과 씰패턴 영역 사이구간에 흡습제를 더욱 포함한다.

-- 실시예 2 --

본 실시예는 이중층 구조로 연결패턴을 형성하는 실시예에 관한 것으로, 연결패턴의 높이감을 줄 수 있는 스페이서 형태의 제 1 패턴을 일차적으로 형성하고, 제 1 패턴을 덮는 영역에 저융점 금속물질로 이루어진 제 2 패턴을 형성하는 것을 특징으로 한다.

도 6은 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도이다.

도시한 바와 같이, 서브픽셀 영역이 정의되어 있는 제 1, 2 기판(210, 250)이 서로 일정간격 이격되게 배치되어 있고, 제 1 기판(210) 내부면에는 서브픽셀 단위로 형성된 박막트랜지스터(T)를 포함하는 어레이 소자층(240)이 형성되어 있으며, 제 2 기판(250)의 내부 전면에는 제 1 전극(252), 유기전계발광층(254)이 차례 대로 형성되어 있고, 유기전계발광층(254) 하부면에는 서브픽셀 단위로 제 2 전극(256)이 형성되어 있다.

본 실시예에서는, 상기 어레이 소자층(240) 상부에 서브픽셀 단위로 편평한 면을 어레이 소자층(240)쪽으로 하는 반구형상의 제 1 패턴(232a)과, 제 1 패턴(232a)을 덮으며 하부로는 전술한 박막트랜지스터(T)와 연결되고, 상부로는 제 2 전극(256)과 접촉되며, 제 1 패턴(232a)의 반구형상과 대응되는 패턴구조를 가지는 제 2 패턴(232b)으로 이루어진 연결패턴(232)이 구성된 것을 특징으로 한다.

한 예로, 상기 제 1 패턴(232a)은 포토레지스트(photo resist)를 이용하여, 노광, 현상 공정을 포함하는 사진식각 공정(photolithography)에 의해 형성될 수 있다.

그리고, 상기 제 2 패턴(232b)은 저융점 금속물질로 이루어진 것을 특징으로 한다.

상기 저융점 금속물질로는, 갈륨/인듐 합금(Ga/In alloy), 납/주석 합금(Pb/Sn alloy), 납/주석/은 합금(Pb/Sn/Ag alloy), 주석/인듐 합금(Sn/In alloy), 주석/인듐/구리 합금(Sn/In/Cu alloy), 주석/인듐/은 합금(Sn/In/Ag alloy) 중 어느 하나에서 선택되는 것이 바람직하다.

이와 같이, 본 실시예에서는 이중층 구조로 연결패턴(232)을 형성하여, 연결패턴(232)의 두께를 용이하게 제어할 수 있는 것을 특징으로 하며, 제 2 패턴(232b)의 제 2 전극(256)과 접촉되는 접촉 영역(IV)이, 이와 인접한 제 2 패턴(232b)의 연결 영역(V)보다 큰 값을 가지며, 이러한 구조적 특징은 상기 실시 예 1과 동일한 공정에 의해 이루어질 수 있다.

도 7a 내지 7c는 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자의 제조 공정을 단계별로 나타낸 단면도로서, 연결패턴의 제조 공정을 중심으로 도시하였다.

도 7a에서는, 제 1 기판(310) 상에 반도체층(314), 게이트 전극(316), 소스 전극(318) 및 드레인 전극(320)을 포함하는 박막트랜지스터(T)를 형성하는 단계와, 박막트랜지스터(T) 상부에 드레인 전극(320)을 일부 노출시키는 드레인 콘택홀(322)을 가지는 보호층(324)을 형성하는 단계와, 보호층(324) 상부에 두께감을 가지는 스페이서 형태의 제 1 패턴(332a)을 형성하는 단계를 포함한다.

상기 제 1 패턴(332a)을 이루는 물질은 절연물질에서 선택되며, 한 예로 포토레지스트를 이용하여 사진식각 공정에 의해 편평한 면이 보호층(324)과 접하는 반구 형상으로 형성될 수 있다.

그리고, 상기 제 1 패턴(332a)은 드레인 콘택홀(322)을 막지않는 영역범위에서, 드레인 콘택홀(322)과 인접한 영역에 형성하는 것이 바람직하다.

도 7b에서는, 제 1 패턴(332a)이 형성된 제 1 기판(310) 상에, 저융점 금속물질을 이용하여 드레인 콘택홀(322)을 통해 드레인 전극(320)과 연결되며, 제 1 패턴(332a)의 반구 형상과 대응되는 패턴구조를 가지는 제 2 패턴(332b)을 형성하여, 제 1, 2 패턴(332a, 332b)으로 이루어진 연결패턴(332)을 완성하는 단계이다.

상기 저융점 금속물질로는, 갈륨/인듐 합금(Ga/In alloy), 납/주석 합금(Pb/Sn alloy), 납/주석/은 합금(Pb/Sn/Ag alloy), 주석/인듐 합금(Sn/In alloy), 주석/인듐/구리 합금(Sn/In/Cu alloy), 주석/인듐/은 합금(Sn/In/Ag alloy) 중 어느 하나에서 선택되는 것이 바람직하다.

도 7c에서는, 또 하나의 기판인 제 2 기판(350) 상부면에 제 1 전극(352)을 형성하는 단계와, 제 1 전극(352)을 덮는 기판 전면에 유기전계발광층(354)이 형성하는 단계와, 유기전계발광층(354) 상부에 제 2 전극(356)을 형성하는 단계를 포함하여, 제 1, 2 전극(352, 356)과, 제 1, 2 전극(352, 356) 사이에 개재된 유기전계발광층(354)으로 이루어진 유기전계발광 다이오드 소자(E)를 완성하는 단계와, 유기전계발광 다이오드 소자(E)를 내부면으로 하여 제 2 기판(350)을 연결패턴(332)이 형성된 제 1 기판(310) 상부에 얼라인하는 단계와, 상기 유기전계발광 다이오드 소자(E)의 제 2 전극(356)과 연결패턴(332)을 연결시키는 단계를 포함하여 두 기판을 합착하는 단계를 포함한다.

상기 얼라인하는 단계에서는, 제 1, 2 기판(310, 350)중 어느 한 기판의 테두리부에 씰패턴을 형성하는 단계를 포함하며, 상기 두 기판의 합착은 실질적으로 씰패턴에 의해 이루어진다.

그리고, 상기 제 2 전극(356)과 연결패턴(332)을 연결시키는 단계에서는, 한 예로 제 1 기판(310)의 배면에서 전술한 연결패턴(332)의 제 2 패턴(332b)을 이루는 저융점 금속물질을 용융시킬 수 있는 최저온도 범위에서 가열처리를 하여, 일종의 웰딩(welding) 방법에 의해 제 2 전극(356)과 연결패턴(332)을 효과적으로 접촉시킬 수 있다.

한 예로, 상기 온도범위는 100℃ ~ 160℃로 하는 것이 바람직하다.

이러한 웰딩 방법에 의해, 상기 제 2 전극(356)과 연결패턴(332)을 접착시킴에 따라, 연결패턴(332)의 제 2 전극(356)과 접촉되는 접촉 영역(IV)이, 접촉 영역(IV)과 인접한 연결 영역(V)보다 큰 면적을 가지게 되어, 제 2 전극(356)과 연결패턴(332) 간의 접착 특성을 향상시킬 수 있다.

그러나, 본 발명은 상기 실시예들로 한정되지 않고, 본 발명의 취지에 어긋나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

발명의 효과

이상과 같이, 본 발명에 따른 듀얼패널타입 유기전계발광 소자에 의하면 다음과 같은 효과를 가지게 된다.

첫째, 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품수명을 늘릴 수 있다.

둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하다.

셋째, 상부발광방식이면서 인캡슐레이션 구조이기 때문에, 외기로부터 안정적인 제품을 제공할 수 있다.

넷째, 유기전계발광 다이오드 소자와 박막트랜지스터간의 접착력을 향상시킬 수 있어, 제품 불량을 최소화하면서 신뢰성이 향상된 제품을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

화면을 구현하는 최소단위인 서브픽셀(sub-pixel) 영역이 정의된 제 1, 2 기판과;

상기 제 1 기판의 내부면에 서브픽셀 단위로 형성된 박막트랜지스터를 가지는 어레이 소자층과;

상기 제 2 기판의 내부면에 형성된 제 1 전극과;

상기 제 1 전극 하부면에 형성된 유기전계발광층과;

상기 유기전계발광층 하부면에 서브픽셀 단위로 형성된 제 2 전극과;

상기 어레이 소자층 상부에 위치하여 상기 박막트랜지스터와 연결되고, 상기 제 2 전극의 하부면과 접촉되는 저융점 금속물질로 이루어진 연결패턴

을 포함하며, 상기 유기전계발광층으로부터 발광된 빛은 제 1 전극쪽으로 발광되고, 상기 연결패턴의 제 2 전극과 접촉되는 접촉 영역은, 상기 접촉 영역과 인접한 상기 연결패턴의 연결 영역보다 넓은 면적을 가지는 듀얼패널타입 유기전계발광 소자.

청구항 2.

제 1 항에 있어서,

상기 연결패턴에는, 스페이서(spacer) 형태의 버퍼패턴이 포함되는 듀얼패널타입 유기전계발광 소자.

청구항 3.

제 2 항에 있어서,

상기 버퍼패턴은, 상기 어레이 소자층과 접하는 면을 편평한 면으로 하고, 상부면을 반구형상으로 가지는 패턴인 듀얼패널타입 유기전계발광 소자.

청구항 4.

제 2 항에 있어서,

상기 버퍼패턴을 이루는 물질은, 포토레지스트(photo resist), 포토아크릴(photoacryl), 폴리이미드(polyimide) 중 어느 하나에서 선택되는 듀얼패널타입 유기전계발광 소자.

청구항 5.

제 1 항에 있어서,

상기 저융점 금속물질은, 갈륨/인듐 합금(Ga/In alloy), 납/주석 합금(Pb/Sn alloy), 납/주석/은 합금(Pb/Sn/Ag alloy), 주석/인듐 합금(Sn/In alloy), 주석/인듐/구리 합금(Sn/In/Cu alloy), 주석/인듐/은 합금(Sn/In/Ag alloy) 중 어느 하나에서 선택되는 듀얼패널타입 유기전계발광 소자.

청구항 6.

제 1 항에 있어서,

상기 박막트랜지스터는, 반도체층, 게이트 전극, 소스 전극 및 드레인 전극으로 이루어지고, 상기 연결패턴은 실질적으로 드레인 전극과 연결되는 듀얼패널타입 유기전계발광 소자.

청구항 7.

서브픽셀 영역이 정의된 제 1, 2 기판을 구비하는 단계와;

상기 제 1 기판 상에 서브픽셀 단위로 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터를 덮는 기판 전면에, 상기 박막트랜지스터를 일부 노출시키는 제 1 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에서 상기 박막트랜지스터와 연결되는 저융점 금속물질로 이루어진 연결패턴을 형성하는 단계와;

상기 제 2 기판 상에 제 1 전극을 형성하는 단계와;

상기 제 1 전극 상부에 유기전계발광층을 형성하는 단계와;

상기 유기전계발광층 상부에 서브픽셀 단위로 제 2 전극을 형성하여, 상기 제 1, 2 전극과, 제 1, 2 전극 사이에 개재된 유기전계발광층을 포함하는 유기전계발광 다이오드 소자를 완성하는 단계와;

상기 제 1, 2 기판 중 어느 한 기판의 테두리부에 씰패턴을 형성하는 단계와;

상기 씰패턴을 이용하여, 상기 제 1, 2 기판을 합착하는 단계

를 포함하며, 상기 합착하는 단계에서는 상기 제 2 전극과 접촉되는 연결패 턴을 웰딩(welding)하는 단계를 더욱 포함함으로써, 상기 연결패턴의 제 2 전극과 접촉되는 접촉 영역이, 상기 접촉 영역과 인접한 연결패턴의 연결영역보다

넓은 면적을 가지는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자의 제조방법.

청구항 8.

제 7 항에 있어서,

상기 연결패턴을 웰딩(welding)시키는 단계에서는, 상기 제 1 기판의 배면부에 100℃ ~ 160℃의 온도범위에서 열을 가하는 단계를 포함하는 듀얼패널타입 유기전계발광 소자의 제조방법.

청구항 9.

제 7 항에 있어서,

상기 연결패턴을 형성하는 단계에서는, 스페이서 형태의 버퍼패턴을 형성하는 단계를 포함하는 듀얼패널타입 유기전계발광 소자의 제조방법.

청구항 10.

제 9 항에 있어서,

상기 버퍼패턴은, 상기 보호층과 접하는 면을 편평한 면으로 하고 상부면을 반구형상으로 가지는 패턴인 듀얼패널타입 유기전계발광 소자의 제조방법.

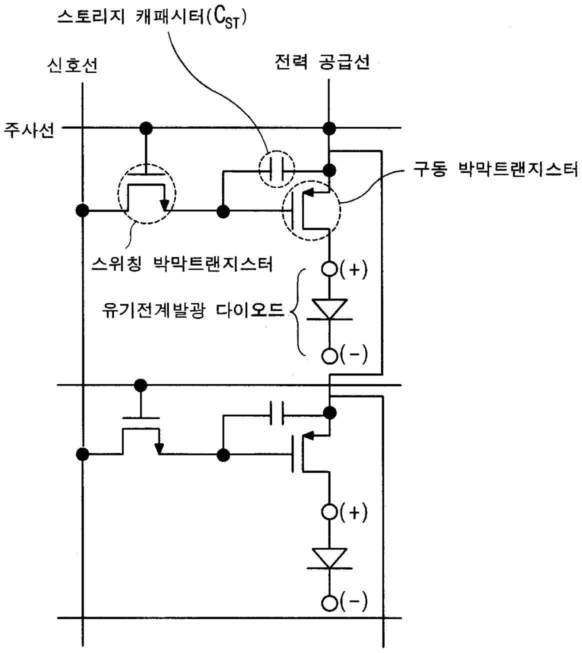
청구항 11.

제 7 항에 있어서,

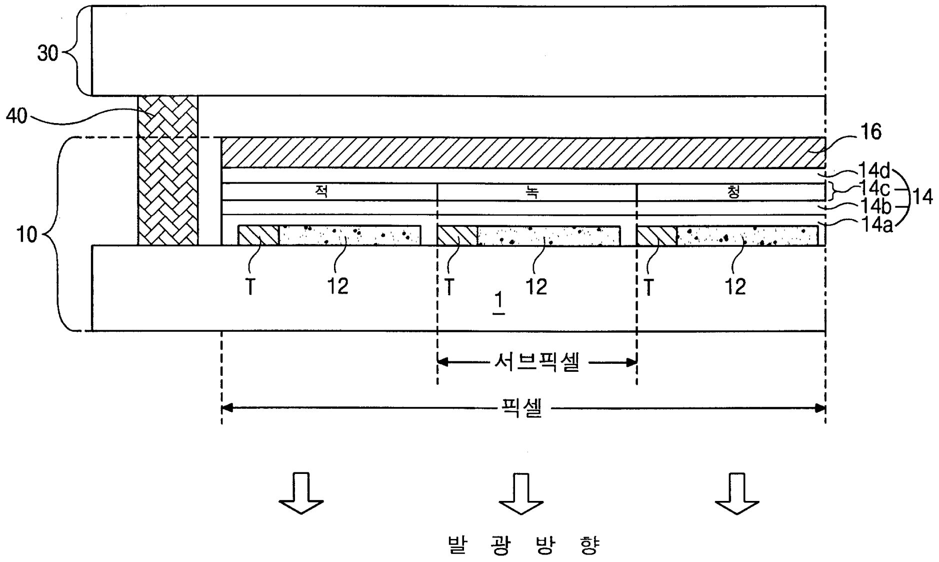
상기 저용점 금속물질은, 갈륨/인듐 합금(Ga/In alloy), 납/주석 합금(Pb/Sn alloy), 납/주석/은 합금(Pb/Sn/Ag alloy), 주석/인듐 합금(Sn/In alloy), 주석/인듐/구리 합금(Sn/In/Cu alloy), 주석/인듐/은 합금(Sn/In/Ag alloy) 중 어느 하나에서 선택되는 듀얼패널타입 유기전계발광 소자의 제조방법.

도면

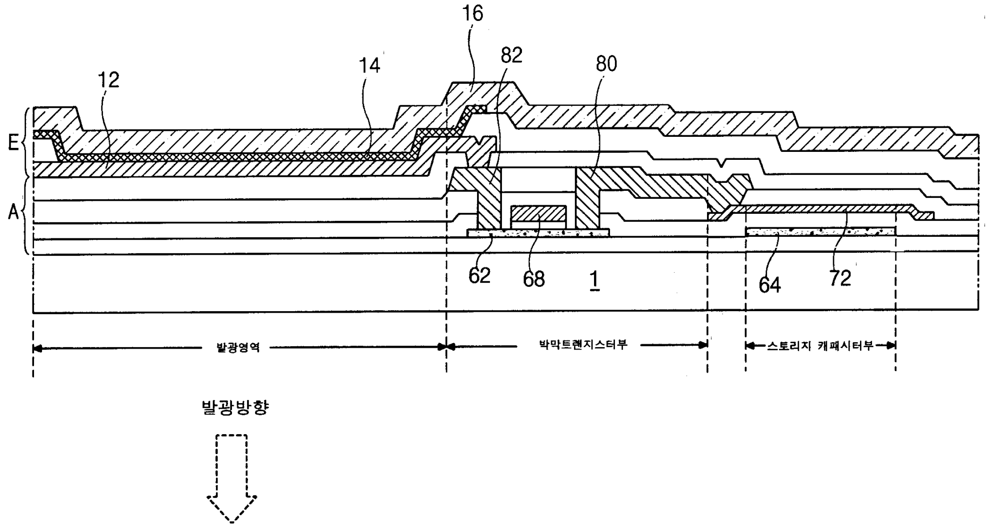
도면1



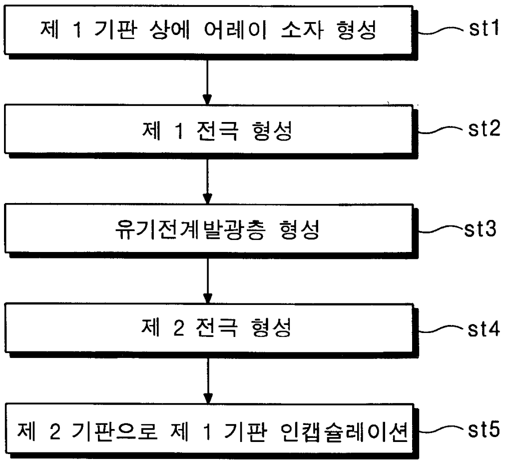
도면2


30
40
16
14d
14c
14b
14a
14
10
적
녹
청
T
12
T
12
1
T
12
서브픽셀
픽셀
발 광 방 향

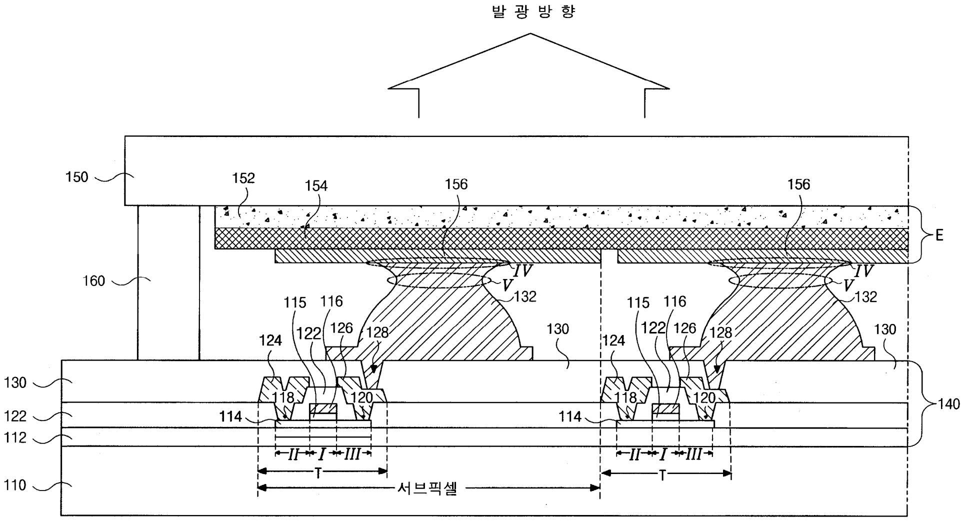
도면3


16
82
80
12
14
E
A
62
68
1
64
72
발광영역
박막트랜지스터부
스토리지 캐패시터부
발광방향

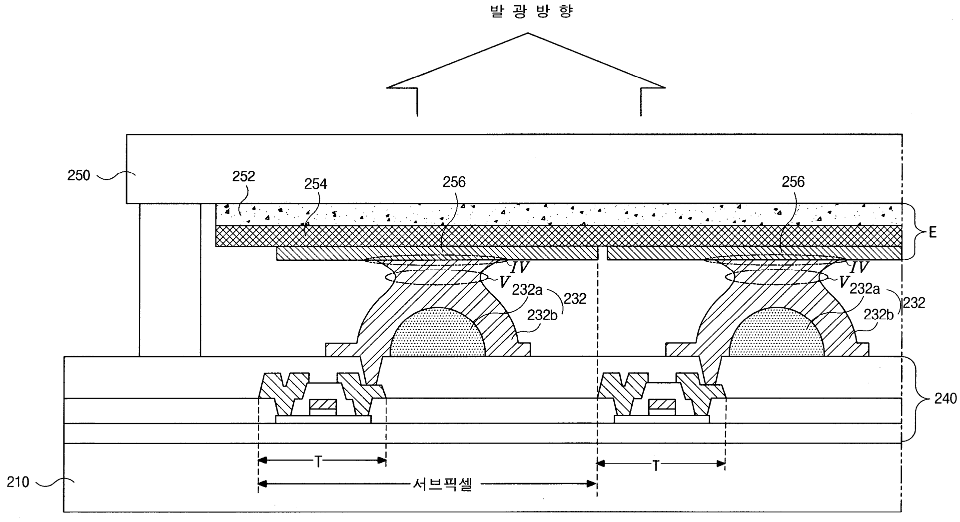
도면4


제 1 기판 상에 어레이 소자 형성
st1
제 1 전극 형성
st2
유기전계발광층 형성
st3
제 2 전극 형성
st4
제 2 기판으로 제 1 기판 인캡슐레이션
st5

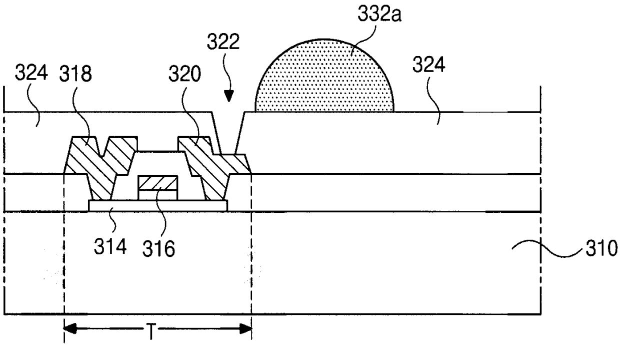
도면5


발 광 방 향
150
152
154
156
156
E
160
IV
V
132
115
116
122
126
128
130
124
118
120
140
130
122
112
114
110
II
I
III
T
서브픽셀

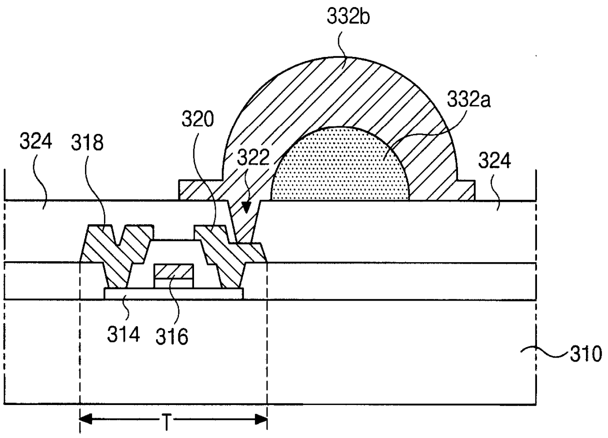
도면6


발 광 방 향
250
252
254
256
256
E
IV
V
232a
232
232b
240
210
T
서브픽셀

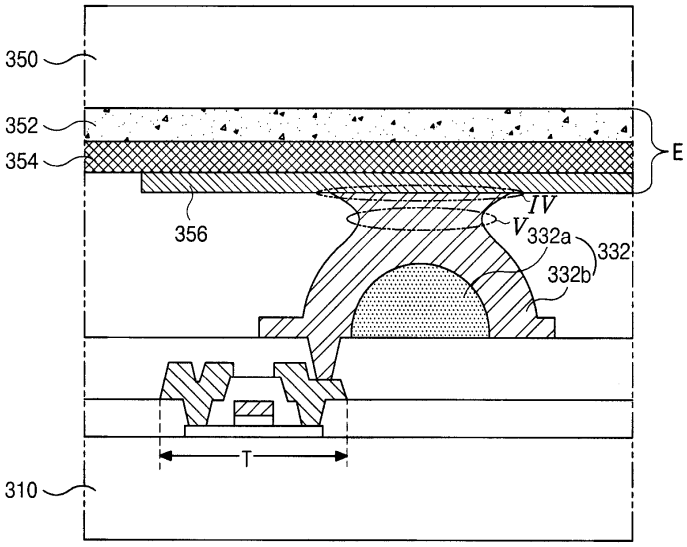
도면7a


332a
322
324
318
320
324
314
316
310
T

도면7b


332b
332a
320
324
318
322
324
314
316
310
T

도면7c


350
352
354
E
356
IV
V
332a
332
332b
T
310

专利名称(译)	双面板型有机电致发光器件及其制造方法		
公开(公告)号	KR1020040008321A	公开(公告)日	2004-01-31
申请号	KR1020020041938	申请日	2002-07-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JAEYONG 박재용 YOO CHOONGKEUN 유충근 KIM OCKHEE 김옥희 LEE NAMYANG 이남양 KIM KWANSOO 김관수		
发明人	박재용 유충근 김옥희 이남양 김관수		
IPC分类号	H05B33/00 H01J1/62 H01J63/04 H01L21/00 H01L27/32 H01L29/04 H01L29/08 H01L29/24 H01L31/036 H01L31/0376 H01L31/20 H01L33/00 H01L35/24 H01L51/00 H01L51/40 H01L51/52 H05B33/10 H05B33/14		
CPC分类号	H01L27/3246 H01L27/3253 H01L51/0021 H01L51/0024 H01L51/5206 H01L2251/5315		
代理人(译)	정원기		
其他公开文献	KR100472854B1		
外部链接	Espacenet		

摘要(译)

目的：提供双面板型有机电致发光器件及其制造方法，以实现提高的成品率并且允许薄膜晶体管的设计容易。双面型有机电致发光器件包括第一衬底（110）和具有子像素区域的第二基板（150）;阵列元件层，形成在所述第一基板的内表面，并且具有形成为子像素单元的薄膜晶体管;形成在所述第二基板的内表面的第一电极（152）形成在第一电极的下表面处的有机电致发光层（154）形成在有机电致发光层的下表面的第二电极（156）以及形成在阵列元件层上并连接到薄膜晶体管的连接图案（132），其中连接图案由与第二电极的下表面接触的低熔点金属材料制成。从有机电致发光层发射的光指向第一电极。接触第二电极的连接图案的接触面积大于布置在接触面附近的连接图案的连接面积。©KIPO 2004