



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년07월31일

(11) 등록번호 10-1424272

(24) 등록일자 2014년07월22일

(51) 국제특허분류(Int. Cl.)

H05B 33/02 (2006.01) H05B 33/26 (2006.01)

H05B 33/22 (2006.01)

(21) 출원번호 10-2007-0123222

(22) 출원일자 2007년11월30일

심사청구일자 2012년11월15일

(65) 공개번호 10-2009-0056184

(43) 공개일자 2009년06월03일

(56) 선행기술조사문헌

KR1020050104955 A\*

KR1020050121852 A\*

KR1020070111238 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박재희

경상북도 구미시 인동36길 23-34, 708동 1504호  
(구평동, 부영아파트)

(74) 대리인

특허법인로얄

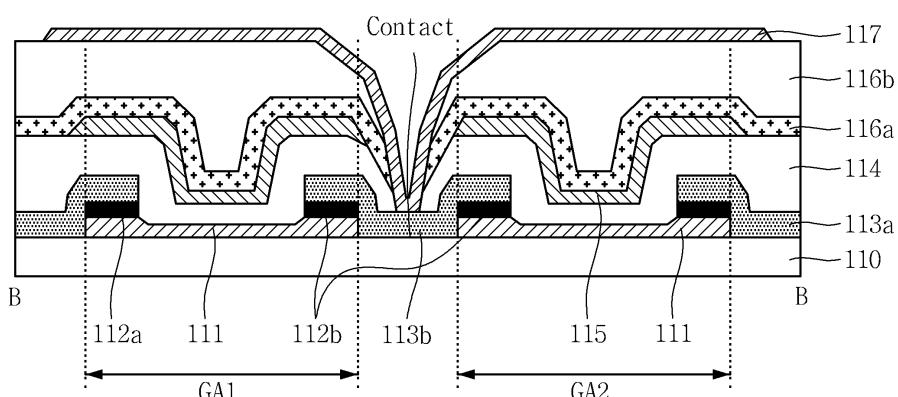
전체 청구항 수 : 총 10 항

심사관 : 이태호

(54) 발명의 명칭 유기전계발광표시장치 및 이의 제조방법

**(57) 요 약**

본 발명은, 기판 상에 정의된 제1영역에 위치하는 스위칭 트랜지스터와, 제2영역에 위치하는 커패시터와, 제3영역에 위치하는 구동 트랜지스터 및 유기 발광다이오드를 포함하는 서브 픽셀을 포함하되, 구동 트랜지스터는, 제3영역의 중앙에 위치하는 제1전극과, 제1전극에 일측이 접촉되며 제1전극을 둘러싸도록 띠 형태로 위치하는 반도체층과, 반도체층의 타측에 접촉되며 제1전극과 이격된 제2전극과, 제1전극, 반도체층 및 제2전극의 상부에 위치하는 절연막과, 절연막 상부에서 반도체층을 덮도록 위치하는 게이트를 포함하는 유기전계발광표시장치를 제공한다.

**대 표 도** - 도4b

## 특허청구의 범위

### 청구항 1

기판 상에 정의된 제1영역에 위치하는 스위칭 트랜지스터와, 제2영역에 위치하는 커패시터와, 제3영역에 위치하는 구동 트랜지스터 및 유기 발광다이오드를 포함하는 서브 팩셀을 포함하되,

상기 구동 트랜지스터는,

상기 제3영역의 중앙에 위치하는 제1전극과, 상기 제1전극에 일측이 접촉되며 상기 제1전극을 둘러싸도록 띠 형태로 위치하는 반도체층과, 상기 반도체층의 타측에 접촉되며 상기 제1전극과 이격된 제2전극과, 상기 제1전극, 상기 반도체층 및 상기 제2전극의 상부에 위치하는 절연막과, 상기 절연막 상부에서 상기 반도체층을 덮도록 위치하는 게이트를 포함하되,

상기 게이트가 차지하는 영역은 상기 반도체층을 모두 덮도록 형성된 유기전계발광표시장치.

### 청구항 2

제1항에 있어서,

상기 구동 트랜지스터의 제1전극은,

직사각형 형태인 유기전계발광표시장치.

### 청구항 3

제1항에 있어서,

상기 서브 팩셀은,

상기 게이트 상에 위치하는 보호막과 상기 보호막 상에 위치하는 평탄화막을 더 포함하되,

상기 절연막, 상기 보호막 및 상기 평탄화막은 상기 제3영역의 중앙 영역에서 상기 제1전극이 노출되도록 패턴된 제1콘택홀을 포함하는 유기전계발광표시장치.

### 청구항 4

제3항에 있어서,

상기 구동 트랜지스터의 게이트는,

상기 반도체층의 중앙 영역에 위치하는 영역이 상기 반도체층의 외곽 영역에 위치하는 영역보다 하부에 위치하는 유기전계발광표시장치.

### 청구항 5

제3항에 있어서,

상기 유기 발광다이오드는,

상기 평탄화막 상에 위치하며 상기 제1콘택홀을 통해 노출된 상기 구동 트랜지스터의 제1전극에 연결된 캐소드와, 상기 캐소드 상에 위치하는 유기 발광층과, 상기 유기 발광층 상에 위치하며 제1전원배선에 연결된 애노드를 포함하는 유기전계발광표시장치.

### 청구항 6

제5항에 있어서,

상기 유기 발광다이오드의 캐소드는,

상기 평탄화막 상에서 상기 구동 트랜지스터의 제1전극, 반도체층 및 제2전극을 모두 덮도록 위치하는 유기전계발광표시장치.

### 청구항 7

제1항에 있어서,

상기 스위칭 트랜지스터는,

상기 기판 상에 위치하는 테이터 배선에 연결된 제1전극과, 상기 제1전극에 삼면이 둘러싸인 제2전극과, 상기 제1전극과 상기 제2전극을 덮도록 위치하는 상기 절연막과, 상기 절연막 상에 위치하며 스캔 배선에 연결된 게이트를 포함하는 유기전계발광표시장치.

### 청구항 8

제1항에 있어서,

상기 커패시터는,

상기 스위칭 트랜지스터의 제2전극에 연장되며 상기 구동 트랜지스터의 게이트에 연결된 일단과, 상기 일단을 덮도록 위치하는 상기 절연막과, 상기 절연막 상에 위치하고 제2전원 배선에 연결되며 상기 구동 트랜지스터의 제2전극에 연결된 타단을 포함하는 유기전계발광표시장치.

### 청구항 9

기판 상에 위치하는 서브 팩셀 내에 제1영역, 제2영역 및 제3영역을 정의하는 단계; 및

상기 제1영역에 스위칭 트랜지스터를 형성하고 상기 제2영역에 커패시터를 형성하고 상기 제3영역에 구동 트랜지스터를 형성하는 단계를 포함하되,

상기 구동 트랜지스터는,

상기 제3영역의 중앙에 위치하는 직사각형 형태의 제1전극과, 상기 제1전극에 일측이 접촉되며 상기 제1전극을 둘러싸도록 사각형 띠 형태로 위치하는 반도체층과, 상기 반도체층의 타측에 접촉되며 상기 제1전극과 이격된 제2전극과, 상기 제1전극, 상기 반도체층 및 상기 제2전극의 상부에 위치하는 절연막과, 상기 절연막 상부에서 상기 반도체층을 덮도록 위치하는 게이트를 포함하되,

상기 게이트가 차지하는 영역은 상기 반도체층을 모두 덮도록 형성된 유기전계발광표시장치의 제조방법.

### 청구항 10

제9항에 있어서,

상기 구동 트랜지스터의 게이트는,

상기 반도체층의 중앙 영역에 위치하는 영역이 상기 반도체층의 외곽 영역에 위치하는 영역보다 하부에 위치하는 유기전계발광표시장치의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 기술분야

[0001] 본 발명은 유기전계발광표시장치 및 이의 제조방법에 관한 것이다.

#### 배경기술

[0002] 최근, 평판 표시 장치(Flat Panel Display: FPD)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정표시장치(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평판 표시 장치가 실용화되고 있다.

[0003] 특히, 유기전계발광표시장치는 고속 응답 속도를 가지며, 소비 전력이 낮고 자체 발광하는 특성이 있다. 또한, 유기전계발광표시장치는 시야각에 문제가 없기 때문에, 그 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 그리고, 유기전계발광표시장치는 저온 제작이 가능하고, 기존의 반도체 공정 기술을 이용하여 간단하게 제조될

수 있으므로, 차세대 평판 표시 장치로 주목받고 있다.

[0004] 한편, 종래 상부 발광 방식 인버티드 유기전계발광표시장치는 구동 트랜지스터 상에 유기 발광다이오드의 캐소드가 먼저 형성되어 캐소드 전위와 구동 트랜지스터의 드레인 전위가 같았다.

[0005] 이러한 구조의 경우, 외부로부터 입사된 광에 의해 구동 트랜지스터의 반도체층 영역에 전계 효과(Field Effect)가 작용하게 되어 구동 트랜지스터의 출력 세트레이션(Output Saturation) 특성이 저하되는 문제가 있어 이의 개선이 요구된다.

## 발명의 내용

### 해결 하고자하는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 상부 발광 방식 인버티드 유기전계발광표시장치의 출력 세트레이션 특성이 저하하는 문제를 방지하는 것이다.

### 과제 해결수단

[0007] 상술한 과제 해결 수단으로 본 발명은, 기판 상에 정의된 제1영역에 위치하는 스위칭 트랜지스터와, 제2영역에 위치하는 커패시터와, 제3영역에 위치하는 구동 트랜지스터 및 유기 발광다이오드를 포함하는 서브 픽셀을 포함하되, 구동 트랜지스터는, 제3영역의 중앙에 위치하는 제1전극과, 제1전극에 일측이 접촉되며 제1전극을 둘러싸도록 띠 형태로 위치하는 반도체층과, 반도체층의 타측에 접촉되며 제1전극과 이격된 제2전극과, 제1전극, 반도체층 및 제2전극의 상부에 위치하는 절연막과, 절연막 상부에서 반도체층을 덮도록 위치하는 게이트를 포함하는 유기전계발광표시장치를 제공한다.

[0008] 구동 트랜지스터의 제1전극은, 직사각형 형태일 수 있다.

[0009] 서브 픽셀은, 게이트 상에 위치하는 보호막과 보호막 상에 위치하는 평탄화막을 더 포함하되, 절연막, 보호막 및 평탄화막은 제3영역의 중앙 영역에서 제1전극이 노출되도록 폐턴된 제1콘택홀을 포함할 수 있다.

[0010] 구동 트랜지스터의 게이트는, 반도체층의 중앙 영역에 위치하는 영역이 반도체층의 외곽 영역에 위치하는 영역 보다 하부에 위치할 수 있다.

[0011] 유기 발광다이오드는, 평탄화막 상에 위치하며 제1콘택홀을 통해 노출된 구동 트랜지스터의 제1전극에 연결된 캐소드와, 캐소드 상에 위치하는 유기 발광층과, 유기 발광층 상에 위치하며 제1전원배선에 연결된 애노드를 포함할 수 있다.

[0012] 유기 발광다이오드의 캐소드는, 평탄화막 상에서 구동 트랜지스터의 제1전극, 반도체층 및 제2전극을 모두 덮도록 위치할 수 있다.

[0013] 스위칭 트랜지스터는, 기판 상에 위치하는 데이터 배선에 연결된 제1전극과, 제1전극에 삼면이 둘러싸인 제2전극과, 제1전극과 제2전극을 덮도록 위치하는 절연막과, 절연막 상에 위치하며 스캔 배선에 연결된 게이트를 포함할 수 있다.

[0014] 커패시터는, 스위칭 트랜지스터의 제2전극에 연장되며 구동 트랜지스터의 게이트에 연결된 일단과, 일단을 덮도록 위치하는 절연막과, 절연막 상에 위치하고 제2전원 배선에 연결되며 구동 트랜지스터의 제2전극에 연결된 타단을 포함할 수 있다.

[0015] 한편, 다른 측면에서 본 발명은, 기판 상에 위치하는 서브 픽셀 내에 제1영역, 제2영역 및 제3영역을 정의하는 단계; 및 제1영역에 스위칭 트랜지스터를 형성하고 제2영역에 커패시터를 형성하고 제3영역에 구동 트랜지스터를 형성하는 단계를 포함하되, 구동 트랜지스터는, 제3영역의 중앙에 위치하는 직사각형 형태의 제1전극과, 제1전극에 일측이 접촉되며 제1전극을 둘러싸도록 사각형 띠 형태로 위치하는 반도체층과, 반도체층의 타측에 접촉되며 제1전극과 이격된 제2전극과, 제1전극, 반도체층 및 제2전극의 상부에 위치하는 절연막과, 절연막 상부에서 반도체층을 덮도록 위치하는 게이트를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.

[0016] 구동 트랜지스터의 게이트는, 반도체층의 중앙 영역에 위치하는 영역이 반도체층의 외곽 영역에 위치하는 영역 보다 하부에 위치할 수 있다.

## 효과

[0017] 본 발명은, 상부 발광 방식 인버티드 유기전계발광표시장치의 출력 세튜레이션 특성이 저하하는 문제를 방지하는 효과가 있다. 또한, 상부 발광 방식 인버티드 유기전계발광표시장치를 제조할 때 사용되는 마스크 수를 줄일 수 있는 효과가 있다.

### 발명의 실시를 위한 구체적인 내용

- [0018] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0019] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 평면도이다.
- [0020] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 기판(110) 상에 다수의 서브 픽셀(P)이 위치하는 표시부(120)를 포함할 수 있다. 기판(110) 상에 위치하는 다수의 서브 픽셀(P)은 수분이나 산소에 취약하다.
- [0021] 그리하여, 밀봉기판(130)을 구비하고, 표시부(120)의 외곽 기판(110)에 접착부재(140)를 형성하여 기판(110)과 밀봉기판(130)을 봉지할 수 있다. 한편, 다수의 서브 픽셀(P)은 기판(110) 상에 위치하는 구동부(150)에 의해 구동되어 영상을 표현할 수 있다.
- [0022] 구동부(150)는 다수의 서브 픽셀(P)에 스캔 신호를 공급하는 스캔 구동부와 다수의 서브 픽셀(P)에 데이터 신호를 공급하는 데이터 구동부를 포함할 수 있다.
- [0023] 여기서, 구동부(150)는 스캔 구동부 및 데이터 구동부가 하나의 칩에 형성된 것을 일례로 개략적으로 도시한 것 일 뿐 스캔 구동부와 데이터 구동부는 기판(110) 또는 기판(110)의 외부에 구분되어 위치할 수 있다.
- [0024] 이하에서는, 도 1에 도시된 서브 픽셀(P)의 회로 구성에 대해 설명한다.
- [0025] 도 2는 서브 픽셀의 회로 구성 예시도이다.
- [0026] 도 2에 도시된 바와 같이, 서브 픽셀은 스캔 배선(SCAN)에 게이트가 연결되고 데이터 배선에 제1전극이 연결된 스위칭 트랜지스터(S1)를 포함할 수 있다. 또한, 스위칭 트랜지스터(S1)의 제2전극에 게이트가 연결되고 제2전원 배선(VSS)에 제2전극이 연결된 구동 트랜지스터(T1)를 포함할 수 있다. 또한, 구동 트랜지스터(T1)의 게이트에 일단이 연결되고 제2전원 배선(VSS)에 타단이 연결된 커패시터(Cst)를 포함할 수 있다. 또한, 제1전원 배선(VDD)에 애노드가 연결되고 구동 트랜지스터(T1)의 제1전극에 캐소드가 연결된 유기 발광다이오드(D)를 포함할 수 있다.
- [0027] 여기서, 서브 픽셀에 포함된 스위칭 트랜지스터(S1)와 구동 트랜지스터(T1)는 실시예의 일례를 설명하기 위해 N-Type으로 도시하였지만 본 발명은 이에 한정되지 않는다.
- [0028] 한편, 위와 같은 서브 픽셀의 회로 구성에서, 구동 트랜지스터(T1)의 제1전극과 유기 발광다이오드(D)의 캐소드는 제1콘택홀(Contact1)을 통해 전기적으로 연결될 수 있다.
- [0029] 이로 인해, 본 발명의 일 실시예에 따른 유기전계발광표시장치에 포함된 유기 발광다이오드(D)는 하부에 캐소드가 위치하고 상부에 애노드가 위치하는 인버티드 구조로 형성될 수 있다.
- [0030] 이하에서는, 서브 픽셀의 회로 구성 토대로 서브 픽셀의 평면도 및 단면도를 첨부하여 서브 픽셀의 구조를 설명한다.
- [0031] 도 3a는 서브 픽셀의 평면도이고, 도 3b는 도 3a의 A-A까지의 단면도이며, 도 4a는 서브 픽셀의 평면도이고, 도 4b는 도 4a의 B-B까지의 단면도이다.
- [0032] 설명에 앞서 도 3a 내지 도 4b에 도시된 도면은 설명의 편의를 위해 일부 영역의 단면도를 도시하거나 제2전원 배선(VSS) 및 스캔 배선(SCAN) 등과 같이 하부에 위치하는 구조물을 가리는 구성을 실선으로만 개략적으로 표기하거나 생략한다.
- [0033] 도 3a를 참조하면, 서브 픽셀(Pixel)은 미 도시된 기판 상에 정의된 제1영역(Area1)에 위치하는 스위칭 트랜지스터를 포함할 수 있다. 또한, 제2영역(Area2)에 위치하는 커패시터를 포함할 수 있다. 또한, 제3영역(Area3)에

위치하는 구동 트랜지스터 및 유기 발광다이오드를 포함할 수 있다.

- [0034] 제1영역(Area1)에 위치하는 스위칭 트랜지스터는, 도 2를 참조하여 설명한 것과 같이 데이터 배선(DATA)에 일단이 연결된 제1전극과, 제1전극에 삼면이 둘러싸인 제2전극과, 제1전극과 제2전극을 덮도록 위치하는 절연막과, 절연막 상에 위치하며 스캔 배선(SCAN)에 연결된 게이트를 포함할 수 있다.
- [0035] 제2영역(Area2)에 위치하는 커패시터는, 도 2를 참조하여 설명한 것과 같이 스위칭 트랜지스터의 제2전극에 연장되며 구동 트랜지스터의 게이트에 연결된 일단과, 일단을 덮도록 위치하는 절연막과, 절연막 상에 위치하고 제2전원 배선에 연결되며 구동 트랜지스터의 제2전극에 연결된 타단을 포함할 수 있다. 여기서, 구동 트랜지스터의 게이트에 연결된 일단은 도시된 바와 같이 제4영역(Area4)에 위치하는 제2콘택홀(Contact2)을 통해 상호 전기적으로 연결될 수 있으나 이에 한정되지 않는다.
- [0036] 제3영역(Area3)에 위치하는 구동 트랜지스터는, 도 2를 참조하여 설명한 것과 같이 중앙에 위치하는 제1전극과, 제2전원배선 및 커패시터의 타단에 연결된 제2전극과, 커패시터의 일단에 연결되며, 제1전극 및 제2전극의 상부에 위치하는 게이트를 포함할 수 있다. 여기서, 구동 트랜지스터의 제2전극과 커패시터의 타단은 도시된 바와 같이 제4영역(Area4)에 위치하는 제3콘택홀(Contact3)을 통해 상호 전기적으로 연결될 수 있으나 이에 한정되지 않는다.
- [0037] 한편, 제3영역(Area3)에 위치하는 구동 트랜지스터의 상부에는 미 도시되어 있지만 유기 발광다이오드가 위치할 수 있다. 이에 대한 설명은 이하 도 3b를 참조하여 더욱 자세히 설명한다.
- [0038] 도 3b를 참조하면, 제3영역(Area3)에 위치하는 구동 트랜지스터는 도 3b에 도시된 바와 같이 기판(110) 상에 위치하는 제3영역(Area3)의 중앙에 위치하는 제1전극(113b)을 포함할 수 있다. 또한, 제1전극(113b)에 일측이 접촉되며 제1전극(113b)을 둘러싸도록 띠 형태로 위치하는 반도체층(111)을 포함할 수 있다. 또한, 반도체층(111)의 타측에 접촉되며 제1전극(113b)과 이격된 제2전극(113a)을 포함할 수 있다. 또한, 제1전극(113b), 반도체층(111) 및 제2전극(113a)의 상부에 위치하는 절연막(114)을 포함할 수 있다. 또한, 절연막(114) 상부에서 반도체층(111)을 덮도록 위치하는 게이트(115)를 포함할 수 있다.
- [0039] 다음으로, 제3영역(Area3)에 위치하는 유기 발광다이오드는, 평탄화막(116b) 상에 위치하며 제1콘택홀(Contact1)을 통해 노출된 구동 트랜지스터의 제1전극(115)에 연결된 캐소드(117)를 포함할 수 있다. 또한, 캐소드(117) 상에 위치하는 유기 발광층(118a, 118b, 118c)을 포함할 수 있다. 또한, 유기 발광층(118a, 118b, 118c) 상에 위치하며 제1전원배선(미도시)에 연결된 애노드(119)를 포함할 수 있다.
- [0040] 여기서, 구동 트랜지스터의 제1전극(113b)은, 도 3a에 도시된 바와 같이 직사각형 형태일 수 있다. 이에 따라, 제1전극(113b)에 일측이 접촉된 반도체층(111)과 제2전극(113a) 또한 직사각형 형태로 형성될 수 있다. 이에 따라, 도 3a의 A-A영역인 도 3b에 도시되어 있듯이, 구동 트랜지스터의 게이트(115)가 차지하는 영역(GA1, GA2)은 반도체층(111)을 모두 덮도록 형성될 수 있다.
- [0041] 여기서, 구동 트랜지스터의 게이트(115)는, 반도체층(111)의 중앙 영역에 위치하는 영역이 반도체층(111)의 외곽 영역에 위치하는 영역보다 하부에 위치할 수 있다. 다르게 설명하면, 구동 트랜지스터의 게이트(115)는 반도체층(111)과 제1전극(113b)이 접촉하는 제1불순물 영역(112b) 및 반도체층(111)과 제2전극(113a)이 접촉하는 제2불순물 영역(112a) 사이에 위치하는 중앙 영역이 외곽 영역보다 하부에 인접하도록 형성될 수 있다.
- [0042] 여기서, 도 3b는 구동 트랜지스터 및 유기 발광다이오드의 구조적 이해를 돋기 위해 일부 영역인 A-A영역까지 절단한 도면이지만, 도 3a에 도시된 서브 픽셀(Pixel)은 도 3b에 도시된 바와 같이, 게이트(115) 상에 위치하는 보호막(116a)과 보호막(116a) 상에 위치하는 평탄화막(116b)을 더 포함할 수 있다.
- [0043] 한편, 도 4b는 도 3b와는 달리 도 4a의 제3영역(Area3)의 제1콘택홀(Contact1)을 기준으로 B-B까지 절단한 도면이다.
- [0044] 도 4b를 참조하면, 서브 픽셀(Pixel)은 게이트(115) 상에 위치하는 보호막(116a)과 보호막(116a) 상에 위치하는 평탄화막(116b)을 더 포함하되, 절연막(114), 보호막(116a) 및 평탄화막(116b)은 제3영역(Area3)의 중앙 영역에서 제1전극(113b)이 노출되도록 패턴된 제1콘택홀(Contact1)을 포함할 수 있다.
- [0045] 앞서 설명하였듯이, 제1콘택홀(Contact1)은 구동 트랜지스터의 제1전극(113b)과 유기 발광다이오드의 캐소드(117) 간의 전기적인 연결을 하기 위해 형성될 수 있다.

- [0046] 이로 인해, 제3영역(Area3)에 위치하는 유기 발광다이오드는, 도 3b에 도시된 바와 같이 평탄화막(116b) 상에 위치하며 제1콘택홀(Contact 1)을 통해 노출된 구동 트랜지스터의 제1전극(113b)에 연결된 캐소드(117)와, 캐소드(117) 상에 위치하는 유기 발광층(118a, 118b, 118c)과, 유기 발광층(118a, 118b, 118c) 상에 위치하며 제1전원배선(미도시)에 연결된 애노드(119)가 차례대로 형성될 수 있다.
- [0047] 도 3a 및 도 4a에 도시된 도면을 유추해보면, 앞서 설명한 유기 발광다이오드의 캐소드(117)는 평탄화막(116b) 상에서 구동 트랜지스터의 제1전극(113b), 반도체층(111) 및 제2전극(113a)을 모두 덮도록 위치할 수 있다.
- [0048] 여기서, 앞서 설명한 도 4b에 도시된 유기 발광층의 구조를 더욱 자세히 설명하면 다음과 같을 수 있다.
- [0049] 유기 발광층(118a, 118b, 118c)에 포함된 "118a"는 하부 공통층일 수 있고, "118b"는 발광층일 수 있고, "118c"는 상부 공통층일 수 있다.
- [0050] 여기서, 하부 공통층(118a)은 전자주입층 및 전자수송층을 포함할 수 있고, 상부 공통층(118c)은 정공주입층 및 정공수송층을 포함할 수 있다.
- [0051] 하부 공통층(118a)에 포함된 전자주입층은 전자의 주입을 원활하게 하는 역할을 하며, Alq3(*tris*(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BA1q 또는 SA1q를 사용할 수 있으나 이에 한정되지 않는다.
- [0052] 전자주입층은 전자주입층을 이루는 유기물과 무기물을 진공증착법으로 형성할 수 있다.
- [0053] 하부 공통층(118a)에 포함된 전자수송층은 전자의 수송을 원활하게 하는 역할을 하며, Alq3(*tris*(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BA1q 및 SA1q로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- [0054] 전자수송층은 증발법 또는 스피코팅법 등을 이용하여 형성할 수 있다. 이러한 전자수송층은 캐소드(117)로부터 주입된 정공이 발광층(118b)을 통하여 애노드(119)로 이동하는 것을 방지하는 역할도 할 수 있다. 즉, 정공저지층의 역할을 하여 발광층에서 정공과 전자의 결합을 효율적이게 하는 역할을 할 수도 있다.
- [0055] 상부 공통층(118c)에 포함된 정공주입층은 애노드(119)로부터 발광층(118b)으로 정공의 주입을 원활하게 하는 역할을 할 수 있으며, CuPc(copper phthalocyanine), PEDOT(poly(3,4)-ethylenedioxythiophene), PANI(polyaniline) 및 NPD(*N,N*-dinaphthyl-*N,N'*-diphenyl benzidine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- [0056] 앞서 설명한, 정공주입층은 증발법 또는 스피코팅법 등을 이용하여 형성할 수 있으나 이에 한정되지 않는다.
- [0057] 상부 공통층(118c)에 포함된 정공수송층은 정공의 수송을 원활하게 하는 역할을 하며, NPD(*N,N*-dinaphthyl-*N,N'*-diphenyl benzidine), TPD(*N,N*'-bis-(3-methylphenyl)-*N,N*'-bis-(phenyl)-benzidine), s-TAD 및 MTDATA(*4,4',4"*-Tris(*N*-3-methylphenyl-*N*-phenyl-amino)-triphenylamine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- [0058] 정공수송층은 증발법 또는 스피코팅법을 이용하여 형성할 수 있으나 이에 한정되지 않는다.
- [0059] 앞서 설명한, 정공주입층 또는 전자주입층은 무기물을 더 포함할 수 있으며, 상기 무기물은 금속화합물을 더 포함할 수 있다. 상기 금속화합물은 알칼리 금속 또는 알칼리 토금속을 포함할 수 있다. 알칼리 금속 또는 알칼리 토금속을 포함하는 금속화합물은 LiQ, LiF, NaF, KF, RbF, CsF, FrF, BeF<sub>2</sub>, MgF<sub>2</sub>, CaF<sub>2</sub>, SrF<sub>2</sub>, BaF<sub>2</sub> 및 RaF<sub>2</sub>로 이루어진 군에서 선택된 어느 하나 이상일 수 있으나 이에 한정되지 않는다.
- [0060] 전자주입층 내에 포함된 무기물은 캐소드로부터 발광층(118b)으로 주입되는 전자의 호핑(hopping)을 용이하게 하며, 발광층(118b) 내로 주입되는 정공과 전자의 밸런스를 맞추어 발광효율을 향상시키는 역할을 할 수 있다.
- [0061] 정공주입층 내의 무기물은 애노드로부터 발광층(118b)으로 주입되는 정공의 이동성을 줄여줌으로써, 발광층(118b) 내로 주입되는 정공과 전자의 밸런스를 맞추어 발광효율을 향상시키는 역할을 할 수 있다.
- [0062] 앞서 설명한 발광층(118b)은 적색, 녹색, 청색 및 백색을 발광하는 물질로 이루어질 수 있으며, 인광 또는 형광 물질을 이용하여 형성할 수 있다.
- [0063] 발광층(118b)이 적색인 경우, CBP(carbazole biphenyl) 또는 mCP(*1,3-bis*(carbazol-9-yl)를 포함하는 호스트

물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetone)iridium, PQIr(acac)(bis(1-phenylquinoline)acetylacetone)iridium, PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도편트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0064] 발광층(118b)이 녹색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함하는 도편트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq3(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0065] 발광층(118b)이 청색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F2ppy)2Irpic을 포함하는 도편트 물질을 포함하는 인광물질로 이루어질 수 있다.

[0066] 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스트릴아릴렌(DSA), PF0계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0067] 이상 유기 발광층의 구조는 도 4b에 한정되는 것은 아니며, 하부 공통층(118a) 및 상부 공통층(118c)에 포함된 전자 주입층, 전자 수송층, 정공 수송층, 정공 주입층 중 적어도 어느 하나가 생략될 수도 있다.

[0068] 이하에서는, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명한다. 단, 설명의 용이성을 높이기 위해 앞서 도시한 도 4a의 B-B까지의 단면도를 위주로 설명하되, 이해를 돋기 위해 도 3a 내지 도 4a를 함께 참조한다.

[0069] 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 개략적인 공정도이다.

[0070] 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법은, 앞서 참조한 도 3a 또는 도 4a와 같이, 기판(110) 상에 위치하는 서브 픽셀(Pixel) 내에 제1영역(Area1), 제2영역(Area2) 및 제3영역(Area3)을 정의한다.

[0071] 이후, 제1영역(Area1)에 스위칭 트랜지스터를 형성한다. 그리고 제2영역(Area2)에 커패시터를 형성한다. 그리고 제3영역(Area3)에 구동 트랜지스터를 형성한다.

[0072] 다만, 스위칭 트랜지스터, 커패시터 및 구동 트랜지스터를 형성하는 단계는 제1영역(Area1), 제2영역(Area2) 및 제3영역(Area3) 별로 구분하여 이해를 돋기 위한 것일 뿐, 각각 다른 공정을 통해 형성되는 것이 아니므로 이하 구동 트랜지스터부분의 공정에 설명을 덧붙이는 형식으로 구체화한다.

[0073] 도 5a에 도시된 바와 같이, 기판(110)을 준비한다. 기판(110)은 유리, 플라스틱 또는 금속 등으로 준비할 수 있으며 도시되어 있진 않지만, 기판(110) 상에는 베퍼층이 위치할 수도 있다.

[0074] 기판(110) 상에 반도체층(111)을 띠 형태로 형성한다. 반도체층(111)은 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 반도체층(111)은 p형 또는 n형의 불순물을 포함하는 제1불순물 영역(112b) 및 제2불순물 영역(112a)을 포함할 수 있다.

[0075] 반도체층(111)의 일측에 접촉하도록 제3영역(Area3)의 중앙에 직사각형 형태의 제1전극(113b)을 형성하고 반도체층(111)의 타측에 접촉되며 제1전극(113b)과 이격되도록 제2전극(113a)를 형성한다. 제2영역(Area2)에는 커패시터의 일단을 형성하고, 제1영역(Area1)에는 커패시터의 일단과 상기 커패시터의 일단으로부터 연장된 스위칭 트랜지스터의 제2전극과 제1전극을 형성할 수 있다.

[0076] 여기서, 제1전극 및 제2전극(113b, 113a)은 단일층 또는 다중층으로 이루어질 수 있다. 제1전극 및 제2전극(113b, 113a)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 제1전극 및 제2전극(113b, 113a)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.

[0077] 이와 같이 제1전극(113b) 및 제2전극(113a)을 형성함과 동시에 데이터 배선, 스위칭 트랜지스터의 제1전극 및 커패시터의 일단을 형성할 수 있으나 이에 한정되지 않는다.

[0078] 한편, 서브 픽셀(Pixel) 영역을 제외한 비화소 영역에 위치하는 데이터 배선은 단일층 또는 다중층으로 형성될

수 있다. 데이터 배선이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 데이터 배선이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있으나 이에 한정되지 않는다.

[0079] 다음, 도 5b에 도시된 바와 같이, 기판(110) 상에 위치하는 제1전극(113b), 반도체층(111) 및 제2전극(113a)의 상부에 절연막(114)을 형성한다. 절연막(114)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.

[0080] 절연막(114) 상에 반도체층(111)을 덮도록 게이트(115)를 형성한다. 이때, 게이트(115)는, 반도체층(111)의 중앙 영역에 위치하는 영역이 반도체층(111)의 외곽 영역에 위치하는 영역보다 하부에 위치할 수 있다.

[0081] 여기서, 게이트(115)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 게이트(115)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 게이트(115)는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있으나 이에 한정되지 않는다.

[0082] 한편, 게이트(115)를 형성함과 동시에 스위칭 트랜지스터의 게이트 및 커패시터의 타단을 형성할 수 있으나 이에 한정되지 않는다. 여기서, 스위칭 트랜지스터의 게이트는 스캔 배선에 연결되도록 패턴될 수 있으며, 커패시터의 타단은 제2전원 배선에 연결되도록 패턴될 수 있다.

[0083] 여기서, 서브 퍽셀(Pixel)을 제외한 비 화소 영역에 위치하는 스캔 배선은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 스캔 배선은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 스캔 배선은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있으나 이에 한정되지 않는다.

[0084] 다음, 도 5c에 도시된 바와 같이, 게이트(115) 상에 보호막(116a)을 형성하고 보호막(116a) 상에 평탄화막(116b)을 형성한다. 이때, 절연막(114), 보호막(116a) 및 평탄화막(116b)은 제3영역(Area3)의 중앙 영역에서 제1전극(113b)이 노출되도록 패턴된 제1콘택홀(Contact1)을 형성할 수 있다.

[0085] 여기서, 제1콘택홀(Contact1)은 구동 트랜지스터의 제1전극(113b)과 유기 발광다이오드의 캐소드(117) 간의 전기적인 연결을 하기 위해 형성될 수 있다.

[0086] 이후, 평탄화막(116b) 상에는 구동 트랜지스터의 제1전극(113b)에 연결되도록 유기 발광다이오드의 캐소드(117)를 형성한다. 도시되어 있진 않지만, 이후, 캐소드(117) 상에는 유기 발광층과 제1전원 배선에 연결된 애노드를 차례대로 형성할 수 있다.

[0087] 이상, 본 발명의 일 실시예와 같은 구조로 상부 발광 방식 인버티드 유기전계발광표시장치를 형성하게 되면, 외부 광이 구동 트랜지스터의 반도체층 영역으로 입사되는 현상을 게이트로 저지할 수 있게 되어 구동 트랜지스터의 출력 세튜레이션(Saturation) 특성이 저하하는 문제를 방지할 수 있게 된다. 또한, 상부 발광 방식 인버티드 유기전계발광표시장치를 제조할 때 사용되는 마스크 수를 줄일 수 있는 효과가 있다.

[0088] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

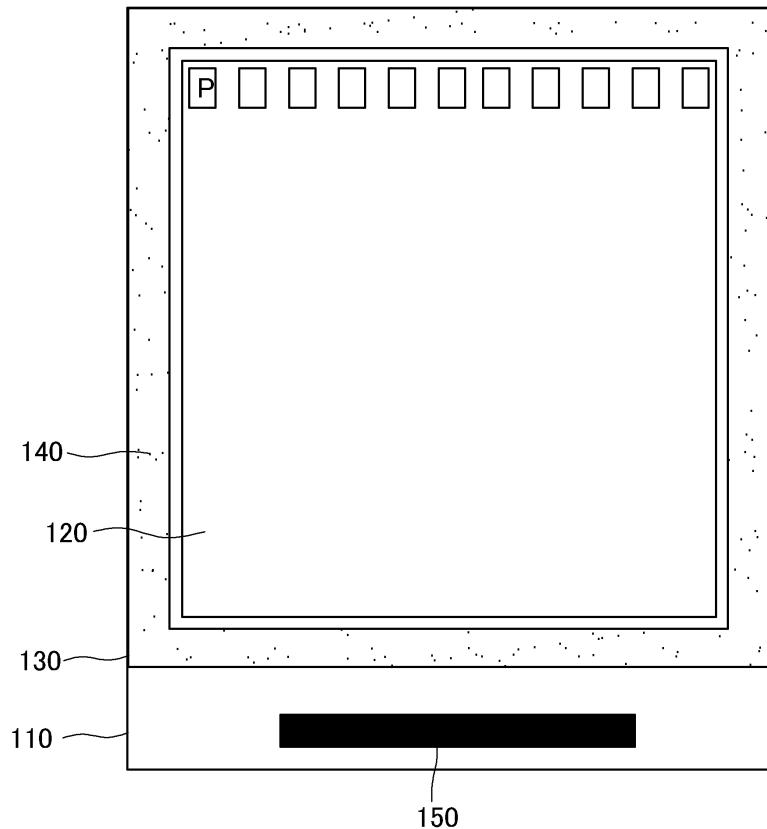
## 도면의 간단한 설명

[0089] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 평면도.

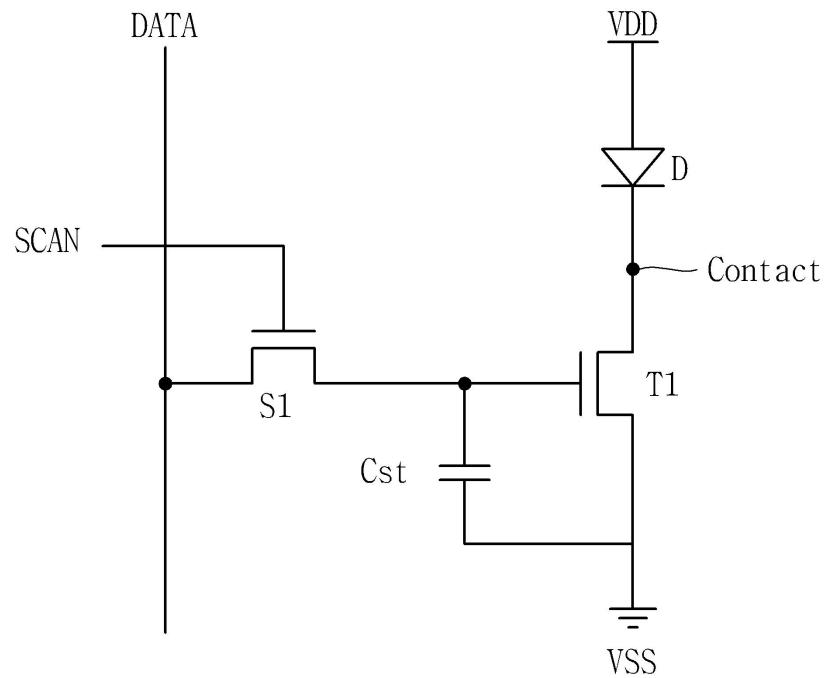
- [0090] 도 2는 서브 픽셀의 회로 구성 예시도.
- [0091] 도 3a는 서브 픽셀의 평면도.
- [0092] 도 3b는 도 3a의 A-A까지의 단면도.
- [0093] 도 4a는 서브 픽셀의 평면도.
- [0094] 도 4b는 도 4a의 B-B까지의 단면도.
- [0095] 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 개략적인 공정도.
- [0096] <도면의 주요 부분에 관한 부호의 설명>
- |                   |                   |
|-------------------|-------------------|
| [0097] 110: 기판    | [0097] 111: 반도체층  |
| [0098] 113a: 제2전극 | [0098] 113b: 제1전극 |
| [0099] 114: 절연막   | [0099] 115: 게이트   |
| [0100] 116a: 보호막  | [0100] 116b: 평탄화막 |
| [0101] 117: 캐소드   | [0101] 119: 애노드   |

## 도면

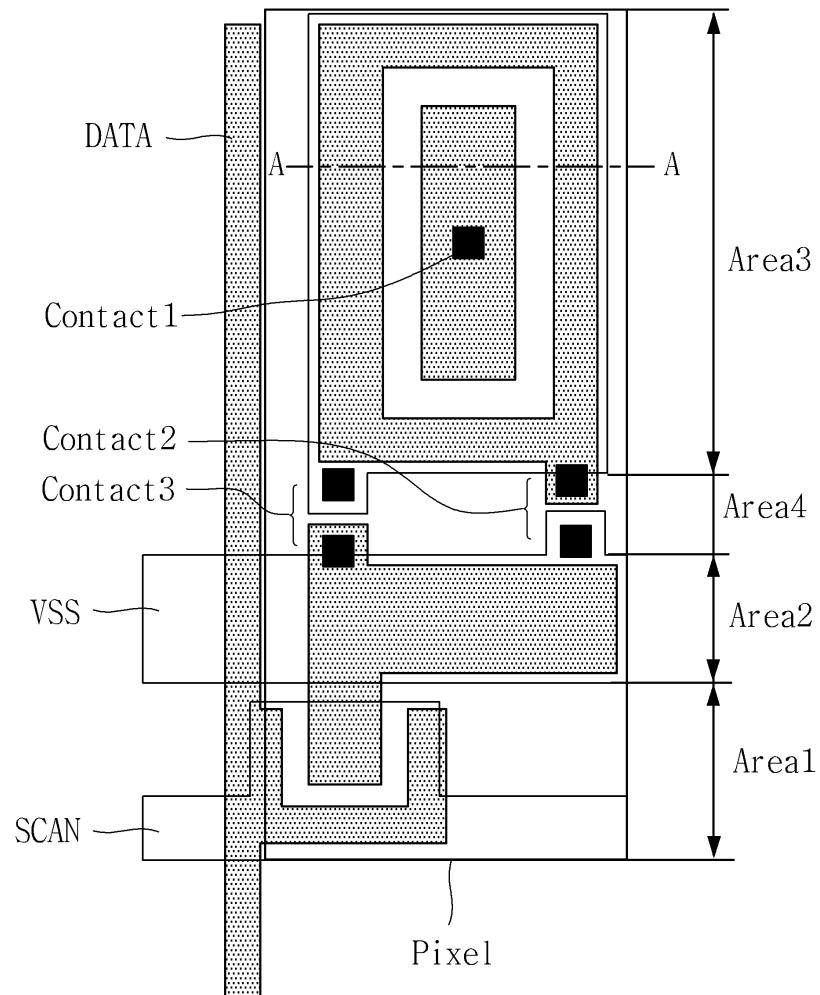
### 도면1



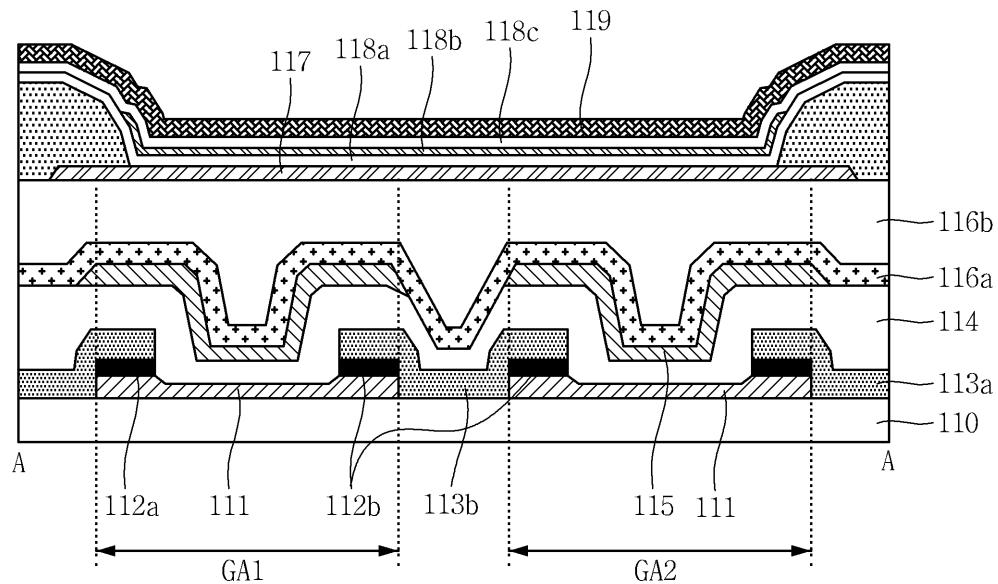
## 도면2



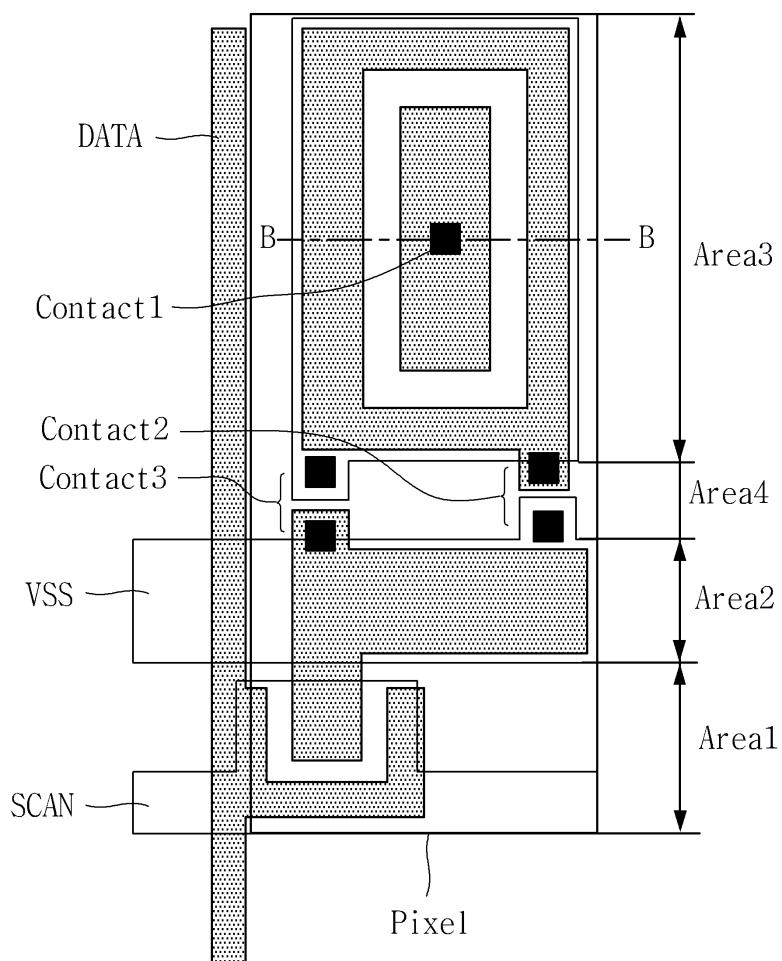
도면3a



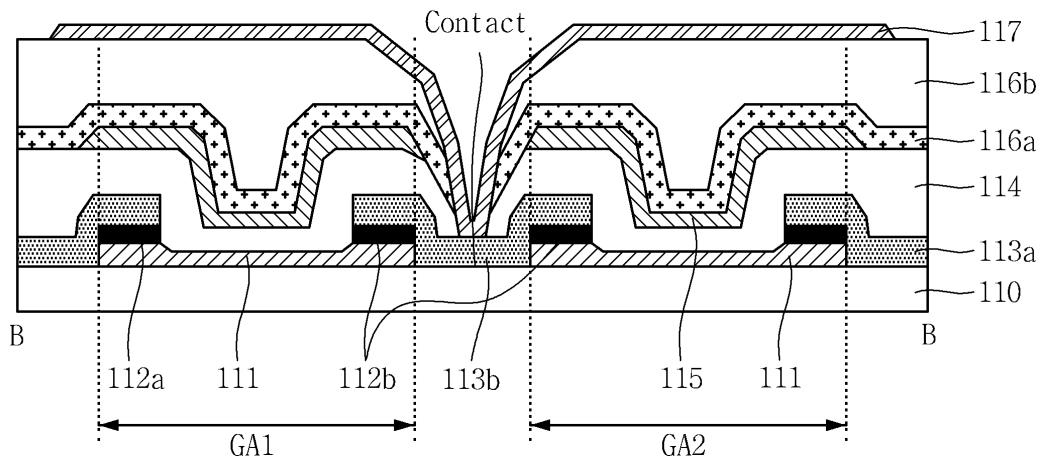
도면3b



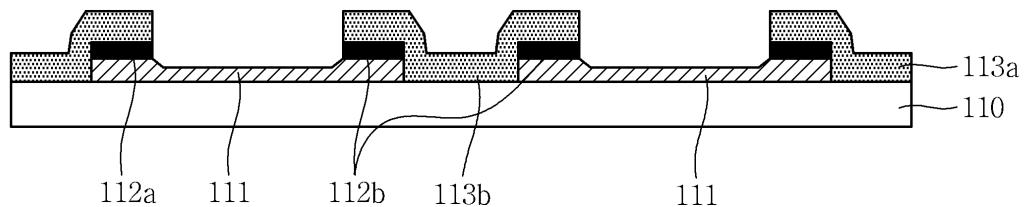
도면4a



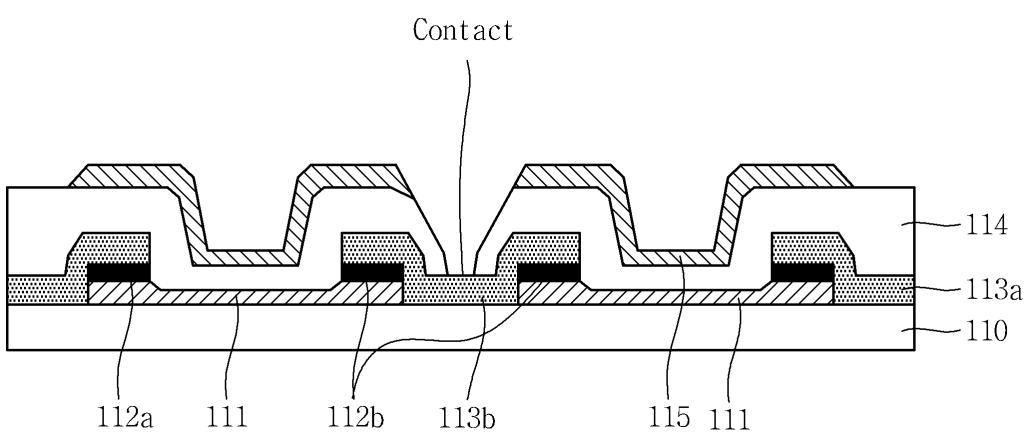
도면4b



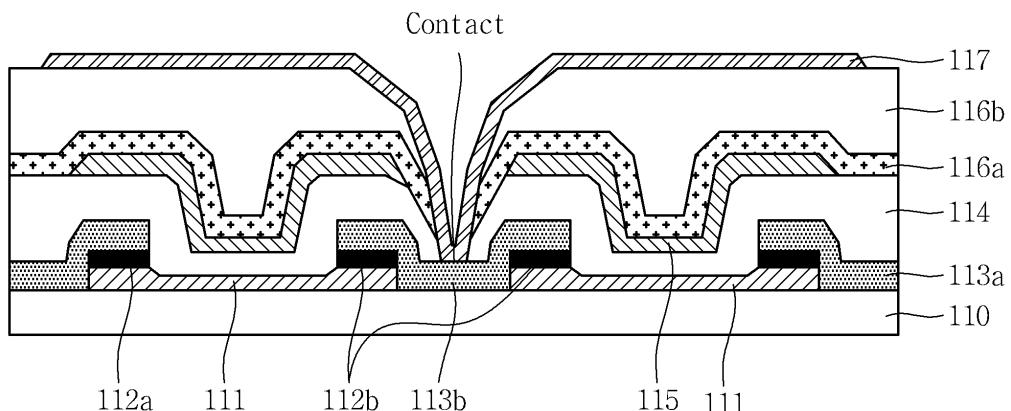
도면5a



도면5b



도면5c



专利名称(译)	标题 : 有机电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR101424272B1</a>	公开(公告)日	2014-07-31
申请号	KR1020070123222	申请日	2007-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JAE HEE		
发明人	PARK, JAE HEE		
IPC分类号	H05B33/02 H05B33/26 H05B33/22		
CPC分类号	H01L27/3209 H01L27/3248 H01L27/3262 H01L51/5253 H01L51/56 H01L2924/12044		
其他公开文献	KR1020090056184A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

提供一种有机电致发光显示装置及其制造方法，以通过防止外部光输入到驱动晶体管的半导体层来防止驱动晶体管的输出饱和特性降低。子像素包括开关晶体管，电容器，驱动晶体管和OLED（有机发光二极管）。开关晶体管位于基板（110）上的第一区域中。电容器位于基板上的第二区域中。驱动晶体管和有机发光二极管位于基板上的第三区域中。驱动晶体管包括第一电极（113b），半导体层（111），第二电极（113a），绝缘层和栅极。第一电极位于第三区域的中心。半导体层的一侧与第一电极接触。半导体层形成为带型，以包围第一电极。第二电极接触半导体层的另一侧。绝缘层位于第一电极，半导体层和第二电极上。栅极位于绝缘层上以覆盖半导体层。

