



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년02월25일

(11) 등록번호 10-1366162

(24) 등록일자 2014년02월17일

(51) 국제특허분류(Int. Cl.)

H05B 33/02 (2006.01) H05B 33/26 (2006.01)

(21) 출원번호 10-2007-0026889

(22) 출원일자 2007년03월20일

심사청구일자 2012년03월07일

(65) 공개번호 10-2008-0085411

(43) 공개일자 2008년09월24일

(56) 선행기술조사문헌

KR1020030058152 A\*

KR1020030058156 A\*

KR1020030057018 A

KR1020030058150 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

윤영수

경기도 수원시 영통구 청명남로12번길 5-20, 203호 (영통동)

고준철

서울특별시 서대문구 통일로31길 31, 한양아파트 102동 1003호 (홍제동)

최범락

서울 강남구 도곡로78길 22, 112동 508호 (대치동, 삼성1차아파트)

(74) 대리인

오세준, 권혁수, 송윤호

심사관 : 금복희

전체 청구항 수 : 총 20 항

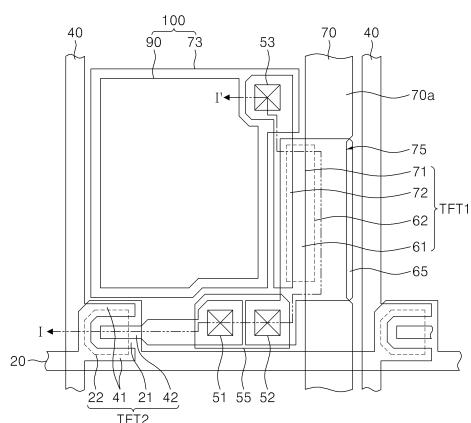
(54) 발명의 명칭 유기 발광 표시 패널 및 이의 제조방법

### (57) 요 약

본 발명은 전원 라인과 스토리지 전극의 중첩면적을 동일하게 형성하여, 각각의 화소에 형성된 스토리지 커패시터의 용량이 동일하게 형성된 유기 발광 표시 패널 및 이의 제조방법에 관한 것이다.

이를 위하여, 본 발명은 기판 위에 서로 교차하게 형성된 게이트 라인 및 데이터 라인, 게이트 라인 및 데이터 라인의 교차로 형성된 화소 영역에 형성된 유기 발광 다이오드, 데이터 라인과 나란하게 형성되어 유기 발광 다이오드에 전류를 공급하는 전원 라인, 게이트 라인 및 데이터 라인의 교차부에 형성된 스위칭 트랜지스터, 스위칭 트랜지스터 및 전원 라인과 접속되어 전원 라인으로부터 공급되는 전류를 제어하는 구동 트랜지스터 및 전원 라인과 절연막을 사이에 두고 중첩된 스토리지 전극으로 이루어진 스토리지 커패시터를 포함하고, 스토리지 커패시터는 전원 라인과 스토리지 전극의 중첩 영역이 일정하도록 스토리지 전극과 중첩된 전원 라인의 일측면에 형성된 흄부를 포함하는 유기 발광 표시 패널 및 이의 제조방법을 제공한다.

### 대 표 도 - 도1



## 특허청구의 범위

### 청구항 1

기판 위에 서로 교차하게 형성된 게이트 라인 및 데이터 라인;

상기 게이트 라인 및 데이터 라인의 교차로 형성된 화소 영역에 형성된 유기 발광 다이오드;

상기 데이터 라인과 나란하게 형성되어 상기 유기 발광 다이오드에 전류를 공급하는 전원 라인;

상기 게이트 라인 및 데이터 라인의 교차부에 형성된 스위칭 트랜지스터;

상기 스위칭 트랜지스터 및 상기 전원 라인과 접속되어 상기 전원 라인으로부터 공급되는 전류를 제어하는 구동 트랜지스터; 및

상기 전원 라인과 절연막을 사이에 두고 중첩된 스토리지 전극으로 이루어진 스토리지 커패시터를 포함하고,

상기 스토리지 커패시터는 상기 전원 라인과 상기 스토리지 전극의 중첩 영역이 일정하도록 상기 스토리지 전극과 중첩된 상기 전원 라인의 일측면에서 상기 전원 라인의 내측으로 함몰된 홈부를 포함하고,

상기 전원 라인은 상기 스토리지 전극과 중첩된 영역의 폭이 중첩되지 않은 영역의 폭보다 작게 형성되는 유기 발광 표시 패널.

### 청구항 2

제 1 항에 있어서,

상기 홈부는 상기 데이터 라인과 인접한 측면에 형성된 것을 특징으로 하는 유기 발광 표시 패널.

### 청구항 3

제 2 항에 있어서,

상기 홈부는 상기 스토리지 전극의 상/하부 길이보다 적어도 같거나 더 큰 길이로 형성된 것을 특징으로 하는 유기 발광 표시 패널.

### 청구항 4

제 3 항에 있어서,

상기 스토리지 전극과 상기 전원 라인이 중첩된 영역에서 상기 스토리지 전극의 폭이 상기 전원 라인의 폭보다 더 크게 형성되는 것을 특징으로 하는 유기 발광 표시 패널.

### 청구항 5

제 2 항에 있어서,

상기 스토리지 전극으로부터 상기 전원 라인과 중첩되게 돌출된 보조 스토리지 전극을 더 포함하는 유기 발광 표시 패널.

### 청구항 6

제 5 항에 있어서,

상기 보조 스토리지 전극은 상기 전원 라인의 폭보다 더 작거나 더 큰 폭으로 형성된 것을 특징으로 하는 유기 발광 표시 패널.

### 청구항 7

제 1 항에 있어서,

상기 구동 트랜지스터는

상기 기판 위에 폴리 실리콘으로 형성된 제1 반도체 패턴;

상기 반도체 패턴 위에 상기 전원 라인과 연결된 제1 소스 전극

상기 반도체 패턴 위에 제1 소스 전극과 마주하게 형성되며 상기 유기 발광 다이오드와 연결된 제1 드레인 전극;

상기 제1 소스 전극 및 제1 드레인 전극 위에 형성된 제2 절연막;

상기 제2 절연막 위에 상기 제1 반도체 패턴과 중첩되게 형성된 상기 제1 게이트 전극을 포함하는 유기 발광 표시 패널.

#### 청구항 8

제 7 항에 있어서,

상기 제1 게이트 전극은 상기 스토리지 전극과 전기적으로 연결된 것을 특징으로 하는 유기 발광 표시 패널.

#### 청구항 9

제 8 항에 있어서,

상기 스위칭 트랜지스터는

상기 제1 절연막 위에 형성된 제2 게이트 전극;

상기 제2 게이트 전극 위에 형성된 상기 제2 절연막;

상기 제2 절연막 위에 아몰포스 실리콘으로 형성된 제2 반도체 패턴; 및

상기 제2 반도체 패턴 위에 서로 마주하게 형성된 제2 소스 전극 및 제2 드레인 전극을 포함하는 유기 발광 표시 패널.

#### 청구항 10

제 9 항에 있어서,

상기 제1 게이트 전극과 상기 제2 드레인 전극을 연결하는 브리지 전극을 포함하는 유기 발광 표시 패널.

#### 청구항 11

기판 위에 서로 교차하게 절연막을 사이에 두고 게이트 라인 및 데이터 라인을 형성하는 단계;

상기 게이트 라인 및 데이터 라인의 교차로 형성된 화소 영역에 유기 발광 다이오드를 형성하는 단계;

상기 게이트 라인 및 데이터 라인의 교차부에 스위칭 트랜지스터를 형성하는 단계;

상기 스위칭 트랜지스터와 연결된 구동 트랜지스터를 형성하는 단계;

상기 데이터 라인과 나란한 전원 라인을 형성하는 단계;

상기 전원 라인과 상기 절연막을 사이에 두고 중첩되어 스토리지 커패시터를 형성하며, 상기 전원 라인의 일측변을 기준으로 돌출된 영역을 갖는 스토리지 전극을 형성하는 단계를 포함하고,

상기 전원 라인을 형성하는 단계는

상기 전원 라인은 상기 스토리지 전극과 중첩되는 영역에서 상기 데이터 라인과 인접하는 상기 전원 라인의 일측변에서 상기 전원 라인의 내측으로 핵몰된 홈부를 형성하는 단계를 포함하고,

상기 전원 라인은 상기 스토리지 전극과 중첩된 영역의 폭이 중첩되지 않은 영역의 폭보다 작게 형성되는 유기 발광 표시 패널의 제조방법.

#### 청구항 12

삭제

#### 청구항 13

제 11 항에 있어서,

상기 홈부를 형성하는 단계는

상기 스토리지 전극의 상/하부면의 길이보다 적어도 같거나 더 큰 길이로 형성되는 단계를 포함하는 유기 발광 표시 패널의 제조방법.

#### 청구항 14

제 11 항에 있어서,

상기 스토리지 전극에서 돌출되어 상기 전원 라인과 중첩되는 보조 스토리지 전극을 형성하는 단계를 더 포함하는 유기 발광 표시 패널의 제조방법.

#### 청구항 15

제 14 항에 있어서,

상기 보조 스토리지 전극의 폭은 상기 전원 라인의 폭보다 더 작거나 더 크게 형성되는 단계를 더 포함하는 유기 발광 표시 패널의 제조방법.

#### 청구항 16

제 11 항에 있어서,

상기 스위칭 트랜지스터와 상기 구동 트랜지스터를 형성하는 단계는

상기 기판 위에 폴리 실리콘으로 형성된 제1 반도체 패턴을 형성하고, 제1 절연막을 형성하는 단계;

상기 제1 반도체 패턴 위에 상기 전원 라인과 연결된 제1 소스 전극, 제1 소스 전극과 마주하는 제1 드레인 전극을 형성하는 단계;

상기 제1 소스 전극 및 제1 드레인 전극 위에 제2 절연막을 형성하는 단계;

상기 제2 절연막 위에 상기 제1 반도체 패턴과 중첩되게 제1 게이트 전극을 형성하고, 이와 동시에 제2 게이트 전극을 형성하는 단계;

상기 제2 게이트 전극 위에 제3 게이트 절연막, 제2 반도체 패턴, 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계를 포함하는 유기 발광 표시 패널의 제조방법.

#### 청구항 17

제 4 항에 있어서,

상기 스토리지 전극의 우측면과 상기 홈부가 형성된 상기 전원 라인의 우측면 사이는 제1 폭을 두고 형성되는 유기 발광 표시 패널.

#### 청구항 18

제 17 항에 있어서,

상기 제1 폭은 1 내지 2 마이크로미터인 유기 발광 표시 패널.

#### 청구항 19

제 13 항에 있어서,

상기 스토리지 전극을 형성하는 단계는,

상기 스토리지 전극과 상기 전원 라인이 중첩된 영역에서 상기 스토리지 전극의 폭을 상기 전원 라인의 폭보다 더 크게 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 패널의 제조 방법.

#### 청구항 20

제 19 항에 있어서,

상기 스토리지 전극의 우측변과 상기 홈부가 형성된 상기 전원 라인의 우측변 사이는 제1 폭을 두고 형성되는 유기 발광 표시 패널의 제조 방법.

## 청구항 21

제 20 항에 있어서,

상기 제1 폭은 1 내지 2 마이크로미터인 유기 발광 표시 패널의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

[0029] 본 발명은 유기 발광 표시 패널 및 이의 제조방법에 관한 것으로, 특히 스토리지 커패시터 불량을 방지한 유기 발광 표시 패널 및 이의 제조방법에 관한 것이다.

[0030] 일반적으로, 유기 발광 표시 장치는 캐소드 전극과 애노드 전극 사이에 형성된 유기 발광층에 전하를 주입하면 전자와 정공이 쌍을 이룬 후 소멸하면서 빛을 내는 소자로서, 낮은 전압에서 구동이 가능하고, 전력 소모가 적은 것이 특징인 차세대 디스플레이 소자이다.

[0031] 이러한 유기 발광 표시 장치는 게이트 라인으로부터 공급된 스캔 펄스와 데이터 라인으로부터 공급된 데이터 신호에 의해 스위칭 트랜지스터를 터온시키고 스위칭 트랜지스터에서 공급되는 데이터 신호가 스토리지 커패시터에 충전되어 1프레임동안 구동 트랜지스터를 구동하여 전원 라인으로부터 공급된 전류를 유기 발광다이오드에 공급한다. 이때, 스토리지 커패시터는 전원 라인과 구동 트랜지스터의 게이트 전극과 연결된 스토리지 전극이 중첩되어 형성된다.

[0032] 스토리지 전극이 형성될 때, 스토리지 전극 형성을 위한 마스크의 얼라인 미스가 발생될 수 있다. 즉, 스토리지 전극이 상/하/좌/우 방향으로 쉬프트 되어 형성될 경우 각각의 화소별로 스토리지 커패시터의 용량이 달라져 동일한 색을 표시하는 화소별로 동일한 데이터 전압이 인가되어도 휘도차이가 생겨 유기 발광 표시 패널의 표시 불량이 발생되는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

[0033] 따라서, 본 발명이 이루고자 하는 기술적 과제는 전원 라인과 스토리지 전극의 중첩면적을 동일하게 형성하여, 각각의 화소에 형성된 스토리지 커패시터의 용량이 동일하게 형성된 유기 발광 표시 패널 및 이의 제조방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

[0034] 상기의 기술적 과제를 해결하기 위하여, 기판 위에 서로 교차하게 형성된 게이트 라인 및 데이터 라인; 상기 게이트 라인 및 데이터 라인의 교차로 형성된 화소영역에 형성된 유기 발광 다이오드; 상기 데이터 라인과 나란하게 형성되어 상기 유기 발광 다이오드에 전류를 공급하는 전원 라인; 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 스위칭 트랜지스터; 상기 스위칭 트랜지스터 및 상기 전원 라인과 접속되어 상기 전원 라인으로부터 공급되는 전류를 제어하는 구동 트랜지스터; 및 상기 전원 라인과 절연막을 사이에 두고 중첩된 스토리지 전극으로 이루어진 스토리지 커패시터를 포함하고, 상기 스토리지 커패시터는 상기 전원 라인과 상기 스토리지 전극의 중첩 영역이 일정하도록 상기 스토리지 전극과 중첩된 상기 전원 라인의 일측면에 형성된 홈부를 포함하는 유기 발광 표시 패널을 제공한다.

[0035] 이때, 상기 홈부는 상기 데이터 라인과 인접한 측면에 형성된다.

- [0036] 그리고 상기 홈부는 상기 스토리지 전극의 상/하부 길이보다 적어도 같거나 더 큰 길이로 형성된다.
- [0037] 이때, 상기 스토리지 전극은 상기 전원 라인과 중첩된 영역에서 상기 중첩된 영역보다 더 큰 폭으로 형성된다.
- [0038] 그리고 상기 스토리지 전극으로부터 상기 전원 라인과 중첩되게 돌출된 보조 스토리지 전극을 더 포함한다.
- [0039] 이때, 상기 보조 스토리지 전극은 상기 전원 라인의 폭보다 더 작거나 더 큰 폭으로 형성된다.
- [0040] 그리고 상기 구동 트랜지스터는 상기 기판 위에 폴리 실리콘으로 형성된 제1 반도체 패턴; 상기 반도체 패턴 위에 상기 전원 라인과 연결된 제1 소스 전극; 상기 반도체 패턴 위에 제1 소스 전극과 마주하게 형성되며 상기 유기 발광 다이오드와 연결된 제1 드레인 전극; 상기 제1 소스 전극 및 제1 드레인 전극 위에 형성된 제2 절연막; 상기 제2 절연막 위에 상기 제1 반도체 패턴과 중첩되게 형성된 상기 제1 게이트 전극을 포함한다.
- [0041] 이때, 상기 제1 게이트 전극은 상기 스토리지 전극과 전기적으로 연결된다.
- [0042] 또한, 상기 스위칭 트랜지스터는 상기 제1 절연막 위에 형성된 제2 게이트 전극; 상기 제2 게이트 전극 위에 형성된 상기 제2 절연막; 상기 제2 절연막 위에 아몰포스 실리콘으로 형성된 제2 반도체 패턴; 및 상기 제2 반도체 패턴 위에 서로 마주하게 형성된 제2 소스 전극 및 제2 드레인 전극을 포함한다.
- [0043] 이때, 상기 제1 게이트 전극과 상기 제2 드레인 전극을 연결하는 브리지 전극을 포함한다.
- [0044] 그리고 상기의 기술적 과제를 해결하기 위하여, 본 발명은 기판 위에 서로 교차하게 절연막을 사이에 두고 게이트 라인 및 데이터 라인을 형성하는 단계; 상기 게이트 라인 및 데이터 라인의 교차로 형성된 화소 영역에 유기 발광 다이오드를 형성하는 단계; 상기 게이트 라인 및 데이터 라인의 교차부에 스위칭 트랜지스터를 형성하는 단계; 상기 스위칭 트랜지스터와 연결된 구동 트랜지스터를 형성하는 단계; 상기 데이터 라인과 나란한 전원 라인을 형성하는 단계; 상기 전원 라인과 상기 절연막을 사이에 두고 중첩되어 스토리지 커패시터를 형성하며, 상기 전원 라인의 일측면을 기준으로 돌출된 영역을 갖는 스토리지 전극을 형성하는 단계를 포함하는 유기 발광 표시 패널의 제조방법을 제공한다.
- [0045] 여기서, 상기 전원 라인을 형성하는 단계는 상기 전원 라인은 상기 스토리지 전극과 중첩되는 영역에서 상기 데이터 라인과 인접하는 측면에 상기 홈부를 형성하는 단계를 포함한다.
- [0046] 그리고 상기 홈부를 형성하는 단계는 상기 스토리지 전극의 상/하부변의 길이보다 적어도 같거나 더 큰 길이로 형성되는 단계를 더 포함한다.
- [0047] 또한, 상기 스토리지 전극에서 돌출되어 상기 전원 라인과 중첩되는 보조 스토리지 전극을 형성하는 단계를 더 포함한다.
- [0048] 이때, 상기 보조 스토리지 전극의 폭은 상기 전원 라인의 폭보다 더 작거나 더 크게 형성되는 단계를 포함한다.
- [0049] 그리고 상기 스위칭 트랜지스터와 상기 구동 트랜지스터를 형성하는 단계는 상기 기판 위에 폴리 실리콘으로 형성된 제1 반도체 패턴을 형성하고, 제1 절연막을 형성하는 단계; 상기 제1 반도체 패턴 위에 상기 전원 라인과 연결된 제1 소스 전극, 제1 소스 전극과 마주하는 제1 드레인 전극을 형성하는 단계; 상기 제1 소스 전극 및 제1 드레인 전극 위에 제2 절연막을 형성하는 단계; 상기 제2 절연막 위에 상기 제1 반도체 패턴과 중첩되게 제1 게이트 전극을 형성하고, 이와 동시에 제2 게이트 전극을 형성하는 단계; 상기 제2 게이트 전극 위에 제3 게이트 절연막, 제2 반도체 패턴, 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계를 포함한다.
- [0050] 상기의 목적 외에 본 발명의 또 다른 목적 및 특징들은 후술할 본 발명의 상세한 설명을 통해 명백하게 드러나게 될 것이다.
- [0051] 이하, 본 발명의 바람직한 실시 예들을 첨부한 도면들을 참조하여 상세하게 설명하기로 한다.
- [0052] 도 1은 본 발명의 실시 예에 따른 유기 발광 표시 패널을 도시한 평면도이고, 도 2는 도 1에 도시된 유기 발광 표시 패널의 I-I '선을 따라 절단한 단면을 도시한 단면도이다.
- [0053] 도 1 및 도 2를 참조하면, 본 발명에 따른 유기 발광 표시 패널은 게이트 라인(20), 게이트 라인(20)과 교차하여 형성된 데이터 라인(40), 게이트 라인(20)과 데이터 라인(40)이 교차하여 형성된 화소 영역마다 형성된 유기 발광 다이오드(100)에 전류를 공급하는 전원 라인(70)을 포함한다. 여기서, 각각의 화소 영역에는 캐소드 전극(80)과 애노드 전극(73) 사이에 유기 발광층(90)을 포함하는 유기 발광 다이오드(100), 유기 발광 다이오드(100)를 제어하는 스위칭 트랜지스터(TFT2) 및 구동 트랜지스터(TFT1), 스위칭 트랜지스터(TFT2)로 공급된 데이터

터 전압을 충전하는 스토리지 커패시터(Cst)를 포함한다. 이때, 스토리지 커패시터(Cst)는 전원 라인(70)과 스토리지 전극(65)이 제1 게이트 절연막(31)을 사이에 두고 중첩되어 형성된다.

[0054] 구체적으로, 게이트 라인(20)은 스캔 펄스를 공급하며, 스위칭 트랜지스터(TFT2)의 제2 게이트 전극(21)과 접속된다. 그리고 데이터 라인(40)은 데이터 신호를 공급하며, 스위칭 트랜지스터(TFT2)의 제2 소스 전극(41)과 접속된다. 전원 라인(70)은 데이터 라인(40)과 나란하게 형성되며, 게이트 라인(20)과 제1 게이트 절연막(31)을 사이에 두고 교차되게 형성된다. 이러한 전원 라인(70)은 유기 발광 다이오드(100)에 전류를 공급하며, 구동 트랜지스터(TFT1)의 제1 소스 전극(71)과 접속된다.

[0055] 구동 트랜지스터(TFT1)는 제1 게이트 전극(61)으로 공급되는 데이터 신호에 응답하여 전원 라인(70)으로부터 유기 발광 다이오드(100)로 공급되는 전류를 제어함으로써 유기 발광 다이오드(100)의 발광량을 조절하게 된다. 이를 위해, 구동 트랜지스터(TFT1)는 스위칭 트랜지스터(TFT2)의 제2 드레인 전극(42)과 접속된 제1 게이트 전극(61), 전원 라인(70)과 접속된 제1 소스 전극(71), 제1 소스 전극(71)과 마주하며 유기 발광 다이오드(100)의 애노드 전극(73)과 접속된 제1 드레인 전극(72), 제1 소스 전극(71) 및 제1 드레인 전극(72) 사이에 채널부를 형성하는 제1 반도체 패턴을 구비한다.

[0056] 여기서, 제1 반도체 패턴은 제2 게이트 절연막(32)을 사이에 두고 제1 게이트 전극(61)과 중첩되는 제1 반도체 층(62), 제1 소스 전극(71) 및 제1 드레인 전극(72)과의 오믹 접촉을 위하여 채널부를 제외한 제1 반도체층(62) 위에 형성된 제1 오믹 콘택층(63)을 구비한다.

[0057] 제1 반도체층(62)은 아몰포스 실리콘 또는 폴리 실리콘으로 형성될 수 있으며, 유기 발광 다이오드(100)의 발광 기간 동안 계속하여 전류가 흐르는 구동 트랜지스터(TFT1)의 특성상 제1 반도체층(62)은 폴리 실리콘으로 이루어지는 것이 안정적인 수명을 확보할 수 있어서 바람직하다. 제1 반도체층(62)을 폴리 실리콘으로 형성하는 경우에는 구동 트랜지스터(TFT1)의 구조가 도 2에 도시된 바와 같이, 제1 게이트 전극(61)이 제1 반도체층(62)의 상부에 형성되는 탑게이트 형으로 형성되는 것이 바람직하다.

[0058] 스위칭 트랜지스터(TFT2)는 게이트 라인(20)에 스캔 펄스가 공급되면 텐-온되어 데이터 라인(40)에 공급된 데이터 신호를 스토리지 커패시터(Cst) 및 구동 트랜지스터(TFT1)의 제1 게이트 전극(61)으로 공급한다. 이를 위하여, 스위칭 트랜지스터(TFT2)는 게이트 라인(20)과 접속된 제2 게이트 전극(21), 데이터 라인(40)과 접속된 제2 소스 전극(41), 제2 소스 전극(41)과 마주하며 구동 트랜지스터(TFT1)의 제1 게이트 전극(61) 및 스토리지 커패시터(Cst)와 접속된 제2 드레인 전극(42), 제2 소스 전극(41) 및 제2 드레인 전극(42) 사이에 채널부를 형성하는 제2 반도체 패턴을 구비한다.

[0059] 여기서, 제2 반도체 패턴은 제2 게이트 절연막(32)을 사이에 두고 제2 게이트 전극(21)과 중첩되는 제2 반도체 층(22), 제2 소스 전극(41) 및 제2 드레인 전극(42)과의 오믹 접촉을 위하여 채널부를 제외한 제2 반도체층(22) 위에 형성된 제2 오믹 콘택층(23)을 구비한다.

[0060] 제2 반도체층(22)은 아몰포스 실리콘 또는 폴리 실리콘으로 형성될 수 있으며, 스위칭 트랜지스터(TFT2)가 우수한 온-오프 특성을 요구하므로, 온-오프 동작에 유리한 아몰포스 실리콘으로 이루어지는 것이 바람직하다.

[0061] 여기서, 제2 드레인 전극(42)과 제1 게이트 전극(61)은 브리지 전극(55)을 통해 연결된다. 제2 드레인 전극(42)은 제1 콘택홀(51)에 의해 노출되며, 제1 게이트 전극(61)은 제2 콘택홀(52)에 의해 노출된다. 따라서, 제2 드레인 전극(42)과 제1 게이트 전극(61)은 제1 및 제2 콘택홀(51, 52)을 경유하는 브리지 전극(55)을 통해 전기적으로 연결된다. 이때, 브리지 전극(55)은 애노드 전극(73)과 동일한 물질로 형성되는 것이 바람직하다.

[0062] 스위칭 트랜지스터(TFT2), 구동 트랜지스터(TFT1) 및 스토리지 커패시터(Cst)가 형성된 기판(10) 위에 보호막(33)이 형성되는데, 이 보호막(33)으로는 SiNx, SiOx 같은 무기 절연막이 박막 트랜지스터의 특성을 열화시키지 않으므로 바람직하다.

[0063] 유기 발광 다이오드(100)는 투명 도전 물질로 형성된 애노드 전극(73)과, 애노드 전극(73)과 대향되어 불투명 도전 물질로 형성된 캐소드 전극(80) 사이에 형성된 유기 발광층(90)을 포함한다.

[0064] 유기 발광층(90)은 애노드 전극(73)에 공급된 전류량에 따라 발광하여 애노드 전극(73) 방향으로 광을 방출한다. 유기 발광층(90)은 고분자 또는 저분자의 유기 발광 물질로 이루어질 수 있지만, 저분자 물질인 것이 바람직하다. 본 실시예에서 유기 발광층(90)은 각각의 화소별로 독립하여 형성된다. 이때, 유기 발광층(90)은 광을 발광하여야 하므로, 적색(R), 녹색(G) 및 청색(B)을 각각 구현하는 발광층들이 순차적으로 적층되어 3층 구조로 형성되거나 보색 관계를 가지는 발광층들이 적층되어 2층 구조로 형성되거나 백색을 구현하는 발

광층으로 이루어진 단층 구조로 형성될 수 있다.

[0065] 또한, 유기 발광층(90)의 하부 및 상부에는 정공 수송층, 전자 수송층, 전자 주입층 등이 더 구비되어 발광층의 발광 특성 및 발광 효율을 향상시킬 수도 있다.

[0066] 이때, 유기 발광층(90)의 단차를 보상하기 위한 유기 평탄화막(34)이 더 형성되기도 한다. 즉, 유기 평탄화막(34)은 제2 드레인 전극(42)을 노출하는 제1 콘택홀(51)과, 구동 트랜지스터(TFT1)의 제1 드레인 전극(72)의 일부를 노출시키는 제2 콘택홀(52)을 포함하며, 제1 및 제2 콘택홀(51, 52)은 제1 및 제2 게이트 절연막(31, 32), 보호막(33) 및 유기 평탄화막(34)을 관통하여 형성된다. 유기 평탄화막(34) 상부에는 유기 발광층(90)을 형성하기 위한 격벽(35)이 형성된다.

[0067] 격벽(35)은 도 2에 도시된 바와 같이, 유기 평탄화막(34) 상부에 형성되고 애노드 전극(73)을 노출하도록 형성된다. 이러한 격벽(35)에 의해 유기 발광층(90)이 애노드 전극(73)과 접촉하도록 형성된다.

[0068] 애노드 전극(73)은 구동 트랜지스터(TFT1)의 제1 드레인 전극(72)과 연결되어 전원 신호를 인가받으며, 정공을 제공하는 역할을 한다. 이러한 애노드 전극(73)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등의 투명 도전물질로 이루어지며, 화소 콘택홀(53)을 통하여 제1 드레인 전극(72)과 접속된다.

[0069] 그리고 유기 발광층(90) 상부에는 캐소드 전극(80)이 형성된다. 캐소드 전극(80)는 전자를 공급하며, 유기 발광층(90)에서 발생된 광을 애노드 전극(73) 방향으로 반사시키므로, 전자 공급 능력과 반사 성능이 우수한 알루미늄 또는 알루미늄 합금 등으로 이루어지는 것이 바람직하다.

[0070] 스토리지 커페시터(Cst)는 전원 라인(70)과 구동 트랜지스터(TFT1)의 제1 게이트 전극(61)과 연결된 스토리지 전극(65)이 제2 게이트 절연막(32)을 사이에 두고 중첩됨으로써 형성된다. 이러한 스토리지 커페시터(Cst)는 전원 라인(70)과 스토리지 전극(65)의 중첩 영역이 일정하도록 전원 라인(70)에 홈부(75)가 형성된다.

[0071] 홈부(75)는 전원 라인(70)의 일측면에 형성되며, 바람직하게는 데이터 라인(40)과 인접한 쪽의 측면에 형성된다. 이러한 홈부(75)는 도 1에 도시된 바와 같이, 전원 라인(70)의 내측으로 함몰되게 형성된다. 바람직하게는 홈부(75)는 전원 라인(70)의 내측으로 적어도 1 내지  $2\mu\text{m}$  함몰되게 형성된다. 이에 따라, 전원 라인(70)은 스토리지 전극(65)과 중첩된 영역에서의 폭이 중첩되지 않은 영역에서의 폭보다 더 작게 형성된다.

[0072] 도 3은 본 발명의 제1 실시 예에 따른 스토리지 커페시터가 형성된 영역을 도시한 평면도이고, 도 4는 도 3에 도시된 II-II'선을 따라 절단된 단면을 도시한 단면도이다.

[0073] 도 3 및 도 4를 참조하면, 스토리지 전극(65)과 전원 라인(70)이 중첩된 영역에서 전원 라인(70)에 형성된 홈부(75)에 의해 스토리지 전극(65)의 폭이 전원 라인(70)의 폭보다 더 크게 형성된다.

[0074] 구체적으로, 전원 라인(70)에 홈부(75)가 형성되어 스토리지 전극(65)의 우측면과 홈부(75)가 형성된 전원 라인(70)의 우측면 사이가 제1 폭(W)을 두고 형성된다. 여기서, 제1 폭(W)은 1 내지  $2\mu\text{m}$ 가 되는 것이 바람직하다. 이에 따라, 스토리지 전극(65)이 좌측 또는 우측으로 쉬프트 되어도 쉬프트 되기 이전과 비교하여 스토리지 커페시터의 용량이 동일하다. 이에 대한 자세한 설명은 도 5a 및 도 5b를 참조하여 설명하도록 한다.

[0075] 도 5a는 스토리지 전극이 좌측으로 쉬프트 되어 형성되었을 경우 전원 라인과 스토리지 전극이 중첩된 면적을 도시한 도면이도, 도 5b는 스토리지 전극이 우측으로 쉬프트되어 형성되었을 경우 전원 라인과 스토리지 전극이 중첩된 면적을 도시한 도면이다.

[0076] 도 5a에 도시된 바와 같이, 스토리지 전극(65)이 좌측으로 쉬프트되어 형성되어도 홈부(75)의 측면보다 둘출되게 형성된 스토리지 전극(65)이 전원 라인(70)과 중첩된다. 따라서, 스토리지 전극(65)이 좌측으로 쉬프트된 경우의 스토리지 전극(65)과 전원 라인(70)의 중첩면적은 도 3에 도시된 스토리지 전극(65)이 쉬프트되지 않았을 때의 스토리지 전극(65)과 전원 라인(70)의 중첩면적과 동일함을 알 수 있다.

[0077] 또한, 스토리지 전극(65)은 도 1에 도시된 구동 트랜지스터(TFT1)의 제1 게이트 전극(61)과 연결된다. 이에 따라, 도 5b에 도시된 바와 같이 스토리지 전극(65)이 우측으로 쉬프트되어도 제1 게이트 전극(61)이 전원 라인(70)과 중첩됨으로써 그 중첩면적은 스토리지 전극(65)이 쉬프트 되지 않은 경우의 스토리지 전극(65)과 전원 라인(70)의 중첩면적과 동일하다.

[0078] 도 6은 본 발명의 제2 실시 예에 따른 유기 발광 표시 패널 중 스토리지 커페시터를 도시한 평면도이다.

- [0079] 도 6은 도 3과 대비하여, 홈부(75)의 길이가 더 길어진 것을 제외하고는 동일하다.
- [0080] 도 6을 참조하면, 홈부(75)의 길이(L1)은 스토리지 전극(65)의 상변과 하변 사이의 길이(L2)보다 더 큰 길이를 갖도록 형성될 수 있다. 이에 따라, 스토리지 전극(65)이 마스크 열라인 미스로 인하여 상측 또는 하측으로 쉬프트 되어도 전원 라인(70)과의 중첩면적을 동일하게 유지시킬 수 있다.
- [0081] 도 7a는 스토리지 전극이 상측으로 쉬프트 되어 형성되었을 경우 전원 라인과 스토리지 전극이 중첩된 면적을 도시한 도면이고, 도 7b는 스토리지 전극이 하측으로 쉬프트되어 형성되었을 경우 전원 라인과 스토리지 전극이 중첩된 면적을 도시한 도면이다.
- [0082] 도 7a 및 도 7b에 도시된 바와 같이, 스토리지 전극(65)이 상측으로 쉬프트되어 형성되거나, 하측으로 쉬프트되어 형성되어도 전원 라인(70)과 스토리지 전극(65)의 중첩되는 면적이 같다.
- [0083] 따라서, 전원 라인(70)에 형성된 홈부(75)를 통해 스토리지 전극(65)과 전원 라인(70) 중 어느 하나가 공정편차 이내에서 상/하/좌/우 중 적어도 어느 한 방향으로 쉬프트되어 형성되어도 각각의 화소 영역에 형성되는 스토리지 커패시터의 용량이 서로 동일함을 알 수 있다. 또한, 대량으로 생산되는 유기 발광 표시 패널들 중에 각각 다른 시간에 생산된 유기 발광 표시 패널들에 형성된 다수의 스토리지 커패시터 각각은 그 용량이 서로 같도록 형성할 수 있다.
- [0084] 도 8은 본 발명의 제3 실시 예에 따른 유기 발광 표시 패널의 스토리지 커패시터 형성부를 도시한 평면도이고, 도 9는 도 8에 도시된 스토리지 커패시터의 III-III'선을 따라 절단한 단면을 도시한 단면도이다. 여기서, 도 8은 도 3과 대비하여 스토리지 전극(65)과 연결되어 전원 라인(70)과 중첩된 보조 스토리지 전극(66)을 구비하는 것을 제외하고는 동일한 구성요소를 구비하므로 동일한 구성요소에 대한 중복된 설명은 생략하기로 한다.
- [0085] 도 8 및 도 9를 참조하면, 스토리지 전극(65)은 전원 라인(70)과 중첩되는 보조 스토리지 전극(66)을 더 포함할 수 있다.
- [0086] 구체적으로, 보조 스토리지 전극(66)은 스토리지 전극(65)의 상부 및 하부면 중 적어도 어느 일측에 스토리지 전극(65)과 연결되게 형성된다. 이러한 보조 스토리지 전극(66)은 전원 라인(70)의 폭보다 작거나 같게 형성된다. 그리고 보조 스토리지 전극(66)은 전원 라인(70)의 중앙을 기준으로 대칭으로 형성되는 것이 바람직하다. 이때, 보조 스토리지 전극(66)은 전원 라인(70)의 일측 단변과의 제1 폭(W)이 적어도 1 내지  $2\mu\text{m}$ 가 되어야 한다. 따라서, 보조 스토리지 전극(66)이 형성될 때, 마스크 열라인 미스로 인하여 보조 스토리지 전극(66)이 도 10a 및 도 10b에 각각에 도시된 바와 같이 좌측 또는 우측으로 쉬프트 되어도 전원 라인(70)과 중첩되는 영역이 동일하여 스토리지 용량의 차이가 발생되지 않는다. 이에 따라, 유기 발광 표시 패널 각각의 서브 화소에 형성된 스토리지 커패시터(Cst)의 용량이 마스크 열라인 미스가 발생하여도 모두 같아져 스토리지 커패시터(Cst)의 용량차이에 의한 휘도 불량을 방지할 수 있다.
- [0087] 여기서, 도 8에 도시된 보조 스토리지 전극(66)의 일측변과 전원 라인(70)의 일측변 사이의 제1 폭(W)은 도 3에 도시된 스토리지 전극(65)의 일측변과 전원 라인(70)의 일측변 사이의 제1 폭(W)과 동일하게 형성되는 것이 바람직하다. 예를 들어, 보조 스토리지 전극(66)의 폭이 전원 라인의 폭과 동일하게 형성되면 마스크의 열라인 미스로 인하여 보조 스토리지 전극(66)이 좌측 또는 우측으로 쉬프트 될 수 있다. 이때, 좌측 또는 우측으로 쉬프트 된 보조 스토리지 전극(66)으로 인하여 스토리지 커패시터의 용량이 각각의 화소 또는 각각의 유기 발광 표시 패널마다 달라지는 문제점이 발생된다.
- [0088] 도 8 및 도 9에서는 보조 스토리지 전극(66)이 전원 라인(70)의 폭보다 더 작게 형성된 것을 도시하였으나, 보조 스토리지 전극(66)은 전원 라인(70)의 폭보다 더 크게 형성될 수도 있다. 즉, 보조 스토리지 전극(66)이 전원 라인(70)의 폭보다 더 크게 형성되면 보조 스토리지 전극(66)이 좌측 또는 우측으로 쉬프트 되어도 전원 라인(70)과의 중첩면적이 동일하다. 이때, 보조 스토리지 전극(66)이 전원 라인(70)의 폭보다 더 클 경우 도 1에 도시된 애노드 전극(73)과의 보조 스토리지 전극(66)과의 거리가 우측으로 쉬프트 되었을 때 서로 중첩되지 않는 범위 내에서 형성되는 것이 바람직하다. 또한, 보조 스토리지 전극(66)은 우측으로 쉬프트 될 경우에 도 1에 도시된 인접한 데이터 라인(70)과 중첩되지 않는 크기로 형성되는 것이 바람직하다.
- [0089] 이하에서는, 도 11a 내지 도 11b를 참조하여 본 실시예에 따른 유기 발광 표시 패널의 제조방법을 설명한다.
- [0090] 도 11a 및 도 11b를 참조하면, 기판(10) 위에 구동 트랜지스터(TFT1)의 제1 반도체층(62) 및 제1 오믹 콘택층(63)이 형성된다.
- [0091] 구체적으로, 구동 트랜지스터(TFT1)의 구동 특성을 고려하여 이 제1 반도체층(62) 및 제1 오믹 콘택층(63)을 폴

리 실리콘으로 형성한다. 제1 반도체층(62) 및 제1 오믹 콘택층(63)을 형성하는 과정을 구체적으로 설명하면 다음과 같다. 먼저, 기판(10) 위에 아몰포스 실리콘 및 불순물 도핑된 아몰포스 실리콘을 기판(10)의 전면에 걸쳐서 일정한 두께로 증착한다. 이어서, 아몰포스 실리콘을 결정화한다. 결정화하는 방법으로는 레이저를 이용한 방법과, 열 및 자기장을 이용하는 고상결정화(Solid Phase Crystallization) 방법 등이 있으며, 대면적 기판의 결정화에는 고상결정화 방법이 바람직하다. 다음으로, 결정화된 실리콘층을 포토리소그래피 공정 및 에칭 공정을 통하여 패터닝함으로써 도 11b에 도시된, 제1 반도체층(62) 및 제1 오믹 콘택층(63)을 형성한다.

[0092] 도 12a 및 도 12c를 참조하면, 구동 트랜지스터(TFT1)의 제1 소스 전극(71) 및 제1 드레인 전극(72)을 형성한다.

[0093] 구체적으로, 스퍼터링 방법을 이용하여 도전성 금속을 기판(10) 위에 전면 증착한 후, 포토리소그래피 공정 및 식각 공정을 이용하여 도전성 금속을 패터닝하여 제1 소스 전극(71) 및 제1 드레인 전극(72)을 형성한다. 이때, 제1 소스 전극(71) 및 제1 드레인 전극(72)에 의하여 가려지지 않고 노출된 제1 오믹 콘택층(63)은 식각 공정으로 제거하여 폴리 실리콘으로만 이루어진 채널을 형성한다. 그리고 제1 소스 전극(71)이 형성될 때, 전원 라인(70)이 함께 형성된다. 이때, 전원 라인(70)은 추후 스토리지 전극(65)과 중첩될 영역에 홈부(75)가 형성된다.

[0094] 홈부(75)는 전원 라인(70)의 일측면에 형성된다. 특히, 홈부(75)는 데이터 라인(40)과 인접한 전원 라인(70)의 측면에 형성된다. 이에 따라, 추후 형성될 스토리지 전극(65)이 형성될 때 좌우마진을 확보한다.

[0095] 또한, 홈부(75)는 도 12c에 도시된 바와 같이 추후 형성될 스토리지 전극의 길이보다 더 큰 길이(L1)로 형성된다. 홈부(75)의 길이(L1)를 스토리지 전극의 길이보다 길게 형성하여 스토리지 전극이 형성될 때 상측 및 하측으로 쉬프트 될때의 마진을 확보한다.

[0096] 다음으로, 기판(10) 전면에 걸쳐서 제2 게이트 절연막(31)을 형성한다.

[0097] 구체적으로, 제1 게이트 절연막(31)은 PECVD 등의 증착 방법으로 산화 실리콘(SiO<sub>x</sub>), 질화 실리콘(SiN<sub>x</sub>) 등과 같은 무기 절연 물질이 전면 증착됨으로써 형성된다.

[0098] 도 13a 내지 13c를 참조하면 제2 게이트 절연막(32) 상에 게이트 라인(20)과, 제1 및 제2 게이트 전극(61, 21)과 스토리지 전극(65)을 형성한다.

[0099] 구체적으로, 스퍼터링 방법을 이용하여 도전성 금속을 기판(10) 위에 전면 증착한 후, 포토리소그래피 공정 및 식각 공정을 이용하여 도전성 금속을 패터닝하여 게이트 라인(20), 제1 및 제2 게이트 전극(61, 21)과 스토리지 전극(65)을 형성한다. 이때, 제2 게이트 전극(21)은 게이트 라인(20)과 연결된다. 전원 라인(70)과 스토리지 전극(65)이 제1 게이트 절연막(31)을 사이에 두고 중첩되어 스토리지 커파시터(Cst)가 형성된다.

[0100] 그리고 스토리지 전극(65)이 형성될 때, 도 13d 및 13e에 도시된 스토리지 전극(65)으로부터 전원 라인(70)과 중첩되게 돌출된 보조 스토리지 전극(66)을 더 형성할 수 있다.

[0101] 보조 스토리지 전극(66)은 도 13d 및 도 13e에 도시된 바와 같이, 전원 라인(70)과 중첩되게 형성한다. 그리고 보조 스토리지 전극(66)의 폭은 전원 라인(70)의 폭보다 더 작거나 더 크게 형성한다. 보조 스토리지 전극(66)은 전원 라인(70)의 중앙을 중심으로 서로 대칭되게 형성되어 좌측 및 우측으로 마스크의 얼라인 미스되는 마진폭을 갖는다. 도 13d 및 도 13e에서 도시된 바와 같이 보조 스토리지 전극(66)은 전원 라인(70)의 폭보다 좌우로 각각 홈부(75)의 폭과 같은 제1 폭(W)을 갖도록 형성한다. 이에 따라, 스토리지 전극(65) 및 보조 스토리지 전극(66)이 마스크 미스 얼라인으로 인하여 좌측 또는 우측으로 쉬프트 되어도 전원 라인(70)과 중첩되는 면적이 같도록 형성한다. 또한, 보조 스토리지 전극(66)이 전원 라인(70)의 폭보다 더 크게 형성될 때에도 홈부(75)의 제1 폭(W)만큼의 마진을 갖고 형성되는 것이 바람직하다.

[0102] 바람직하게는 보조 스토리지 전극(66)의 일측변과 전원 라인(70)의 일측변의 제1 폭(W)이 1 내지 2μm가 되도록 보조 스토리지 전극(66)의 폭이 작거나 크게 형성된다. 이때, 보조 스토리지 전극(66)이 전원 라인(70)의 폭보다 더 크게 형성될 경우에 추후 형성될 애노드 전극 또는 인접한 데이터 라인(40)과 우측 또는 좌측으로 쉬프트 되어도 중첩되지 않는 크기로 형성되는 것이 바람직하다.

[0103] 다음으로, 제1 및 제2 게이트 전극(61, 21)이 형성된 기판(10) 상에 제2 게이트 절연막(32)을 전면 증착한다. 이 제2 게이트 절연막(32)도 제1 게이트 절연막(31)과 실질적으로 동일한 방법으로 형성되므로 반복하여 설명하지 않는다.

- [0104] 다음으로, 도 14a 및 14b에 도시된 바와 같이, 제1 게이트 절연막(31)이 형성된 기판(10) 상에 제2 반도체층(22) 및 제2 오믹 콘택층(23)을 형성한다.
- [0105] 구체적으로, 스위칭 트랜지스터(TFT2)의 구동 특성을 고려하여 이 제2 반도체층(22) 및 제2 오믹 콘택층(23)을 포함하는 제2 반도체 패턴을 형성한다. 여기서, 제2 반도체 패턴은 아몰포스 실리콘으로 형성한다. 즉, 아몰포스 실리콘 및 불순물 도핑된 아몰포스 실리콘층을 기판(10) 위에 순차적으로 증착한 후, 결정화 과정을 거치지 않고 패터닝하여 제2 반도체층(22) 및 제2 오믹 콘택층(23)을 형성한다.
- [0106] 다음으로, 도 15a 및 도 15b에 도시된 바와 같이, 제2 반도체 패턴 위에 제2 소스 전극(41) 및 제2 드레인 전극(42)을 형성한다. 이때, 제2 소스 전극(41)과 연결된 데이터 라인(40)도 형성된다. 여기서, 제2 소스 전극(41), 제2 드레인 전극(42) 및 데이터 라인(40)을 형성하는 구체적인 방법은 전술한 제1 및 제2 게이트 전극(61, 21)을 형성하는 방법과 실질적으로 동일하므로 반복하여 설명하지 않는다.
- [0107] 다음으로 도 16a 및 16b에 도시된 바와 같이, 보호막(33), 유기 평탄화막(34), 브리지 전극(55) 및 애노드 전극(73)을 형성한다.
- [0108] 구체적으로, 보호막(33)은 SiNx 또는 SiOx와 같은 무기 절연막을 기판 전면에 형성한다. 이어서, 보호막(33)이 형성된 기판(10) 위에 유기 평탄화막(34)을 형성한다. 유기 평탄화막(34)은 유기물질을 스판코팅 등의 방법으로 전면 코팅하고 나서 경화하여 형성된다. 이어서, 유기 평탄화막(34)을 패터닝하여 제1 및 제2 콘택홀(51, 52)과 화소 콘택홀(53)을 형성한다. 여기서, 제1 콘택홀(51)은 유기 평탄화막(34) 및 보호막(33)을 관통하여 제2 드레인 전극(42)이 노출되도록 형성된다. 그리고 제2 콘택홀(52)은 유기 평탄화막(34), 보호막(33), 제2 게이트 절연막(32)을 관통하여 제1 게이트 전극(61)을 노출시킨다. 그리고 화소 콘택홀(53)은 유기 평탄화막(34), 보호막(33), 제1 및 제2 게이트 절연막(31, 32)을 순차적으로 관통하여 제1 드레인 전극(72)을 노출시킨다.
- [0109] 이때, 유기 평탄화막(34)을 형성하는 단계에서, 도 16c와 같이 컬러 필터(95)를 더 형성할 수 있다.
- [0110] 구체적으로, 유기 평탄화막(34)을 형성하기 이전에 화소 영역마다 적, 녹, 청 중 어느 하나의 컬러 필터(95)를 형성한다. 그리고 컬러 필터(95) 위에 유기 평탄화막(34)을 형성한다. 이때, 컬러 필터(95)는 색을 표시하는 유기물질로 형성되는 것이 바람직하다.
- [0111] 한편, 유기 평탄화막(34)은 컬러 필터를 포함할 수 있다. 즉, 유기 평탄화막(34)을 각각의 화소 영역마다 색을 표시하는 컬러 필터로 형성할 수도 있다.
- [0112] 다음으로, 투명 도전층으로 브리지 전극(55) 및 애노드 전극(73)을 형성한다. 브리지 전극(55) 및 애노드 전극(73)은 제1 및 제2 콘택홀(51, 52)과 화소 콘택홀(53)이 형성된 유기 평탄화막(34) 위에 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등의 투명 도전물질을 스퍼터링 등의 방법으로 증착하고, 포토리소그래피 공정과 식각 공정을 거쳐서 브리지 전극(55) 및 애노드 전극(73)을 형성한다. 브리지 전극(55)은 제1 게이트 전극(61)과 제2 드레인 전극(42)을 전기적으로 연결시킨다. 애노드 전극(73)은 구동 트랜지스터(TFT1)의 제1 드레인 전극(72)과 연결된다.
- [0113] 도 17a 및 도 17b를 참조하면, 브리지 전극(55) 및 애노드 전극(73)이 형성된 기판(10) 위에 격벽(35), 유기 발광층(90) 및 캐소드 전극(80)을 형성한다.
- [0114] 구체적으로, 브리지 전극(55) 및 애노드 전극(73)이 형성된 기판(10) 위에 아크릴계 수지, 벤조사이클로부텐(BCB) 및 폴리이미드 중 적어도 어느 하나의 물질을 전면에 도포한다. 이어서, 포토리소그래피 공정과 식각 공정을 통해 애노드 전극(73)을 노출시킨다. 이에 따라, 애노드 전극(73)이 형성된 영역과 식각되지 않은 나머지 영역의 단차가 형성된다. 다음으로, 격벽(35) 내의 애노드 전극(73) 위에 유기 발광층(90)을 형성하고, 격벽(35) 및 유기 발광층(90) 상부에 캐소드 전극(80)을 형성한다.

### 발명의 효과

- [0115] 상술한 바와 같이, 본 발명에 따른 유기 발광 표시 패널 및 이의 제조방법은 스토리지 커패시터를 이루는 전원 라인과 스토리지 전극이 공정 마진을 고려하여 형성됨으로써 유기 발광 표시패널의 제조공정시 마스크 얼라인 미스가 발생되어도 유기 발광 표시 패널의 각각의 화소 영역의 스토리지 커패시터 용량을 동일하게 형성할 수 있다.

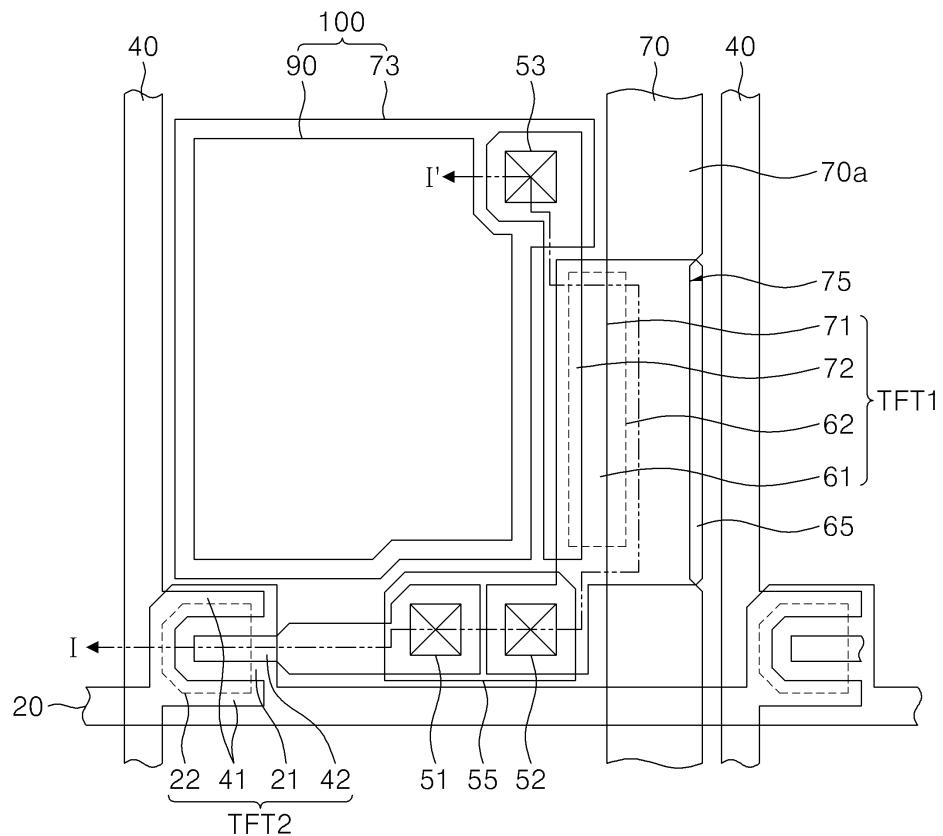
[0116] 이상에서 상술한 본 발명은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 여러 가지 치환, 변형 및 변경이 가능하다 할 것이다. 따라서, 본 발명은 상술한 실시 예 및 첨부된 도면에 한정하지 않고 청구범위에 의해 그 권리가 정해져야 할 것이다.

### 도면의 간단한 설명

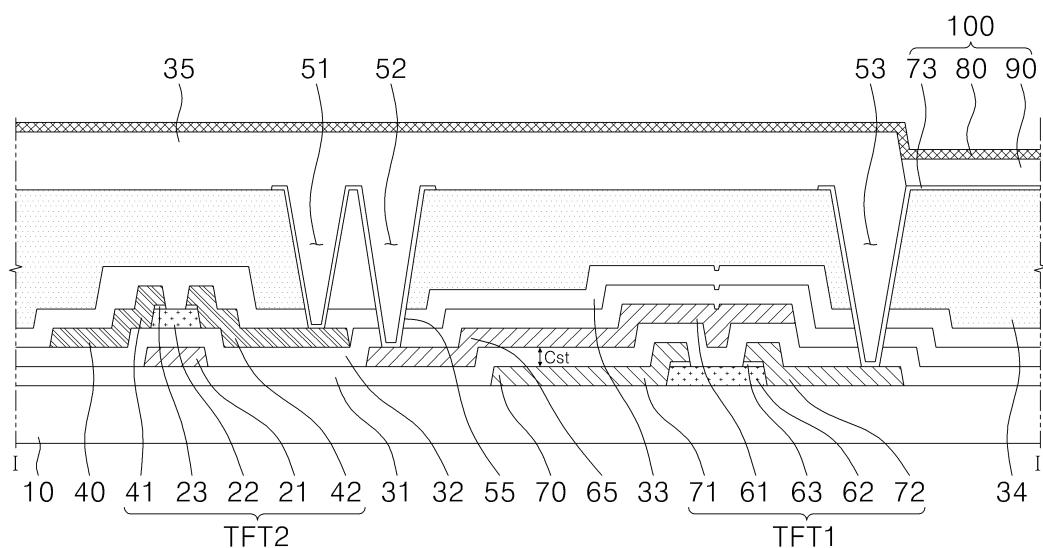
- [0001] 도 1은 본 발명의 제1 실시 예에 따른 유기 발광 표시 패널을 도시한 평면도이다.
- [0002] 도 2는 도 1 및 도 2에 도시된 유기 발광 표시 패널의 I-I'선을 따라 절단한 단면을 도시한 단면도이다.
- [0003] 도 3은 도 1에 도시된 유기 발광 표시 패널의 스토리지 커패시터를 도시한 평면도이다.
- [0004] 도 4는 도 3에 도시된 스토리지 커패시터의 II-II'선을 따라 절단한 단면을 도시한 단면도이다.
- [0005] 도 5a 및 도 5b는 스토리지 전극이 좌측 및 우측으로 쉬프트된 경우를 각각 도시한 평면도이다.
- [0006] 도 6은 본 발명의 제2 실시 예에 따른 유기 발광 표시 패널의 스토리지 커패시터를 도시한 평면도이다.
- [0007] 도 7a 및 도 7b는 도 6에 도시된 스토리지 커패시터에서 스토리지 전극이 상측 및 하측으로 쉬프트된 경우를 각각 도시한 평면도이다.
- [0008] 도 8은 본 발명의 제3 실시 예에 따른 유기 발광 표시 패널의 스토리지 커패시터를 도시한 평면도이다.
- [0009] 도 9는 도 8에 도시된 스토리지 커패시터의 III-III'선을 따라 절단한 단면을 도시한 단면도이다.
- [0010] 도 10a 및 도 10b는 스토리지 전극 및 보조 스토리지 전극이 좌측 및 우측으로 쉬프트 되었을 경우를 각각 도시한 평면도이다.
- [0011] 도 11a 내지 도 17b는 본 발명의 실시 예에 따른 유기 발광 표시 패널의 제조방법을 설명하기 위한 평면도 및 단면도들이다.
- [0012] <도면부호의 간단한 설명>
- |                        |                       |
|------------------------|-----------------------|
| [0013] 10: 기판          | [0013] 20: 게이트 라인     |
| [0014] 21: 제2 게이트 전극   | [0014] 22: 제2 반도체층    |
| [0015] 23: 제2 오믹 콘택층   | [0015] 31: 제1 게이트 절연막 |
| [0016] 32: 제2 게이트 절연막  | [0016] 33: 보호막        |
| [0017] 34: 유기 평탄화막     | [0017] 35: 격벽         |
| [0018] 40: 데이터 라인      | [0018] 41: 제2 소스 전극   |
| [0019] 42: 제2 드레인 전극   | [0019] 51: 제1 콘택홀     |
| [0020] 52: 제2 콘택홀      | [0020] 53: 화소 콘택홀     |
| [0021] 55: 브리지 전극      | [0021] 61: 제1 게이트 전극  |
| [0022] 62: 제1 반도체층     | [0022] 63: 제1 오믹 콘택층  |
| [0023] 65: 스토리지 전극     | [0023] 66: 보조 스토리지 전극 |
| [0024] 70: 전원 라인       | [0024] 71: 제1 소스 전극   |
| [0025] 72: 제1 드레인 전극   | [0025] 73: 애노드 전극     |
| [0026] 75: 흄부          | [0026] 80: 캐소드 전극     |
| [0027] 90: 유기 발광층      | [0027] 95: 컬러 필터      |
| [0028] 100: 유기 발광 다이오드 |                       |

## 도면

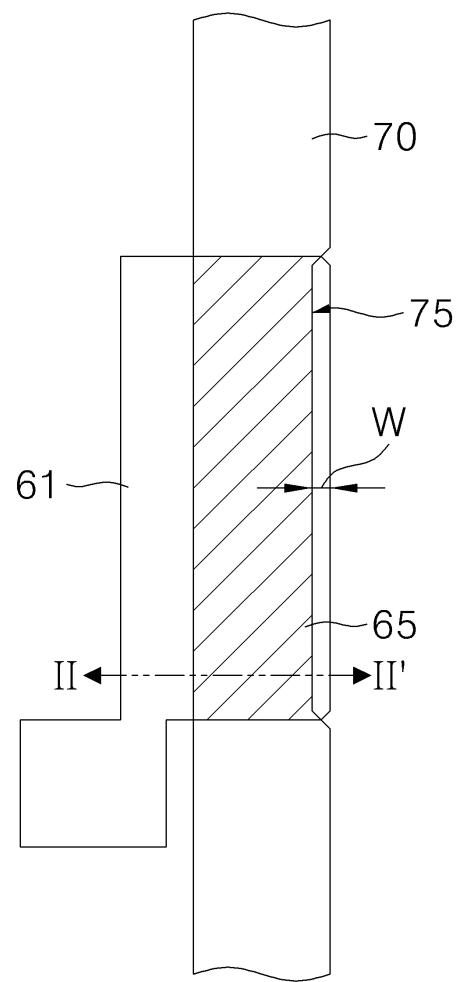
## 도면1



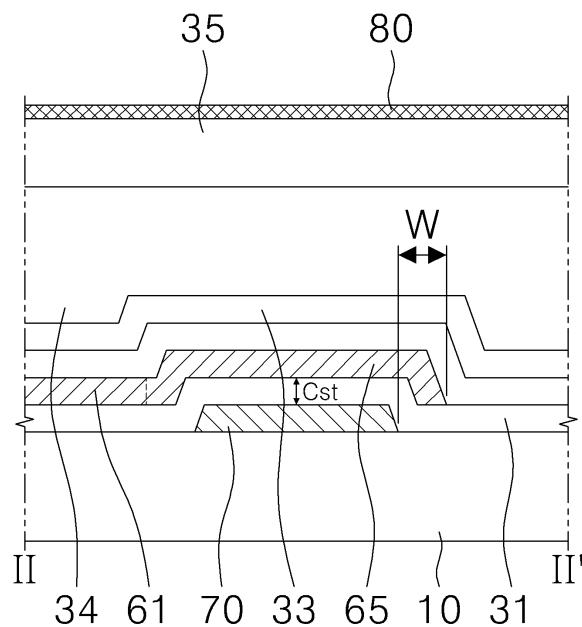
## 도면2



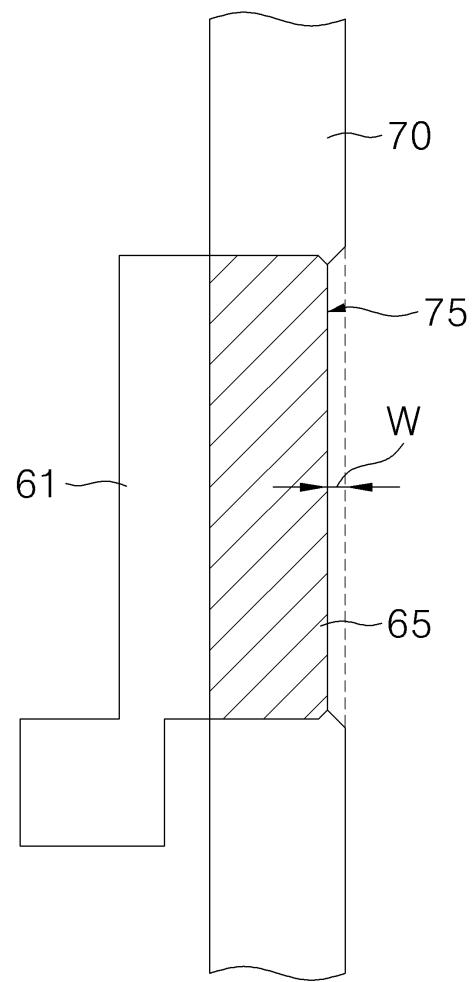
도면3



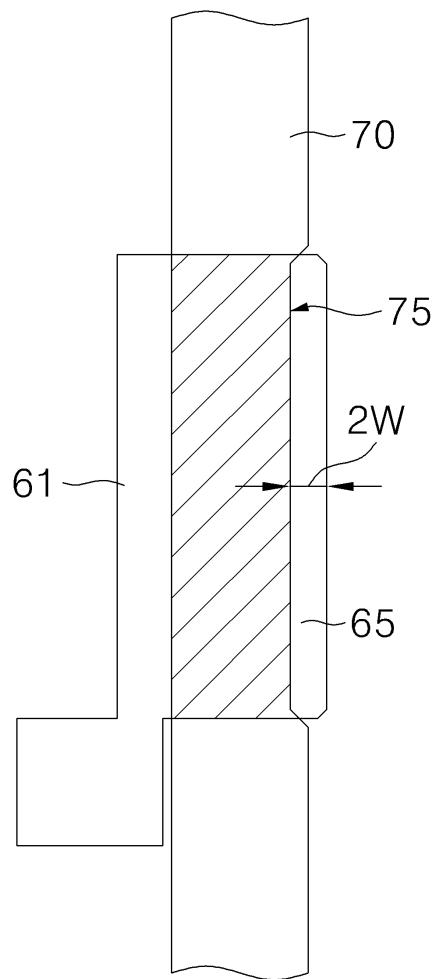
도면4



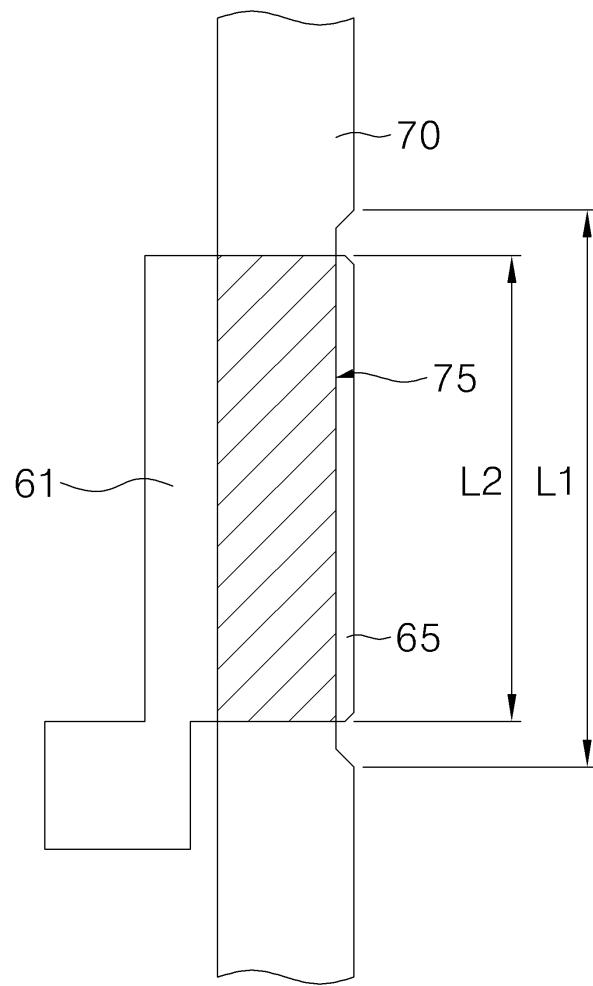
도면5a



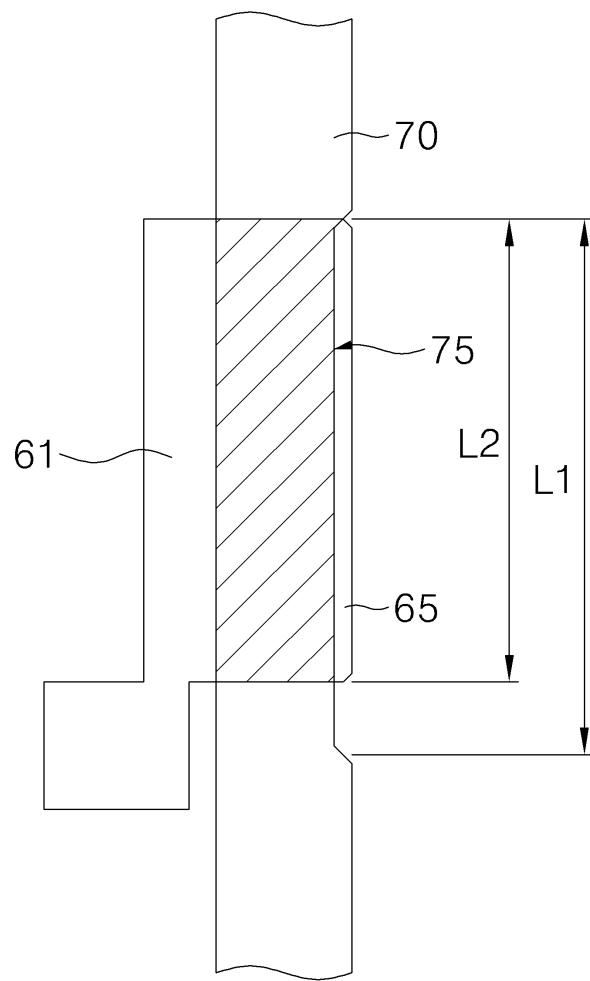
도면5b



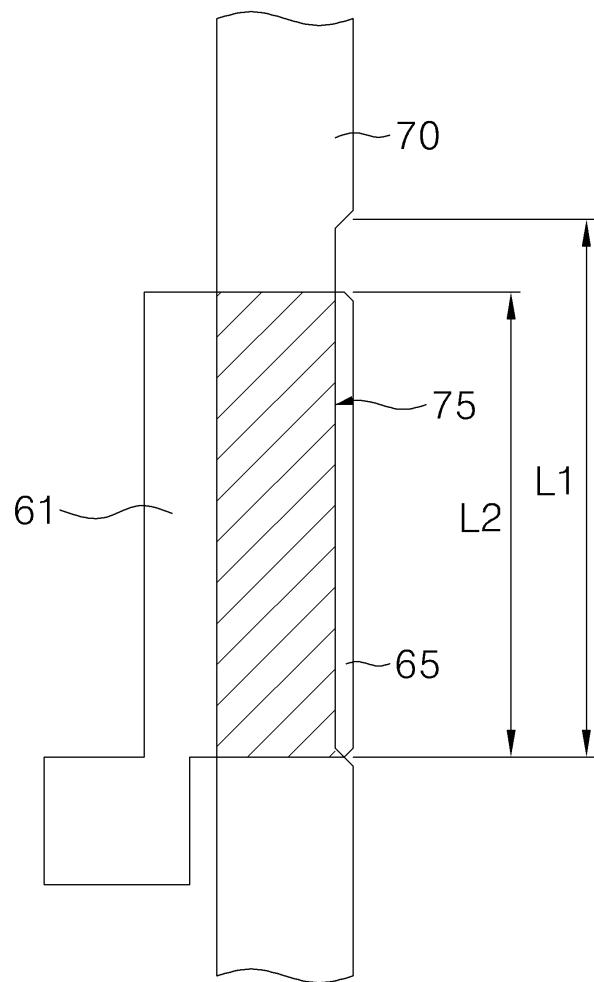
도면6



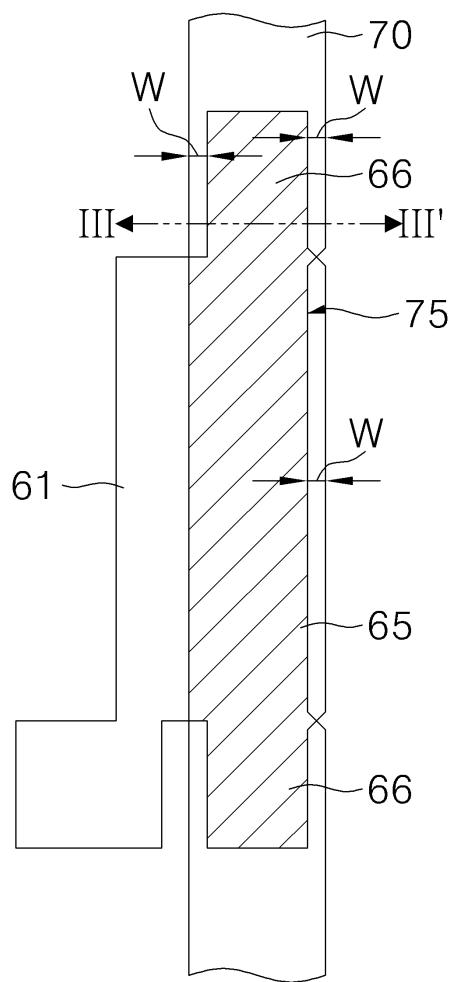
도면7a



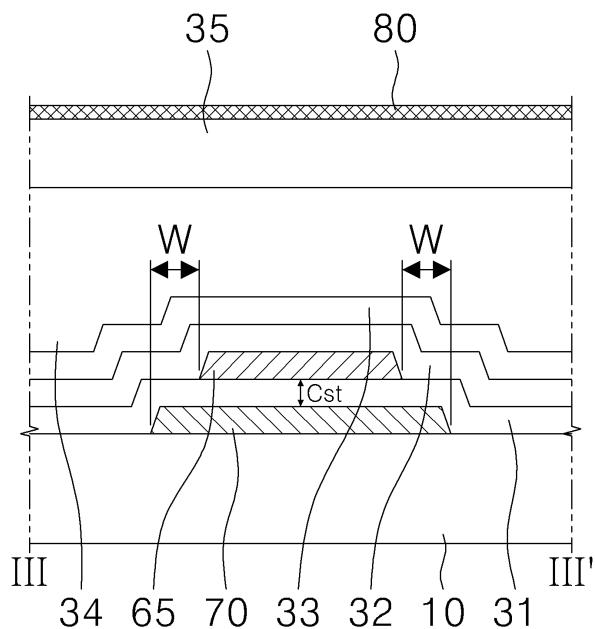
도면7b



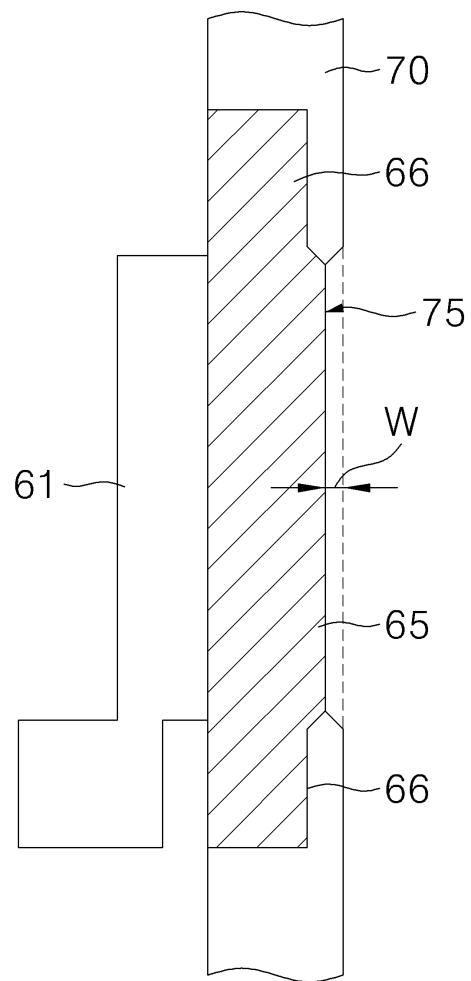
도면8



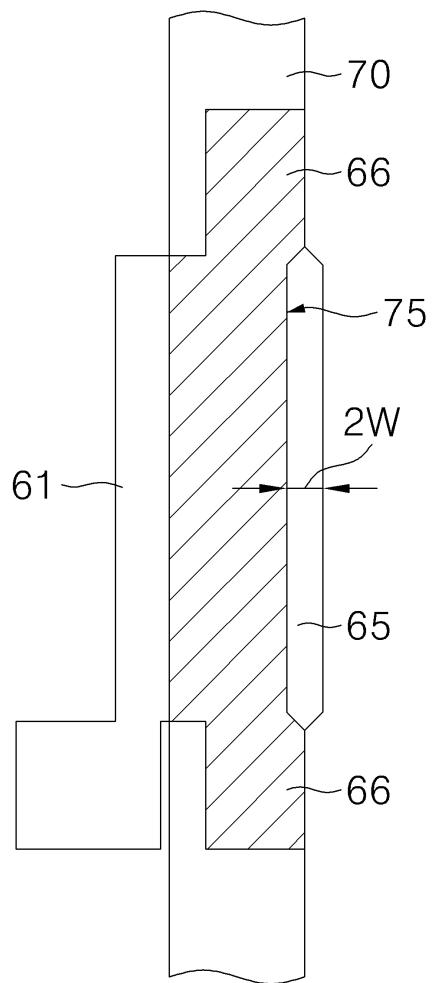
도면9



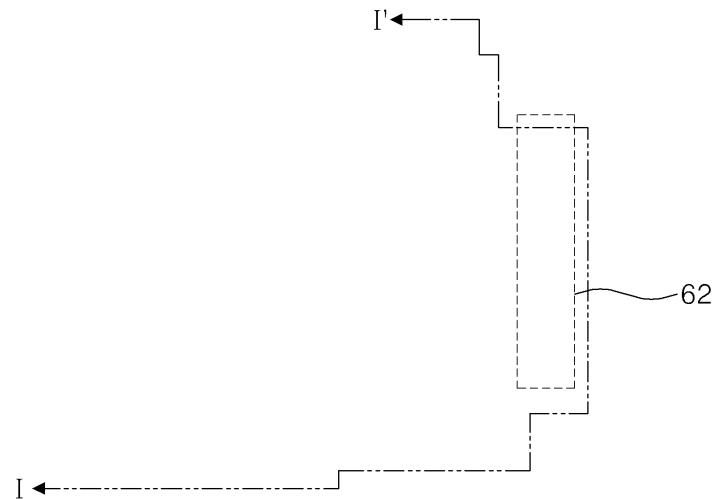
도면10a



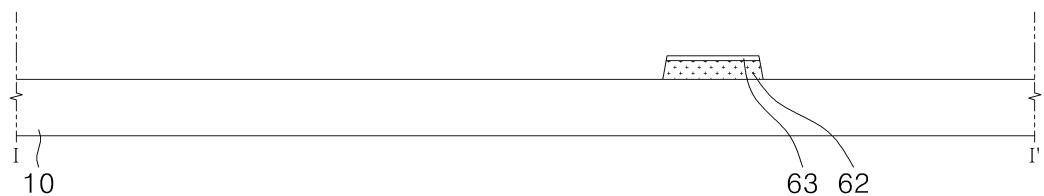
도면10b



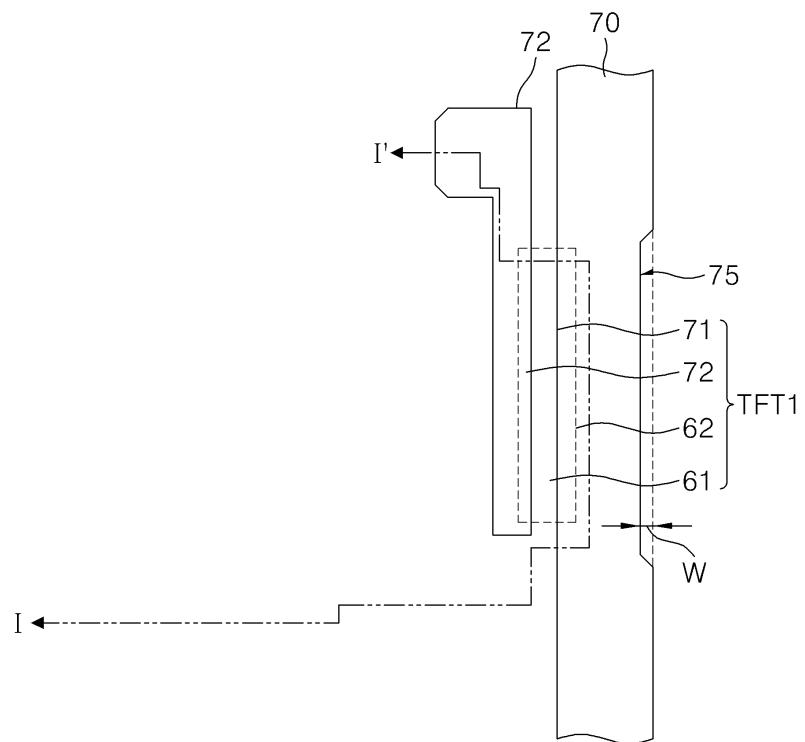
도면11a



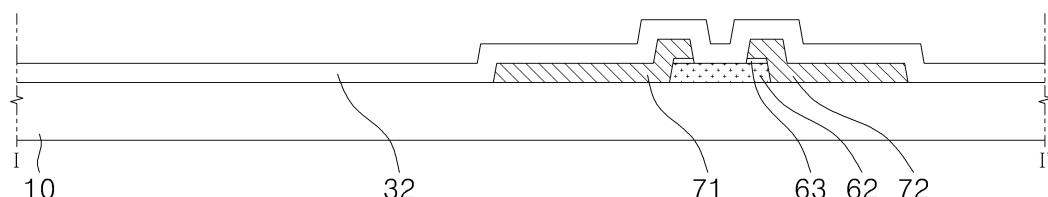
도면11b



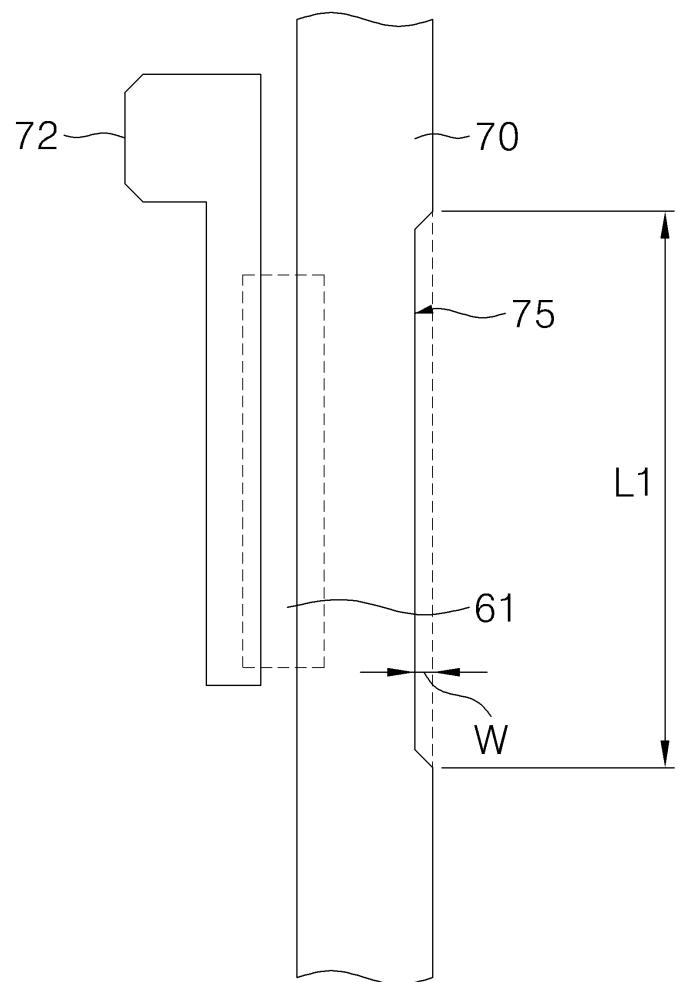
도면12a



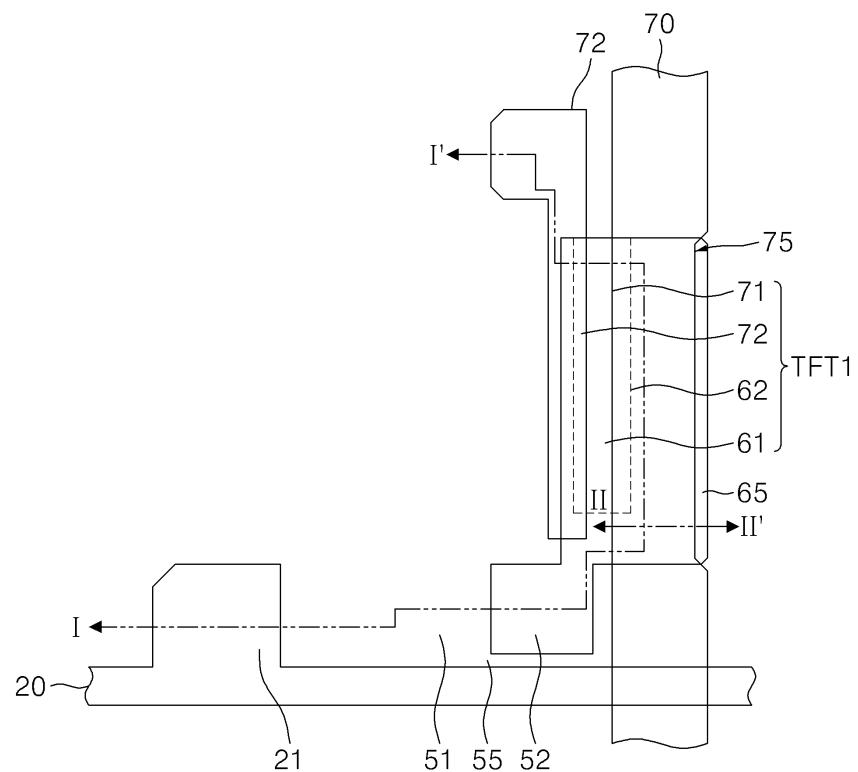
도면12b



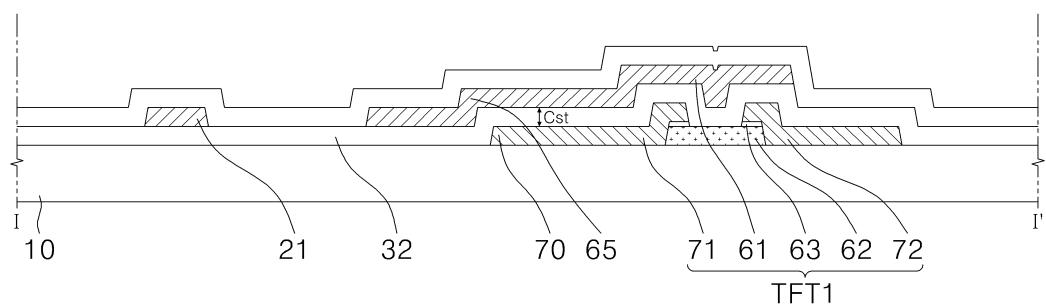
도면12c



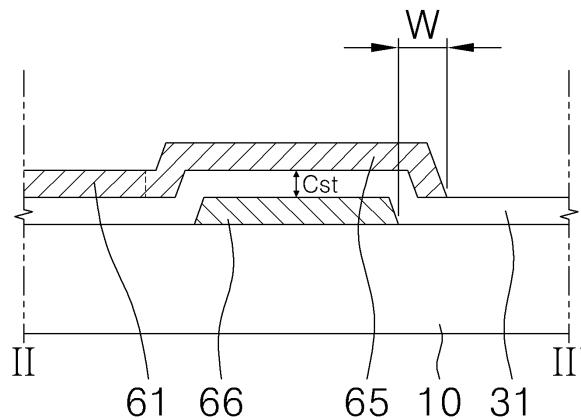
도면13a



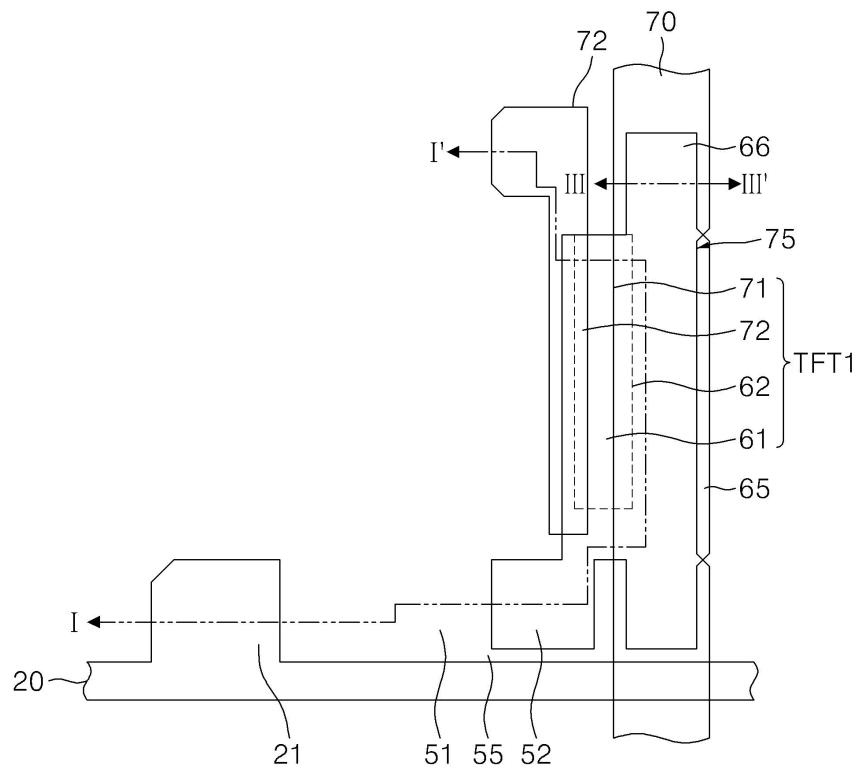
도면13b



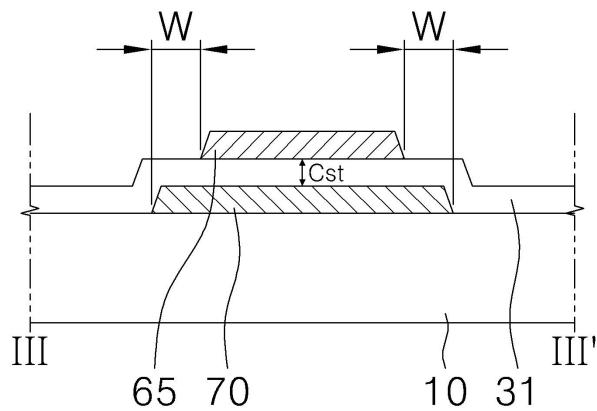
도면13c



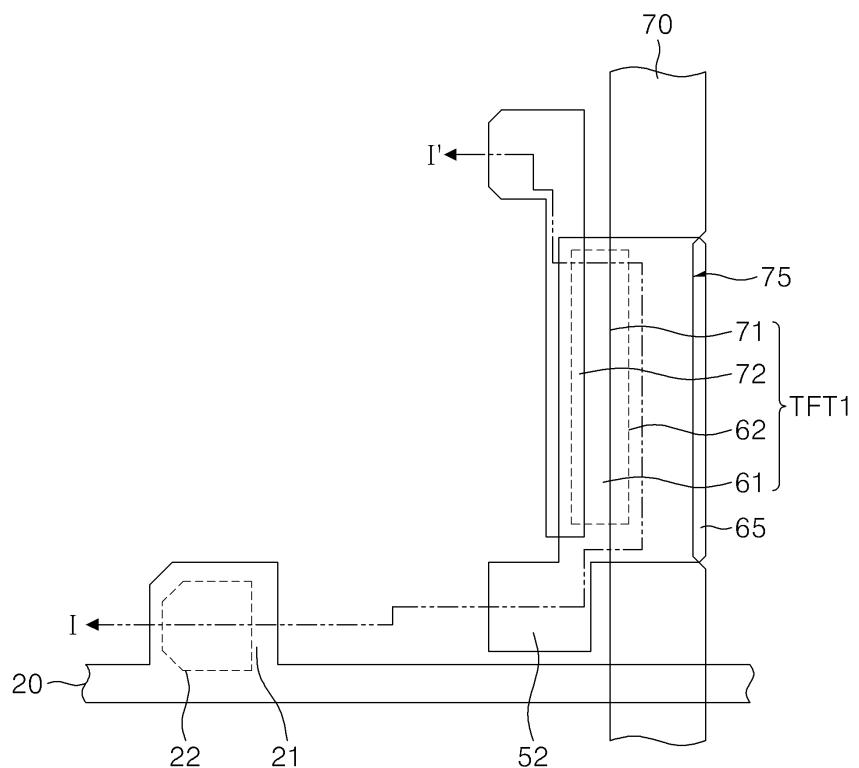
도면13d



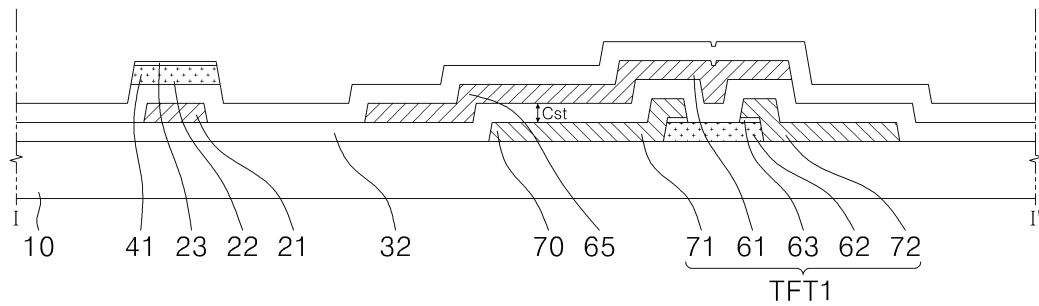
도면13e



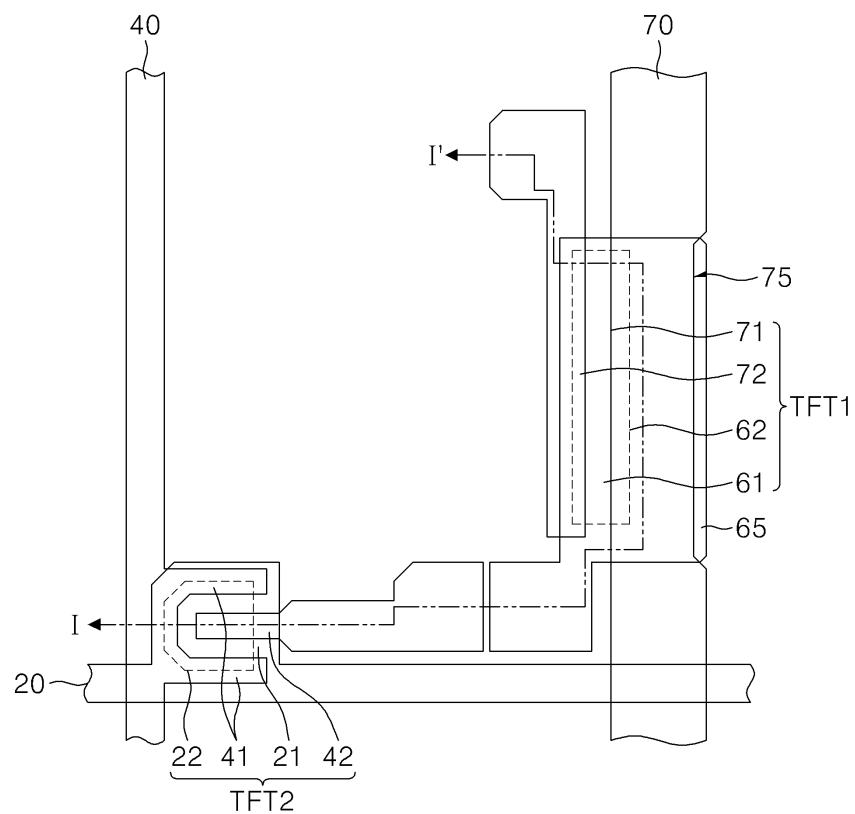
도면14a



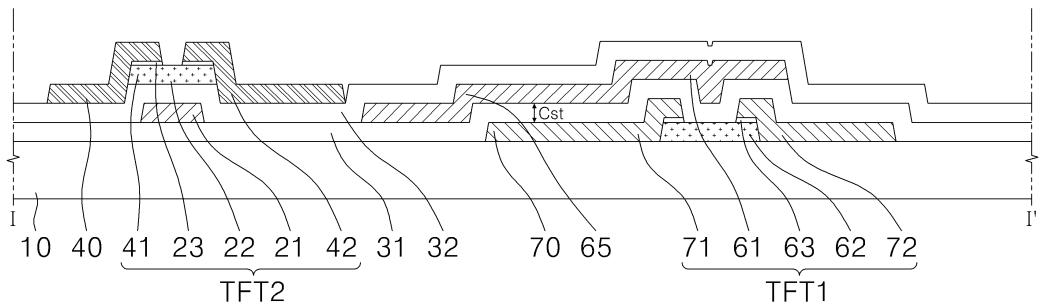
도면14b



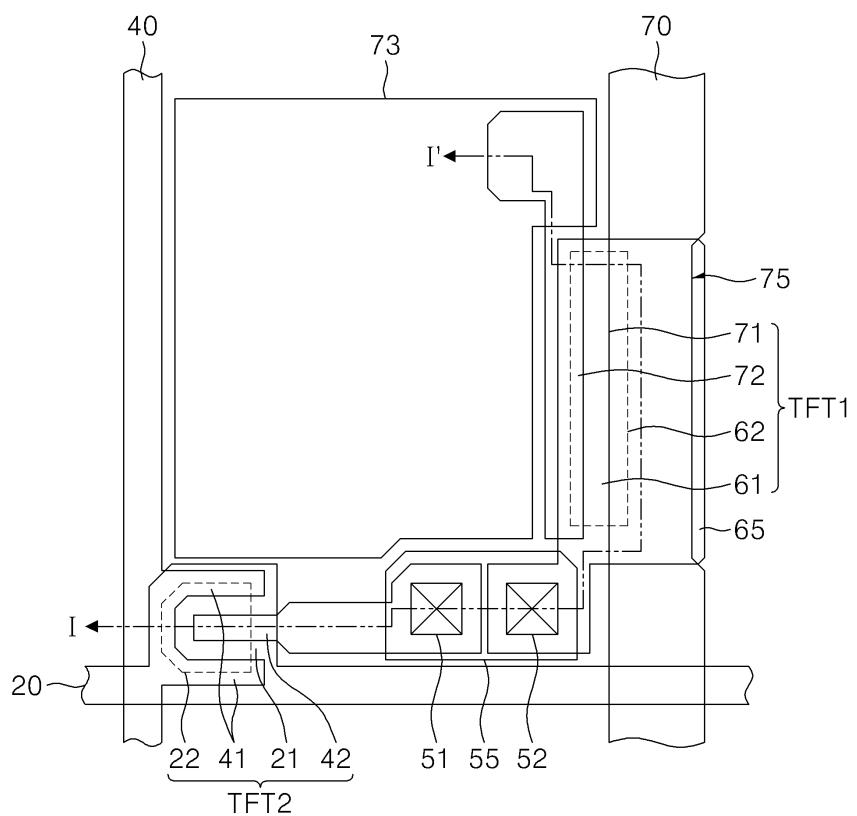
도면15a



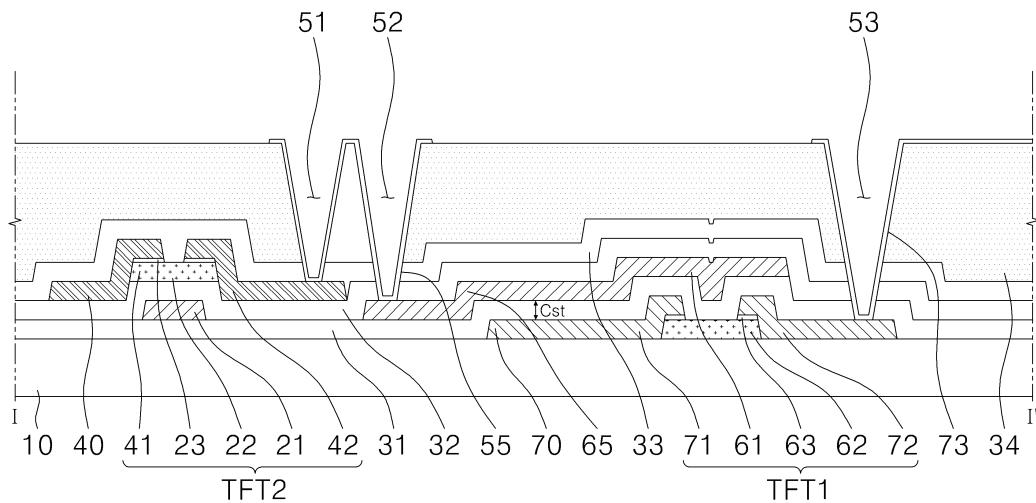
도면15b



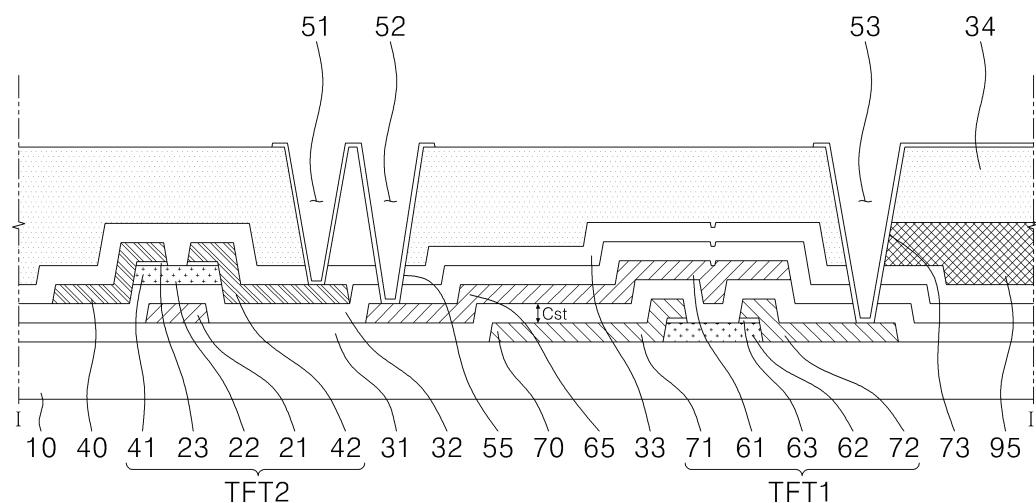
도면16a



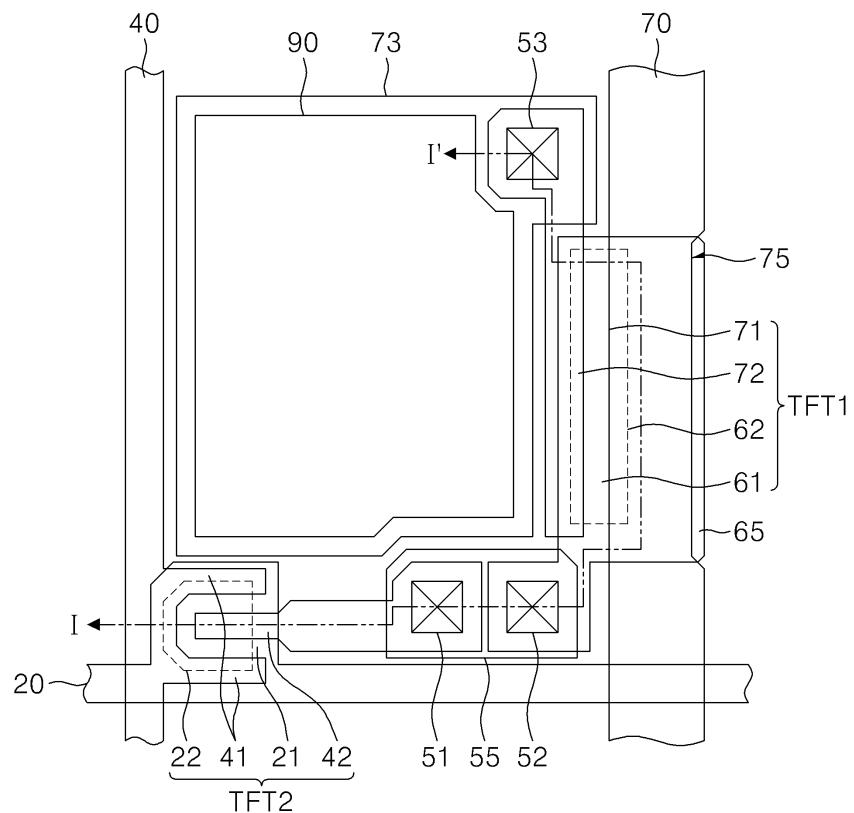
도면16b



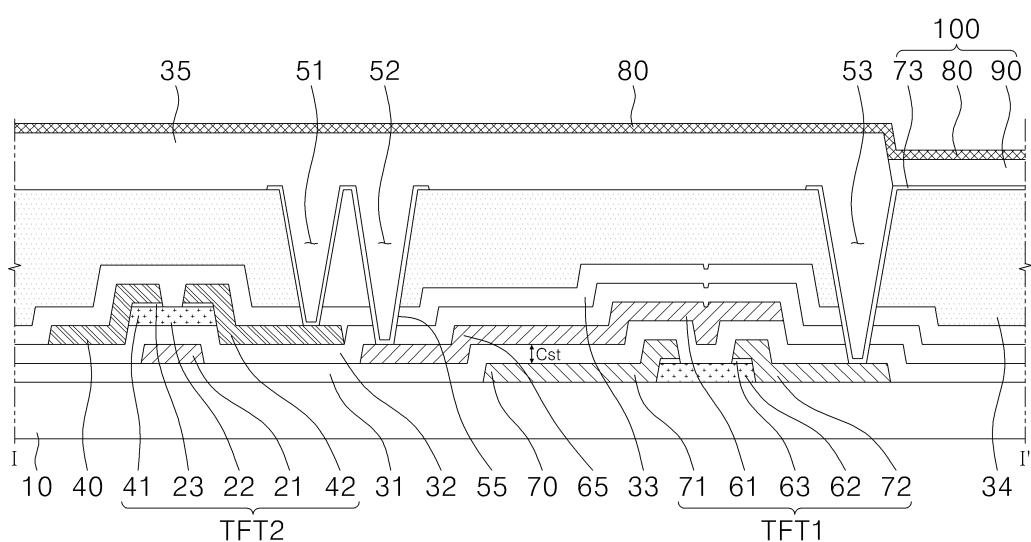
도면16c



도면17a



도면17b



专利名称(译)	标题 : OLED显示板及其制造方法		
公开(公告)号	<a href="#">KR101366162B1</a>	公开(公告)日	2014-02-25
申请号	KR1020070026889	申请日	2007-03-20
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOON YOUNG SOO 윤영수 GOH JOON CHUL 고준철 CHOI BEOHM ROCK 최범락		
发明人	윤영수 고준철 최범락		
IPC分类号	H05B33/02 H05B33/26		
CPC分类号	H01L27/3265 H01L27/3276		
代理人(译)	KWON , HYUK SOO OH , SE六月 宋 , 云何 SE JUN OH		
其他公开文献	KR1020080085411A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明涉及在每个像素上形成的存储电容器的容量，存储电极和电源线的重复区域相同地形成有相同形成的有机发光显示板及其制造方法。为此，本发明包括形成为在基板上交叉的栅极线和数据线，形成在形成数据线和栅极线的交叉点的像素区域上的有机发光二极管，以及数据线和存储电容器形成对准并包括电源线，形成在栅极线和数据线的交叉点中的开关晶体管，以及放置驱动晶体管的存储电极。并且，在电源线的一侧阱中形成的沟槽部分与存储电极重叠，使得重叠区域被固定在有机发光显示面板上，并提供了其制造方法。电源线提供有机发光二极管中的电流。放置驱动晶体管的存储电极连接到开关晶体管和电源线，并且在该间隔中控制从电源线供应的电流，电源线和绝缘层并且重叠。

