



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월24일
(11) 등록번호 10-1058114
(24) 등록일자 2011년08월12일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0110361

(22) 출원일자 2009년11월16일

심사청구일자 2009년11월16일

(65) 공개번호 10-2011-0053708

(43) 공개일자 2011년05월24일

(56) 선행기술조사문헌

KR1020090016050 A*

KR1020090046053 A

KR1020080082118 A

KR1020080050113 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

정경훈

경기도 용인시 기흥구 농서동 산24

(74) 대리인

리엔텍특허법인

전체 청구항 수 : 총 15 항

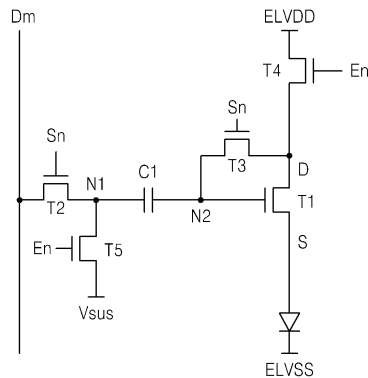
심사관 : 조기덕

(54) 화소 회로, 유기 전계 발광 표시 장치

(57) 요약

본 발명의 실시예들은, n형 트랜지스터를 이용한 화소 회로를 포함하는 유기 발광 표시 장치를 구현할 때, 배선의 개수를 줄이고, 구동 트랜지스터의 문턱 전압을 보상하며, 유기 전계 발광 다이오드의 캐소드 전원 전압을 전달하는 배선의 기생 저항 성분으로 인한 IR 전압 강하를 해소할 수 있는 화소 회로, 상기 화소 회로를 이용한 유기 전계 발광 장치를 제공한다.

대표도 - 도4



특허청구의 범위

청구항 1

제1 단 및 제2 단을 구비하는 발광 소자;

제1 전극 및 상기 발광 소자의 상기 제1 단과 전기적으로 연결되는 제2 전극을 구비하고, 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터;

제1단과, 상기 구동 트랜지스터의 상기 게이트 전극에 연결된 제2단을 구비하는 제1커패시터;

게이트 전극으로 인가되는 주사 제어 신호에 응답하여 데이터 신호를 상기 제1커패시터의 상기 제1단에 전달하는 제2 트랜지스터;

게이트 전극으로 인가되는 상기 주사 제어 신호에 응답하여, 상기 구동 트랜지스터를 다이오드 연결시키는 제3 트랜지스터;

에미션 제어 신호에 응답하여, 상기 구동 트랜지스터의 상기 제1전극에 제1전원 전압을 인가하는 제4 트랜지스터;

상기 에미션 제어 신호에 응답하여 서스테인 전압을 상기 제1커패시터의 제1단에 인가하는 제5 트랜지스터; 및

상기 구동 트랜지스터의 상기 게이트 전압에 연결된 제1단 및 상기 발광 소자의 상기 제1전극에 연결된 제2단을 구비하는 제2 커패시터;

를 포함하며,

상기 구동 트랜지스터 및 상기 제2 내지 제5 트랜지스터들은 n형 트랜지스터인, 화소 회로.

청구항 2

제1항에 있어서,

상기 제2 트랜지스터는, 상기 데이터 신호에 연결된 제1 전극 및 상기 제1커패시터의 제1단에 연결된 제2 전극을 구비하고,

제3 트랜지스터는, 상기 구동 트랜지스터의 상기 게이트 전극과 연결된 제1 전극 및 상기 구동 트랜지스터의 상기 제1 전극과 연결된 제2 전극을 구비하는, 화소 회로.

청구항 3

제1항에 있어서,

상기 발광 소자는 유기 전계 발광 다이오드(OLED, Organic Light Emitting Diodes)인, 화소 회로.

청구항 4

제1항에 있어서,

상기 주사 제어 신호 및 상기 에미션 제어 신호는 같은 주기의 신호인, 화소 회로.

청구항 5

제1항에 있어서,

상기 구동 트랜지스터 및 상기 제2 내지 5 트랜지스터는 N형 MOSFET(metal-oxide semiconductor field effect transistor)인, 화소 회로.

청구항 6

제1항에 있어서,

상기 구동 트랜지스터의 상기 제1 전극은 드레인 전극이고, 상기 구동 트랜지스터의 상기 제2 전극은 소스 전극인, 화소 회로.

청구항 7

삭제

청구항 8

제1항에 있어서

게이트 전극으로 인가되는 상기 주사 제어 신호에 응답하여, 상기 발광 소자의 제1전극에 레퍼런스 전압을 인가하는 제6 트랜지스터;

를 더 포함하는, 화소 회로.

청구항 9

제8항에 있어서

상기 레퍼런스 전압은 상기 서스테인 전압인, 화소 회로.

청구항 10

제1항에 있어서,

상기 주사 제어 신호, 및 상기 에미션 제어 신호는,

제1 레벨의 상기 주사 제어 신호 및 상기 에미션 제어 신호를 갖는 제1 구간;

상기 데이터 신호가 상기 화소 회로에 유효한 레벨을 갖고, 상기 제1 레벨의 상기 주사 제어 신호 및 상기 제2 레벨의 에미션 제어 신호를 갖는 제2 구간; 및

상기 제2 레벨의 상기 주사 제어 신호 및 상기 제1레벨의 상기 에미션 제어신호를 갖는 제3 구간; 을 갖도록 구동되고,

상기 제1 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 5 트랜지스터들이 턴 온되는 레벨이고, 상기 제2 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 5 트랜지스터들이 턴 오프되는 레벨인, 화소 회로.

청구항 11

복수의 화소들;

상기 복수의 화소들 각각에 에미션 제어 신호를 출력하는 제1주사구동부 및 주사 제어 신호를 출력하는 제2주사구동부; 및

데이터 신호를 생성하여, 상기 복수의 화소들에 출력하는 데이터 구동부를 포함하고, 상기 복수의 화소들 각각은,

애노드 전극 및 캐소드 전극을 구비하는 유기 전계 발광 다이오드;

제1 전극 및 상기 유기 전계 발광 다이오드의 상기 애노드 전극과 전기적으로 연결되는 제2 전극을 구비하고, 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터;

제1단과, 상기 구동 트랜지스터의 상기 게이트 전극에 연결된 제2단을 구비하는 제1커패시터;

게이트 전극으로 인가되는 주사 제어 신호에 응답하여 데이터 신호를 상기 제1 커패시터의 상기 제1단에 전달하는 제2 트랜지스터;

게이트 전극으로 인가되는 상기 주사 제어 신호에 응답하여, 상기 구동 트랜지스터를 다이오드 연결시키는 제3 트랜지스터;

에미션 제어 신호에 응답하여, 상기 구동 트랜지스터의 상기 제1전극에 제1전원 전압을 인가하는 제4 트랜지스터;

상기 에미션 제어 신호에 응답하여 서스테인 전압을 상기 제1 커패시터의 제1단에 인가하는 제5 트랜지스터; 및 상기 구동 트랜지스터의 상기 게이트 전압에 연결된 제1단 및 상기 유기 전계 발광 다이오드의 상기 애노드 전

극에 연결된 제2단을 구비하는 제2 커패시터;

를 포함하며,

상기 구동 트랜지스터 및 상기 제2 내지 제5 트랜지스터들은 n형 트랜지스터인, 유기 전계 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 주사 제어 신호 및 상기 에미션 제어 신호는 같은 주기의 신호인, 유기 전계 발광 표시 장치.

청구항 13

제11항에 있어서,

상기 구동 트랜지스터의 상기 제1 전극은 드레인 전극이고, 상기 구동 트랜지스터의 상기 제2 전극은 소스 전극인, 유기 전계 발광 표시 장치.

청구항 14

삭제

청구항 15

제11항에 있어서

게이트 전극으로 인가되는 상기 주사 제어 신호에 응답하여, 상기 발광 소자의 애노드 전극에 레퍼런스 전압을 인가하는 제6 트랜지스터;

를 더 포함하는, 유기 전계 발광 표시 장치.

청구항 16

제15항에 있어서

상기 레퍼런스 전압은 상기 서스테인 전압인, 유기 전계 발광 표시 장치.

청구항 17

제11항에 있어서,

상기 제1주사 구동부 및 제2주사 구동부는,

제1 레벨의 상기 주사 제어 신호 및 상기 에미션 제어 신호를 갖는 제1 구간;

상기 데이터 신호가 상기 화소 회로에 유효한 레벨을 갖고, 상기 제1 레벨의 상기 주사 제어 신호 및 상기 제2 레벨의 에미션 제어 신호를 갖는 제2 구간; 및

상기 제2 레벨의 상기 주사 제어 신호 및 상기 제1레벨의 상기 에미션 제어신호를 갖는 제3 구간; 을 갖도록 구동되고,

상기 제1 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 5 트랜지스터들이 턴 온되는 레벨이고, 상기 제2 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 5 트랜지스터들이 턴 오프되는 레벨인, 유기 전계 발광 표시 장치.

명세서

발명의 상세한 설명

기술 분야

본 발명의 실시예들은 n형 트랜지스터들을 이용하여 구현된 화소 회로, 상기 화소 회로를 이용한 유기 전계 발광 표시 장치에 관한 것이다.

[0001]

배경 기술

[0002] 평판표시장치 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)를 이용하여 화상을 표시한다. 이러한, 유기 전계 발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동된다. 유기 전계 발광 표시 장치는 기본적으로 입력 데이터에 대응되는 데이터 구동 신호를 복수의 화소 회로들에 인가하여 각 화소들의 휘도를 조절함으로써, 입력 데이터를 영상으로 변환하여 사용자에게 제공한다.

발명의 내용

해결 하고자하는 과제

[0003] 본 발명의 실시예들은, N형 트랜지스터를 이용하여 유기 발광 표시 장치를 구현할 때, 구동 트랜지스터의 문턱 전압과 유기 전계 발광 다이오드의 캐소드 전원 전압이 유기 전계 발광 다이오드에 출력되는 구동 전류에 영향을 주는 문제점을 해결하기 위한 것이다.

과제 해결수단

- [0004] 본 발명의 일 측면에 따르면, 제1 전극 및 제2 전극을 구비하는 발광 소자;
- [0005] 제1 전극 및 제2 전극을 구비하고, 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터; 제1단과, 상기 구동 트랜지스터의 상기 게이트 전극에 연결된 제2단을 구비하는 제1커패시터; 게이트 전극으로 인가되는 주사 제어 신호에 응답하여 데이터 신호를 상기 커패시터의 상기 제1단에 전달하는 제2 트랜지스터; 게이트 전극으로 인가되는 상기 주사 제어 신호에 응답하여, 상기 구동 트랜지스터를 다이오드 연결시키는 제3 트랜지스터; 에미션 제어 신호에 응답하여, 상기 구동 트랜지스터의 상기 제1전극에 제1전원 전압을 인가하는 제4 트랜지스터; 및 상기 에미션 제어 신호에 응답하여 서스테인 전압을 커패시터의 제1단에 인가하는 제5 트랜지스터를 포함하며, 상기 구동 트랜지스터 및 상기 제2 내지 제5 트랜지스터들은 n형 트랜지스터인, 화소 회로를 개시한다.
- [0006] 여기서, 상기 제2 트랜지스터는, 상기 데이터 신호에 연결된 제1 전극 및 상기 제1커패시터의 제1단에 연결된 제2 전극을 구비하고, 제3 트랜지스터는, 상기 구동 트랜지스터의 상기 게이트 전극과 연결된 제1 전극 및 상기 구동 트랜지스터의 상기 제1 전극과 연결된 제2 전극을 구비할 수 있다.
- [0007] 여기서 상기 발광 소자는 유기 전계 발광 다이오드(OLED, Organic Light Emitting Diodes)일 수 있다.
- [0008] 여기서 상기 주사 제어 신호 및 상기 에미션 제어 신호는 같은 주기의 신호일 수 있다.
- [0009] 여기서 상기 구동 트랜지스터 및 상기 제2 내지 5 트랜지스터는 N형 MOSFET(metal-oxide semiconductor field effect transistor)일 수 있다.
- [0010] 여기서 상기 구동 트랜지스터의 상기 제1 전극은 드레인 전극이고, 상기 구동 트랜지스터의 상기 제2 전극은 소스 전극일 수 있다.
- [0011] 여기서 상기 구동 트랜지스터의 상기 게이트 전압에 연결된 제1단 및 상기 발광 소자의 상기 제1전극에 연결된 제2단을 구비하는 제2 커패시터; 를 더 포함할 수 있다.
- [0012] 여기서 게이트 전극으로 인가되는 상기 주사 제어 신호에 응답하여, 상기 발광 소자의 제1전극에 레퍼런스 전압을 인가하는 제6 트랜지스터; 를 더 포함할 수 있다.
- [0013] 여기서 상기 레퍼런스 전압은 상기 서스테인 전압일 수 있다.
- [0014] 여기서 상기 주사 제어 신호, 및 상기 에미션 제어 신호는, 제1 레벨의 상기 주사 제어 신호 및 상기 에미션 제어 신호를 갖는 제1 구간; 상기 데이터 신호가 상기 화소 회로에 유효한 레벨을 갖고, 상기 제1 레벨의 상기 주사 제어 신호 및 상기 제2 레벨의 에미션 제어 신호를 갖는 제2 구간; 및 상기 제2 레벨의 상기 주사 제어 신호 및 상기 제1레벨의 상기 에미션 제어신호를 갖는 제3 구간; 을 갖도록 구동되고, 상기 제1 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 5 트랜지스터들이 턴 온되는 레벨이고, 상기 제2 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 5 트랜지스터들이 턴 오프되는 레벨일 수 있다.
- [0015] 본 발명의 다른 측면에 따르면, 복수의 화소들; 상기 복수의 화소들 각각에 에미션 제어 신호를 출력하는 제1

주사구동부 및 주사 제어 신호를 출력하는 제2주사구동부; 및 데이터 신호를 생성하여, 상기 복수의 화소들에 출력하는 데이터 구동부를 포함하고, 상기 복수의 화소들 각각은, 애노드 전극 및 캐소드 전극을 구비하는 유기 전계 발광 다이오드; 제1 전극 및 제2 전극을 구비하고, 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터; 제1단과, 상기 구동 트랜지스터의 상기 게이트 전극에 연결된 제2단을 구비하는 제1커패시터; 게이트 전극으로 인가되는 주사 제어 신호에 응답하여 데이터 신호를 상기 커패시터의 상기 제1단에 전달하는 제2 트랜지스터; 게이트 전극으로 인가되는 상기 주사 제어 신호에 응답하여, 상기 구동 트랜지스터를 다이오드 연결시키는 제3 트랜지스터; 에미션 제어 신호에 응답하여, 상기 구동 트랜지스터의 상기 제1전극에 제1 전원 전압을 인가하는 제4 트랜지스터; 및 상기 에미션 제어 신호에 응답하여 서스테인 전압을 커패시터의 제1단에 인가하는 제5 트랜지스터; 를 포함하고, 상기 구동 트랜지스터 및 상기 제2 내지 제5 트랜지스터들은 n형 트랜지스터인, 유기 전계 발광 표시 장치를 개시한다.

- [0016] 여기서 상기 주사 제어 신호 및 상기 에미션 제어 신호는 같은 주기의 신호일 수 있다.
- [0017] 여기서 상기 구동 트랜지스터의 상기 제1 전극은 드레인 전극이고, 상기 구동 트랜지스터의 상기 제2 전극은 소스 전극일 수 있다.
- [0018] 여기서 상기 구동 트랜지스터의 상기 게이트 전압에 연결된 제1단 및 상기 유기 전계 발광 다이오드의 상기 애노드 전극에 연결된 제2단을 구비하는 제2 커패시터; 를 더 포함할 수 있다.
- [0019] 여기서 게이트 전극으로 인가되는 상기 주사 제어 신호에 응답하여, 상기 발광 소자의 애노드 전극에 레퍼런스 전압을 인가하는 제6 트랜지스터; 를 더 포함할 수 있다.
- [0020] 여기서 상기 레퍼런스 전압은 상기 서스테인 전압일 수 있다.
- [0021] 여기서 상기 제1주사 구동부 및 제2주사 구동부는, 제1 레벨의 상기 주사 제어 신호 및 상기 에미션 제어 신호를 갖는 제1 구간; 상기 데이터 신호가 상기 화소 회로에 유효한 레벨을 갖고, 상기 제1 레벨의 상기 주사 제어 신호 및 상기 제2 레벨의 에미션 제어 신호를 갖는 제2 구간; 및 상기 제2 레벨의 상기 주사 제어 신호 및 상기 제1레벨의 상기 에미션 제어신호를 갖는 제3 구간; 을 갖도록 구동되고, 상기 제1 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 5 트랜지스터들이 턴 온되는 레벨이고, 상기 제2 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 5 트랜지스터들이 턴 오프되는 레벨일 수 있다.

효 과

- [0022] 본 발명의 실시예들에 따르면, 유기 전계 발광 소자에 출력되는 구동 전류가 구동 트랜지스터의 문턱 전압 및 유기 전계 발광 소자의 캐소드 전원 전압에 관계없이 결정되기 때문에, 종래 구동 트랜지스터의 문턱 전압 편차 및 유기 전계 발광 소자의 캐소드 전원 전압을 전달하는 배선의 기생 저항 성분으로 인한 IR 드롭(drop)을 제거할 수 있다. 또한 본 발명의 일실시예에 따르면 각 화소 회로에 인가되는 배선의 개수를 줄일 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0023] 일반적으로 유기 전계 발광 표시 장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, 행렬 형태로 배열된 복수개의 화소들을 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 화소에 포함된 유기 발광 소자는 다이오드 특성을 가져서 유기 전계 발광 다이오드(OLED)로 불린다.
- [0024] 도 1은 유기 전계 발광 다이오드의 구조를 도시한 도면이다.
- [0025] 유기 전계 발광 다이오드(OLED)는 ITO로 이루어진 애노드 전극층(Anode), 유기 박막, 및 금속으로 이루어진 캐소드 전극층(Cathod)이 적층된 구조를 가진다. 상기 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한다. 이외에도 상기 유기 박막은 정공 주입층(Hole Injecting Layer, HIL) 또는 전자 주입층(Electron Injecting Layer, EIL)을 더 포함할 수 있다.
- [0026] 이러한 OLED는 박막 트랜지스터를 상기 OLED의 애노드 전극에 연결하고 상기 박막 트랜지스터의 게이트 전극에 연결된 커패시터의 용량에 의해 유지된 데이터 전압에 따라 구동할 수 있다.
- [0027] 도 2는 p형 트랜지스터로 구현된 예시적인 화소 회로를 나타낸 도면이다.
- [0028] 도 2를 참조하면, 선택주사선(Sn)의 선택신호에 의해 스위칭 트랜지스터(M2)가 턴 온되고, 상기 턴 온에 의해

데이터선(Dm)으로부터의 데이터 전압이 구동 트랜지스터(M1)의 게이트 단에 전달되며, 데이터 전압과 제1전원 전압(ELVDD)의 전위차가 구동 트랜지스터(M1)의 게이트 단과 소스 전극 사이에 연결된 커패시터(C1)에 저장된다. 상기 전위차에 의해 구동전류(I_{oled})가 유기 전계 발광 다이오드(OLED)에 흘러, 유기 전계 발광 다이오드(OLED)가 발광하게 된다. 이때, 인가되는 데이터 전압의 전압 레벨에 따라 소정의 명암 계조 표시가 가능하게 된다.

- [0029] 그러나 이와 같이 복수 개의 화소 회로들의 구동 트랜지스터(M1)들은 문턱 전압이 서로 다르게 형성될 수 있다. 구동 트랜지스터(M1)의 문턱 전압이 다르면, 각 화소 회로들의 구동 트랜지스터(M1)들로부터 출력되는 전류량이 달라져 균일한 화상을 구현할 수 없는 문제가 있다. 이와 같은 구동 트랜지스터(M1)의 문턱 전압 편차는 유기 발광 표시장치가 대면적화 될수록 더욱 심각해 질 수 있으며, 이는 유기 발광 표시장치의 화질 저하를 야기할 수 있다. 따라서 유기 발광 표시장치의 화소 회로는 균일한 화질을 갖기 위해서는 화소 회로 내 구동 트랜지스터(M1)의 문턱 전압을 보상해 주어야 한다.
- [0030] 도 2의 화소 회로를 살펴보면, 스위칭 트랜지스터(M2) 및 구동 트랜지스터(M1)는 PMOS 트랜지스터로 구성되어 있으며, 커패시터(C1)의 일측 단자가 제1전원 전압(ELVDD)에 접속되어 있고 타측 단자가 A 노드에 접속되어 있다. 구동 트랜지스터(M1)의 소스 전극은 제1전원 전압(ELVDD)에 접속되어 있고, 드레인 전극은 발광 다이오드(OLED)의 애노드 전극에 접속되어 있다.
- [0031] 이 경우에는 항상 커런트 소스로 동작하게 되는데, 구동 트랜지스터(M1)의 게이트 단은 데이터 전압을 가지며, 구동 트랜지스터(M1)의 소스 전극은 제1전원 전압(ELVDD)을 가진다. 즉 구동 트랜지스터(M1)의 소스 단이 항상 제1전원 전압(ELVDD)로 고정되므로, 유기 발광 다이오드의 발광시 전압이 V_{gs}에 영향을 미치지 않는다.
- [0032] 이와 같은 도 2의 스위칭 트랜지스터(M2) 및 구동 트랜지스터(M1)를 n형 트랜지스터로 구성하는 경우를 가정해 보자. 이 경우, 커패시터(C1)는 구동 트랜지스터(M1)의 게이트 단과 드레인 전극 사이에 연결되게 된다.
- [0033] 이 경우에는 구동 트랜지스터(M1)의 소스(Source) 전극이 고정되어 있지 않고, 로드가 연결된 소스 팔로워(source follower)타입이 된다. 따라서 V_{gs}는 유기 전계 발광 다이오드의 캐소드 전압(ELVSS) 및 유기 전계 발광 다이오드의 발광시 전압에 영향을 받게 된다.
- [0034] 캐소드 전원 전압(ELVSS)은 전원으로부터 캐소드 전원 전압을 전달하는 배선의 기생 저항 성분으로 인한 IR 전압 강하, 각각의 화소로 유입되는 전류로 인한 전압 강하 등의 문제 때문에 그 크기가 변화하게 된다. 결국 n형 트랜지스터로 구현한 화소 회로는 소스 단의 전압이 불안정하여 영상의 휘도가 일정하지 않은 문제가 발생할 수 있다.
- [0035] 또한 n형 트랜지스터로 구현한 화소 회로는 유기 발광 다이오드(OLED)의 발광시 전압이 V_{gs}에 영향을 미치게 된다. 따라서 유기 발광 다이오드의 온도에 따른 특성 및 편차와 열화에 따른 변화 등에 민감해 질 수 밖에 없다.
- [0036] 이하, 본 발명의 실시예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0037] 도 3은 본 발명에 따른 유기 전계 발광 표시 장치(300)의 일 실시예를 나타낸 도면이다.
- [0038] 도 3을 참조하여 설명하면, 본 발명에 따른 유기 발광 표시장치(300)는 화소부(310), 제1주사 구동부(302), 제2주사 구동부(304), 데이터 구동부(306), 및 전원 공급부(308)를 포함한다.
- [0039] 상술한 제1주사 구동부(302), 제2주사 구동부(304), 데이터 구동부(306), 및 전원 공급부(308)는 하나의 IC 칩으로 구현될 수도 있다.
- [0040] 화소부(310)는 유기 전계 발광 다이오드(미도시)를 각각 구비하는 n×m 개의 화소 회로(P; P11, P12, P21, P22, ..., Pnm)와, 행방향으로 형성되어 주사 제어 신호(S1, S2, ..., Sn)를 전달하는 n 개의 주사선, 열 방향으로 형성되어 데이터 신호(D1, D2, ..., Dm), 를 전달하는 m 개의 데이터 선행방향으로 형성되어 에미션 제어 신호(E1, E2, ..., En)를 전달하는 n개의 에미션 제어선을 포함한다.
- [0041] 상기 화소 회로(P)는 상기 주사 제어 신호, 상기 데이터 신호 및 상기 에미션 제어 신호 외에도, 제1 전원 전압(ELVDD), 제 2 전원 전압(ELVSS), 서스테인 전압(V_{sus}), 레퍼런스 전압(V_{ref}) 을 인가받아 화소 회로에 구비된 유기 전계 발광 다이오드(미도시)를 발광시켜 화상을 표시한다. 본 발명의 다른 실시 예에 따르면 전원의 배선을 줄이기 위하여, 상기 레퍼런스 전압(V_{ref}) 을 인가하는 노드에, 레퍼런스 전압(V_{ref}) 대신 서스테인 전압(V_{sus}), 을 인가할 수도 있다. 이러한 실시예에 따르면 레퍼런스 전압(V_{ref}) 을 인가하는 전원의 배선이 줄어

드는 효과가 있다.

- [0042] 제1주사 구동부(302)는 발광 제어선과 접속되어 화소부(310)에 에미션 제어 신호(E1, E2, ..., En)를 인가하는 수단이다. 제2주사 구동부(304)는 주사선과 접속되어 화소부(310)에 주사 제어 신호(S1, S2, ..., Sn)를 인가하는 수단이다. 데이터 구동부(306)는 데이터 선과 접속되어 화소부(310)에 데이터 신호(D1, D2, ..., Dm)를 인가하는 수단이다. 이 때, 데이터 구동부(306)는 프로그래밍(programming) 기간 동안 복수의 화소 회로(P)에 데이터 전류를 공급한다. 전원 공급부(308)는 화소 회로(P)에 공급되는 제1 전원 전압 (ELVDD), 제 2 전원 전압 (ELVSS), 서스테인 전압(Vsus), 레퍼런스 전압(Vref) 등을 공급한다.
- [0043] 도 4는 도 3에 채용된 본 발명에 대한 화소 회로(P)의 일 실시예를 나타낸 회로도이다.
- [0044] 도 4에서는 n형 m열에 위치한 화소 회로(Pnm)를 예로 들어 설명하기로 하며, 상기 화소 회로(Pnm)는 데이터 구동부(306)로부터 데이터선을 통해 데이터 신호(Dm)를 인가받고, 데이터 신호(Dm)에 따른 구동 전류를 OLED에 출력한다.
- [0045] 본 발명의 일 실시예에 따른 화소 회로(Pnm)는 구동 트랜지스터(T1), 제2 내지 제5 트랜지스터(T2, T3, T4, 및 T5), 발광소자(OLED), 커패시터(C1)를 포함한다.
- [0046] 본 발명의 화소 회로(Pnm)에 포함되는 구동 트랜지스터(T1), 제2 내지 제5 트랜지스터(T2, T3, T4, 및 T5)는 n형 트랜지스터 이며, N타입 MOSFET(metal-oxide semiconductor field effect transistor) 일 수 있다. N형 트랜지스터는 게이트 전극에 인가되는 신호가 하이 레벨(제1 레벨)이면 턴 온 되고, 로우 레벨(제2 레벨)이면 턴 오프된다. 산화물 또는 비정질-실리콘(amorphous-Si) 을 이용한 트랜지스터 공정은 폴리-실리콘(Poly-Si)에 비하여 저비용으로 구현할 수 있다. 그런데 산화물 또는 비정질-실리콘(amorphous-Si) 트랜지스터를 백본으로 사용하는 디스플레이 패널에서는 소자의 특성 산포가 보상되는 n형 트랜지스터로만 화소 회로를 구현해야 한다. 따라서 본 발명의 일 실시예에서는 n형 트랜지스터로 구성된 화소 회로를 제시한다.
- [0047] 구동 트랜지스터(T1)는 드레인 전극에 대응하는 제1전극(D) 및 소스 전극에 대응하는 제2전극(S)을 구비하고, 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력한다.
- [0048] 제2 트랜지스터(T2)는 제1전극이 데이터 라인에 연결되어 있으며, 제2전극은 제1커패시터의 제1단과 함께 제1노드(N1)에 연결되어 있다. 제2 트랜지스터(T2)는 게이트 전극으로 인가되는 주사 제어 신호(Sn)에 응답하여 데이터 신호(Dm)를 제1노드(N1)에 전달한다.
- [0049] 제3 트랜지스터(T3)는 제1전극이 상기 제1트랜지스터의 제2단과 함께 제2노드(N2)에 연결되어 있으며, 제2전극이 상기 구동 트랜지스터(T1)의 제1 전극에 연결되어 있다. 제3 트랜지스터(T3)는 게이트 전극으로 인가되는 상기 주사 제어 신호(Sn)에 응답하여, 상기 구동 트랜지스터(T1)를 다이오드 연결(diode connection)시킨다.
- [0050] 제4 트랜지스터(T4)는 제1전극이 제1전원 전압(ELVDD)에 연결되며, 제2전극이 상기 구동 트랜지스터(T1)의 제1 전극에 연결되어 있다. 제4 트랜지스터(T4)는 에미션 제어 신호(En)에 응답하여, 상기 구동 트랜지스터(T1)의 상기 제1 전극에 제1전원 전압(ELVDD)을 인가한다.
- [0051] 제5 트랜지스터(T5)는 제1전극이 상기 제1 커패시터의 제1전극과 함께 상기 제1노드에 연결되며, 제2전극이 서스테인 전압(Vsus)에 연결된다. 제5 트랜지스터(T5)는 에미션 제어 신호(En)에 응답하여 서스테인 전압(Vsus)을 제1노드로 인가한다.
- [0052] 발광 소자는 유기 전계 발광 다이오드(OLED)이며, 도 1에 설명한 구조를 가진다. OLED는 애노드 전극에 대응하는 제1 전극 및 캐소드 전극에 대응하는 제2 전극을 구비한다. 본 발명의 일 실시예에 의하면 OLED의 애노드 전극은 구동 트랜지스터(T1)의 소스 전극에 연결되어 있으며, 캐소드 전극은 제2 전원 전압(ELVSS)에 연결되어 있다.
- [0053] 제1커패시터(C1)는 제1단이 상기 제1노드(N1)에 연결되어 있으며, 제2전극이 상기 구동 트랜지스터(T1)의 게이트 전극에 연결된다.
- [0054] 도 5는 본 발명의 일 실시예에 따른 구동 신호들의 타이밍도이다.
- [0055] 도 6 내지 도 9는 도 5의 타이밍도에 따른 도 4의 화소 회로의 동작을 순차적으로 나타낸 도면이다.
- [0056] 도 5를 참고하면, (A) 구간에는, 주사 제어 신호(Sn) 는 제2레벨을 가지고, 에미션 제어 신호(En)가 1레벨을 가진다. 따라서 제4 및 제5 트랜지스터(T4 및 T5)가 턴 온되며, 제2 및 제3 트랜지스터(T2 및 T3)는 턴 오프된다.

- [0057] 도 6은 (A) 구간에서 화소 회로의 동작을 나타낸 도면이다.
- [0058] 도 6을 참고하면, 에미션 제어 신호(En)에 의하여 제4 트랜지스터(T4)가 턴 온 되어 있어 구동 트랜지스터(T1)과 OLED를 통해 이전 프레임의 데이터 신호(Dm), 즉 이번 프레임의 구동 트랜지스터(T1)의 게이트 전극의 전압에 대응하는 구동 전류(Io1ed)가 흘러 OLED가 발광한다. 또한 제5 트랜지스터(T5)가 턴 온 되어 있으므로, 서스테인 전압(Vsus)이 제1 커패시터(C1)의 일단으로 인가되어 상기 제1 커패시터(C1)는 구동 트랜지스터(T1)의 게이트 전압을 유지하는 역할을 한다.
- [0059] 다음으로 (B)구간 동안, 초기화 동작이 수행된다. (B)구간 동안, 주사 제어 신호(Sn) 및 에미션 제어 신호(En)는 모두 제1 레벨이다. 따라서 제2 내지 제5 트랜지스터(T2 내지 T5)는 모두 턴 온 된다.
- [0060] 도 7는 (B)구간에서 화소 회로의 동작을 나타낸 도면이다.
- [0061] (B)구간 동안, 제3 트랜지스터 및 제4 트랜지스터(T3 및 T4)가 턴 온 되어 구동 트랜지스터(T1)의 게이트 전극이 제1전원 전압(ELVDD)로 초기화 된다. 또한 제2 및 제5 트랜지스터(T2 및 T5)가 턴 온되어 제2 트랜지스터(T2)의 제1전극이 데이터 라인과 연결되고, 제5 트랜지스터(T5)의 제2전극에 연결되는 서스테인 전압(Vsus)이 제1노드(N1)로 인가된다. 따라서 제1노드(N1)가 서스테인 전압(Vsus)로 초기화된다. 이 때 상기 데이터 라인은 데이터 신호(Dm)를 출력하는 것이 아니라 하이 임피던스(Hi-Z, Hi-impedance) 상태로 있어 제1노드(N1)로 인가되는 서스테인 전압(Vsus)과의 전기적인 쇼트(Short)를 방지한다. 다른 예로 데이터 신호(Dm)를 출력하는 데이터 구동부(306)의 출력단자와 데이터 라인 사이에 스위칭 소자를 형성하여 (B)구간 동안 전기적인 연결을 끊을 수도 있다.
- [0062] 다음으로, (C)구간 동안, 주사 제어 신호(Sn)는 제1 레벨로 유지되고, 에미션 제어 신호(En)는 제2 레벨로 변화한다. 이에 따라 제2 및 제3 트랜지스터(T2 및 T3)가 턴 온 된다. 제4 및 제5 트랜지스터(T4 및 T5)는 턴 오프 된다.
- [0063] 도 8은 (C)구간에서 화소 회로의 동작을 나타낸 도면이다.
- [0064] (C)구간 동안, 데이터 기입이 이루어지며, 구동 트랜지스터(T1)가 다이오드 연결되어 구동 트랜지스터(T1)의 문턱 전압을 보상한다. 제2 트랜지스터(T2)가 턴 온되면서 현재 프레임의 데이터 신호(Dm)가 인가되어 제1노드(N1)의 전압은 데이터 전압(Vdata)이 된다. 또한 구동 트랜지스터(T1)는 제3 트랜지스터(T3)에 의해 다이오드 연결되어, 제3 트랜지스터(T3)의 제1 전극과 제2 전극 사이에, 구동 트랜지스터(T1)의 문턱 전압(Vth)만큼의 전압이 걸린다.
- [0065] 다음으로 (D)구간 동안, 주사 제어 신호(Sn)가 제2 레벨을 유지하고, 에미션 제어 신호(En)는 제1 레벨로 변화한다. 따라서 제4 및 제5 트랜지스터(T4 및 T5)가 턴 온되며, 제2 및 제3 트랜지스터(T2 및 T3)는 턴 오프된다.
- [0066] 도 9는 (D)구간에서 화소 회로의 동작을 나타낸 도면이다.
- [0067] (D)구간 동안, OLED에 전류를 흘러 발광시킨다. 제5 트랜지스터(T5)가 턴 온 되어 제1노드(N1)의 전압이 기존 데이터 전압(Vdata)에서 서스테인 전압(Vsus)으로 변화한다. 제1노드(N1)의 전압이 종래 Vdata 에서 Vsus로 변화함에 따라, 제1노드(N1)의 전압 변화량인 (Vsus-Vdata)만큼 제1 커패시터(C1)를 통하여 제2 노드(N2)의 전압을 변화시킨다. 결국, 구동 트랜지스터(T1)의 게이트 전압과 소스 전압 사이의 전압은 (Vsus-Vdata) + Vth가 된다. 따라서 구동 트랜지스터(T1)의 게이트 전압과 소스 전압의 차에 해당하는 전압 레벨에 따른 구동 전류가 구동 트랜지스터에서 발생하고 제4 트랜지스터(T4)가 턴 온 되어 있으므로, 구동 트랜지스터(T1)와 OLED를 통하여 OLED 구동 전류가 흐르게 된다. 이 때, 구동 트랜지스터(T1)의 소스 전극의 전압은 OLED의 애노드 전극의 전압과 동일하고, OLED의 애노드 전극의 전압은 ELVSS+Voled이다. 여기서 Voled는 OLED의 발광시 OLED 양단에 걸리는 전압이다. 구동 트랜지스터(T1)의 게이트 전극의 전압은 제2노드의 전압이므로 수학적 식 1과 같이 변화한다.

수학적 식 1

$$Vg = (Vsus - Vdata + Vth) + (ELVSS + Voled)$$

- [0068]
- [0069] 그러므로 (D)구간 동안, 구동 트랜지스터(T1)의 Vgs는 수학적 식 2와 같다.

수학식 2

$$V_{gs} = [(V_{sus} - V_{data} + V_{th}) + (ELVSS + V_{oled})] - (ELVSS + V_{oled})$$

[0070]

[0071]

V_{gs}에 의해 결정되는 구동 전류(I_{OLED})는 수학식 3 및 수학식 4와 같이 결정된다. 여기서, k=β/2 이고, k 는 상수이며, β 는 이득계수(gain factor)에 해당한다.

수학식 3

$$I_{oled} = k [\{ (V_{sus} - V_{data} + V_{th}) + (ELVSS + V_{oled}) - (ELVSS + V_{oled}) \} - V_{th}]^2$$

[0072]

$$= k [(V_{sus} - V_{data} + V_{th}) - V_{th}]^2$$

[0073]

수학식 4

$$I_{oled} = k (V_{sus} - V_{data})^2$$

[0074]

[0075]

따라서 본 발명의 일 실시예에 따른 화소 회로에서 출력되는 구동 전류(I_{OLED})는 OLED의 애노드 전극의 전압, 캐소드 전원 전압(ELVSS), 및 구동 트랜지스터(T1)의 문턱 전압(V_{th})에 무관하게 결정된다. 이로 인해, 본 발명의 실시예들은 OLED 애노드 전극의 전압에 의해 구동 전류(I_{OLED})의 크기가 변화하여, 데이터 신호(Dm)의 전압을 증가시켜야 하거나, 화질이 저하되는 문제점을 해결할 수 있다. 또한 본 발명의 실시예들은 캐소드 전원 전압(ELVSS)의 IR 드롭에 의해 화질이 저하되는 문제점을 해결할 수 있다.

[0076]

도 10은 본 발명의 다른 실시예에 따른 화소 회로의 구조를 나타낸 도면이다.

[0077]

본 발명의 다른 실시예에 따르면, 구동 트랜지스터(T1)의 게이트 전극과 소스 전극(즉 OLED의 애노드 전극) 사이에 상기 구동 트랜지스터(T1)의 문턱 전압을 유지시켜주는 제2커패시터(C2)를 추가할 수 있다. 따라서 본 실시예에 의한 화소 회로의 구동 방법은 도 4에 도시된 화소 회로의 구동 방법과 동일하며 OLED가 발광하는 경우 제2 커패시터(C2)는 제1 커패시터(C1)와 함께 추가적인 스토리지 커패시터의 역할을 할 수 있다.

[0078]

도 11은 본 발명의 또 다른 실시예에 따른 화소 회로의 구조를 나타낸 도면이다.

[0079]

본 발명의 또 다른 실시예에 따르면, 구동 트랜지스터(T1)의 소스 전극과 OLED 애노드 전극 사이에 제6 트랜지스터(T6)가 연결된다. 제6 트랜지스터(T6)는 주사 제어 신호에 대응하여 레퍼런스 전압(V_{ref})을 구동 트랜지스터(T1)의 소스 전극으로 인가한다. 본 실시 예에 의하면, (B)구간 및 (C)구간에서 주사 제어 신호가 제1레벨이 될 때 제6 트랜지스터(T6)는 턴 온 된다. 이 때 구동 트랜지스터(T1)의 소스 전압을 레퍼런스 전압(V_{ref})으로 고정한다. 즉, 본 발명에 의한 화소 회로의 초기화 시기, 및 데이터 기입과 구동 트랜지스터의 문턱 전압 보상 시기에 구동 트랜지스터(T1)의 소스 전압을 고정해 주는 역할을 한다. 여기서 레퍼런스 전압(V_{ref})의 크기는 제2전원 전압(ELVSS)과 OLED의 문턱 전압의 합보다 작아야 한다. 만약 레퍼런스 전압의 크기가 제2전원 전압(ELVSS)과 OLED의 문턱 전압의 합보다 크다면, 화소 회로의 초기화 시기, 및 데이터 기입과 구동 트랜지스터(T1)의 문턱 전압 보상 시기에 전압 차에 의하여 OLED에 전류가 흘러 OLED가 발광되는 문제가 발생하기 때문이다.

[0080]

도 12는 본 발명의 또 다른 실시예에 따른 화소 회로의 구조를 나타낸 도면이다.

[0081]

본 실시 예에 따르면, 도 10에서 추가된 제2 커패시터(C2)와 도 11에서 추가된 제6 트랜지스터(T6)를 모두 추가한 것이다. 따라서 구동 방법은 도 10 및 도 11의 내용과 동일하므로 구체적인 설명은 생략하기로 한다.

[0082]

도 13는 본 발명의 또 다른 실시예에 따른 화소 회로의 구조를 나타낸 도면이다.

[0083]

본 실시 예에 따르면, 구동 트랜지스터의 소스 전극과 OLED 애노드 전극 사이에 제6 트랜지스터(T6)가 연결된다. 제6 트랜지스터(T6)는 주사 제어 신호에 대응하여 서스테인 전압(V_{sus})을 구동 트랜지스터(T1)의 소스 전극으로 인가한다. 여기서도 도 12와 같이 별도의 레퍼런스 전압(V_{ref})을 인가하지 않고 서스테인 전압(V_{sus})을 이용한다. 이로부터 전원 및 배선이 감소되는 효과가 있다.

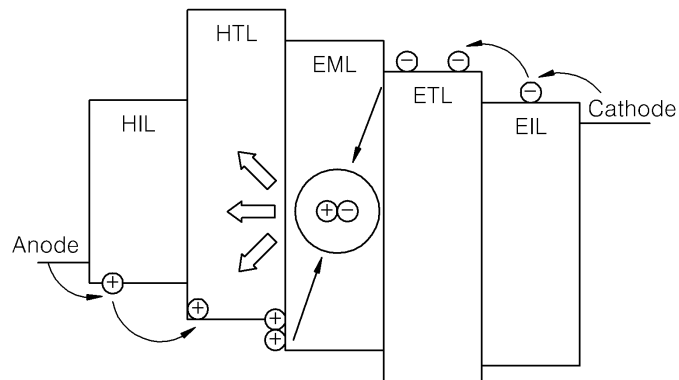
- [0084] 도 14는 본 발명의 또 다른 실시예에 따른 화소 회로의 구조를 나타낸 도면이다.
- [0085] 본 실시 예에 따르면 도 12의 화소 회로에 도 13의 서스테인 전압을 인가시키는 제6 트랜지스터(T6)의 구성을 모두 추가한 것이다.
- [0086] 도 15는 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치 구동 방법의 흐름도이다.
- [0087] S101 단계는 도 5의 (B)구간 및 (C) 구간에 해당한다. 먼저, 주사 제어 신호(Sn)에 응답하여 구동 트랜지스터(T1)의 게이트 전극을 제1전원 전압(ELVDD)으로 초기화시킨다. 또한 상기 화소 회로에 포함된 커패시터(C1)의 일단을 서스테인 전압으로 초기화 시키며, 이 때, 상기 데이터 신호를 상기 화소 회로로 인가하는 데이터 라인 은 플로팅 상태가 되도록 한다.
- [0088] 또한 주사 제어 신호(Sn)에 응답하여, 제2 트랜지스터(T2)를 통해 데이터 신호(Dm)가 화소 회로에 인가되고, 제 3트랜지스터(T3)가 구동 트랜지스터(T1)와 다이오드 연결되어 구동 트랜지스터(T1)의 문턱 전압을 보상한다. 구체적으로 제1 커패시터(C1)에는 데이터 전압과 구동 트랜지스터(T1)의 문턱 전압의 차이에 대응하는 전압이 충전된다.
- [0089] 다음으로, S102단계는 도 5의 (D) 구간에 해당한다. 에미션 제어 신호(En)에 응답하여, 제5 트랜지스터(T5)가 턴온 되어 서스테인 전압(Vsus)을 화소 회로로 인가하며, 이에 따라 구동 트랜지스터(T1)의 게이트 전압이 변화 된다. 또한, OLED의 애노드 전극으로 구동 전류(I_{OLED})가 출력된다(S102). 구동 전류(I_{OLED})는 수학적 식 4에 나타난 바와 같이, 제1 커패시터(C1)에 저장된 데이터 신호(Dm)의 전압 레벨(Vdata)에 따라 그 크기가 결정되며, OLED 는 구동 전류(I_{OLED})의 크기에 따른 휘도의 빛을 방출한다.
- [0090] 이제까지 본 발명에 대하여 바람직한 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 본 발명을 구현할 수 있음을 이해할 것이다. 그러므로 상기 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 특허청구범위에 의해 청구된 발명 및 청구된 발명과 균등한 발명들은 본 발명에 포함된 것으로 해석되어야 한다.

도면의 간단한 설명

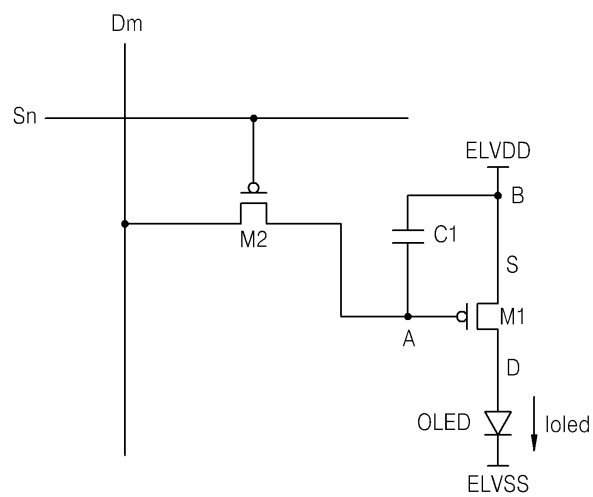
- [0091] 도 1은 유기 전계 발광 다이오드의 구조를 도시한 도면이다.
- [0092] 도 2는 p형 트랜지스터로 구현된 예시적인 화소 회로를 나타낸 도면이다.
- [0093] 도 3은 본 발명에 따른 유기 전계 발광 표시 장치(300)의 일 실시예를 나타낸 도면이다.
- [0094] 도 4는 도 3에 채용된 본 발명에 대한 화소 회로(P)의 일 실시예를 나타낸 회로도이다.
- [0095] 도 5는 본 발명의 일 실시예에 따른 구동 신호들의 타이밍도이다.
- [0096] 도 6 내지 도 9는 도 5의 타이밍도에 따른 도 4의 화소 회로의 동작을 순차적으로 나타낸 도면이다.
- [0097] 도 10 내지 도 14는 본 발명의 다른 실시예에 따른 화소 회로의 구조를 나타낸 도면이다.
- [0098] 도 15는 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치 구동 방법의 흐름도이다.
- [0099] <도면의 주요 부분에 대한 설명>
- [0100] 300 : 유기 발광 표시장치
- [0101] 302 : 제1주사 구동부
- [0102] 304 : 제2 주사 구동부
- [0103] 306 : 데이터 구동부
- [0104] 308 : 전원 공급부
- [0105] 310 : 화소부

도면

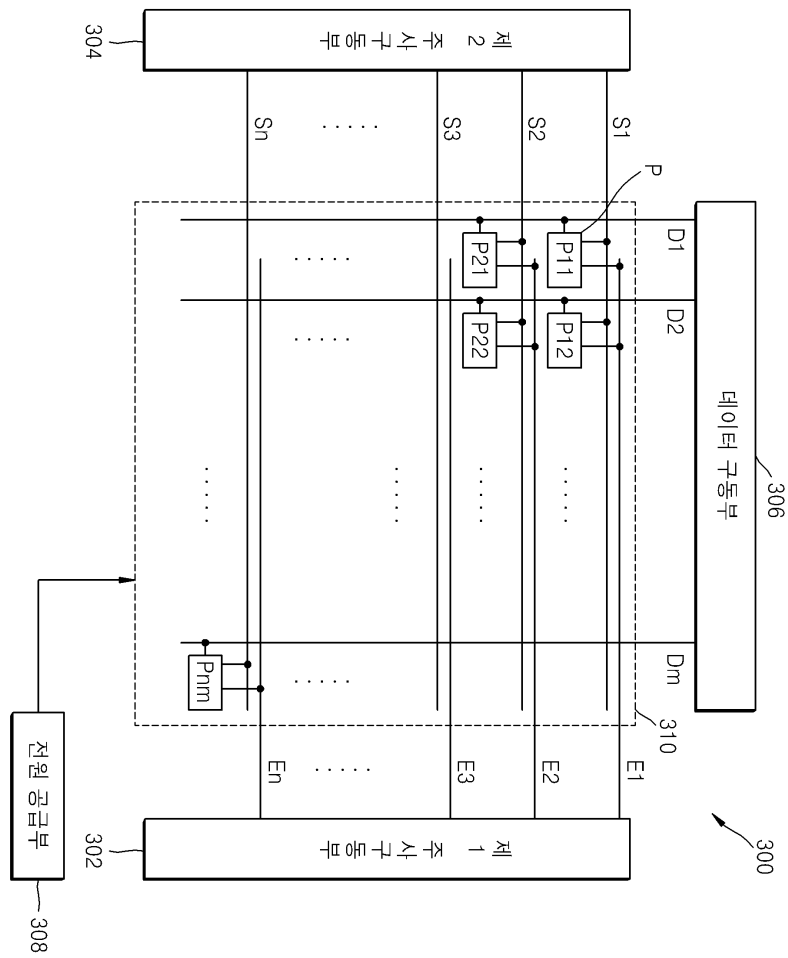
도면1



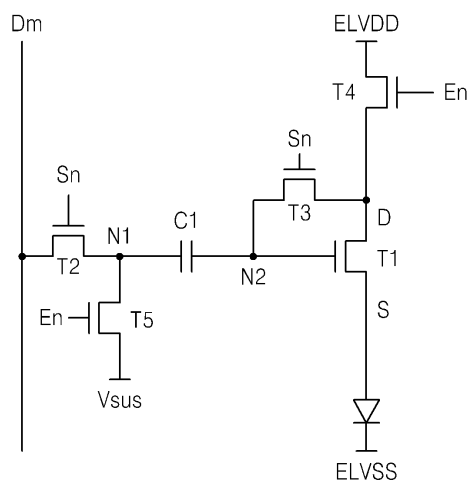
도면2



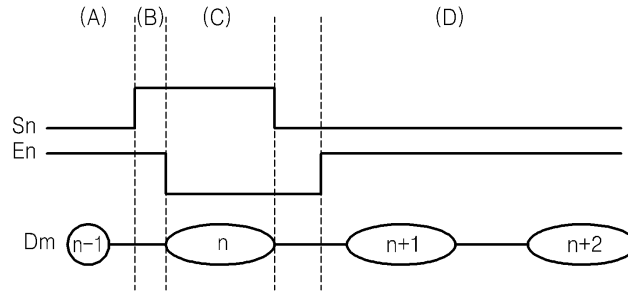
도면3



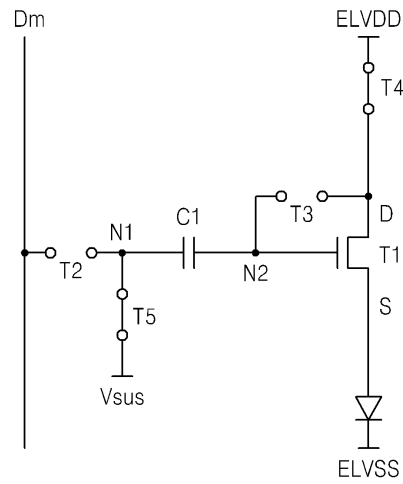
도면4



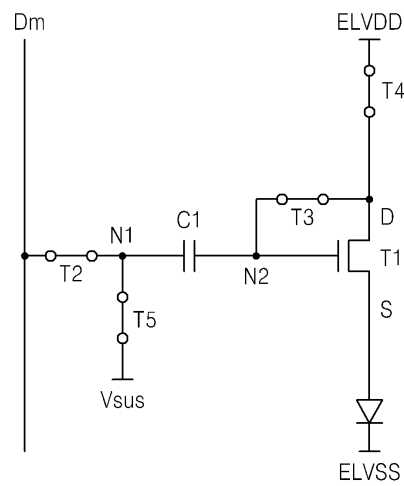
도면5



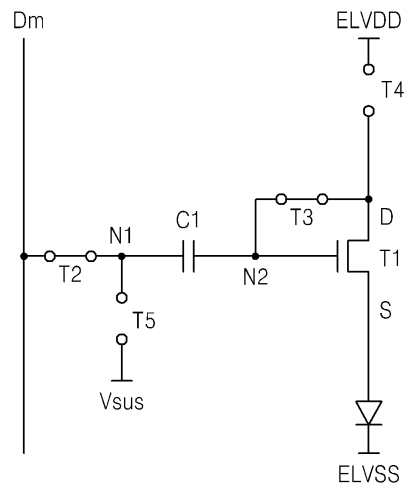
도면6



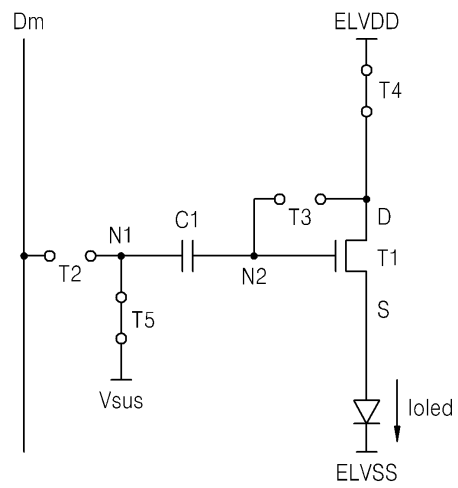
도면7



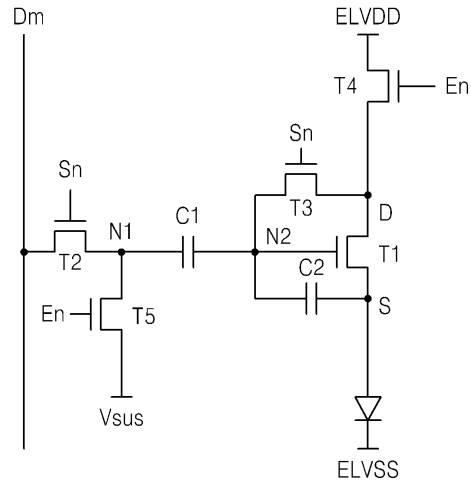
도면8



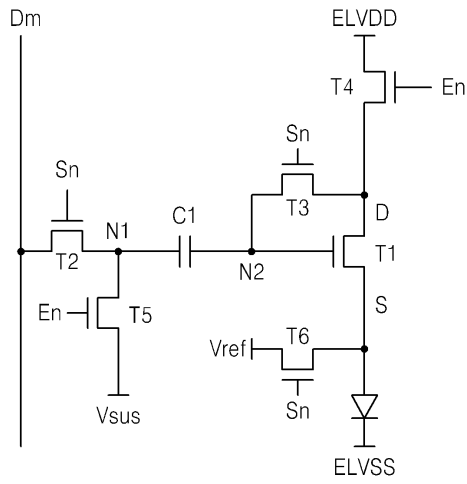
도면9



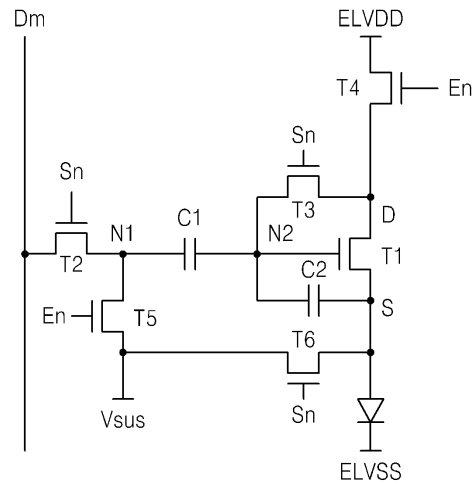
도면10



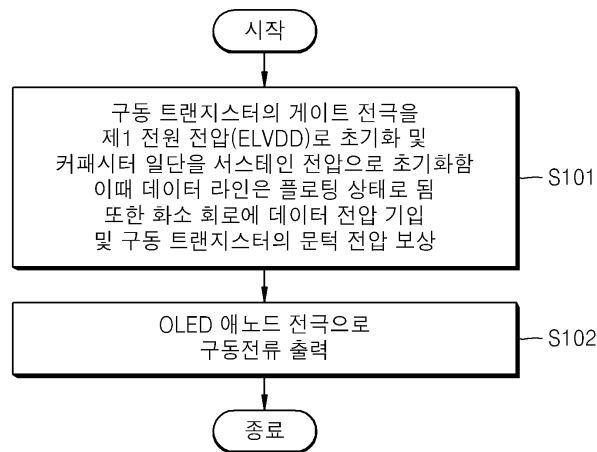
도면11



도면14



도면15



专利名称(译)	像素电路，有机发光显示装置		
公开(公告)号	KR101058114B1	公开(公告)日	2011-08-24
申请号	KR1020090110361	申请日	2009-11-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	CHUNG KYUNG HOON 정경훈		
发明人	정경훈		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2320/0223 G09G2320/043		
其他公开文献	KR1020110053708A		
外部链接	Espacenet		

摘要(译)

在本发明的实施例中，当实现包括使用n型晶体管的场效应晶体管的有机发光二极管显示器时，减少布线的数量，补偿驱动晶体管的阈值电压，以及有机光的阴极电压 - 一种能够消除由于要布线的互连的寄生电阻分量引起的IR电压降的像素电路，以及使用该像素电路的有机电致发光器件。

