

특허청구의 범위

청구항 1

애노드 전극, 및 캐소드 전극을 구비하는 OLED;

제1 노드에 연결되는 제1 전극, 상기 OLED의 애노드 전극에 연결되는 제2 전극, 및 제2 노드에 연결되는 게이트 전극을 구비하는 제1 NMOS 트랜지스터;

상기 제2 노드에 연결되는 제1 전극, 상기 제1 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제2 NMOS 트랜지스터;

제1 전원선에 연결되는 제1 전극, 상기 제1 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제3 NMOS 트랜지스터;

데이터 라인에 연결되는 제1 전극, 제3 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제4 NMOS 트랜지스터;

기준 전원선에 연결되는 제1 전극, 상기 제3 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제5 NMOS 트랜지스터;

제1 전극, 상기 OLED의 애노드 전극에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제6 NMOS 트랜지스터;

상기 제2 노드 및 상기 제3 노드 사이에 연결되는 제1 커패시터;

상기 제3 노드 및 상기 OLED의 애노드 전극 사이에 연결되는 제2 커패시터; 및

상기 제2 노드 및 상기 제6 NMOS 트랜지스터의 제1 전극 사이에 연결되는 제3 커패시터;를 포함하는 디스플레이 패널의 화소 회로.

청구항 2

제1항에 있어서,

상기 제2 NMOS 트랜지스터의 게이트 전극 및 상기 제5 NMOS 트랜지스터의 게이트 전극에 이전 주사 신호를 인가하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 3

제2항에 있어서,

상기 제4 NMOS 트랜지스터의 게이트 전극에 주사 신호를 인가하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 4

제3항에 있어서,

상기 제3 NMOS 트랜지스터의 게이트 전극 및 상기 제6 NMOS 트랜지스터의 게이트 전극에 발광 신호를 인가하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 5

제4항에 있어서,

상기 제1 전원선에 연결되는 제1 전극, 상기 제6 NMOS 트랜지스터의 제1 전극과 연결되는 제2 전극, 및 상기 주사 신호가 인가되는 게이트 전극을 구비하는 제7 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 6

제5항에 있어서,

상기 기준 전원은 그라운드 전압을 출력하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 7

제1항에 있어서,

상기 제2 NMOS 트랜지스터의 게이트 전극 및 상기 제4 NMOS 트랜지스터의 게이트 전극에 이전 주사 신호를 인가하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 8

제7항에 있어서,

상기 제5 NMOS 트랜지스터의 게이트 전극에 주사 신호를 인가하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 9

제8항에 있어서,

상기 제3 NMOS 트랜지스터의 게이트 전극 및 상기 제6 NMOS 트랜지스터의 게이트 전극에 발광 신호를 인가하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 10

제8항에 있어서,

상기 제3 NMOS 트랜지스터의 게이트 전극 및 상기 제6 NMOS 트랜지스터의 게이트 전극에 외부로부터의 클럭 신호를 인가하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 11

제9항 또는 제10항에 있어서,

상기 제1 전원에 연결되는 제1 전극, 상기 제6 NMOS 트랜지스터의 제1 전극과 연결되는 제2 전극, 및 상기 주사 신호가 인가되는 게이트 전극을 구비하는 제7 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 12

제11항에 있어서,

상기 기준 전원은 하이 레벨 신호를 출력하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 13

제1항에 있어서,

상기 제1 NMOS 트랜지스터의 제1 전극은 드레인 전극이고, 상기 제1 NMOS 트랜지스터의 제2 전극은 소스 전극인 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 14

제1항에 있어서,

상기 제1 커패시터 내지 제3 커패시터의 커패시턴스를 각각 c_1 , c_2 , c_{is} 라고 할 때, $c_1, c_2 \gg c_{is}$ 의 조건을 만족시키는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

청구항 15

OLED, 구동 트랜지스터, 제1 전극과 상기 OLED의 애노드 전극에 연결되는 제2 전극과 게이트 전극을 구비하는 부스팅 트랜지스터, 및 상기 구동 트랜지스터의 게이트 전극과 상기 부스팅 트랜지스터의 제1 전극 사이에 연결되는 부스팅 커패시터를 구비하며, 상기 구동 트랜지스터 및 부스팅 트랜지스터는 NMOS 트랜지스터인 것을 특징

으로 하는 화소 회로의 구동방법으로서,

이전 주사 신호 및 주사 신호가 로우 레벨이고, 발광 신호가 하이 레벨일 때, 상기 부스팅 트랜지스터를 On 시키고, 상기 부스팅 커패시터의 커플링을 이용하여 상기 OLED의 애노드 전극에서의 전압 변화를 상기 구동 트랜지스터의 게이트 전극에 전달하는 것을 특징으로 하는 화소 회로의 구동방법.

청구항 16

제15항에 있어서,

상기 OLED의 애노드 전극에서의 전압 변화는,

상기 OLED에 전류가 흐르지 않을 때와 상기 OLED에 전류가 흐를때 사이의 전압 변화인 것을 특징으로 하는 화소 회로의 구동방법.

청구항 17

제15항에 있어서,

상기 이전 주사 신호 및 상기 발광 신호가 하이 레벨이고, 상기 주사 신호가 로우 레벨일 때, 상기 화소 회로를 초기화 시키는 것을 특징으로 하는 화소 회로의 구동방법.

청구항 18

제15항에 있어서,

상기 이전 주사 신호가 하이 레벨이고, 상기 주사 신호 및 상기 발광 신호가 로우 레벨일 때, 상기 구동 트랜지스터를 다이오드 연결시켜서 상기 OLED의 문턱 전압의 보상을 수행하는 것을 특징으로 하는 화소 회로의 구동방법.

청구항 19

제15항에 있어서,

상기 이전 주사 신호 및 상기 발광 신호가 로우 레벨이고, 상기 주사 신호가 하이 레벨일 때, 데이터를 기입하는 것을 특징으로 하는 화소 회로의 구동방법.

청구항 20

복수의 주사 라인들에 주사 신호를 공급하는 주사 구동부;

복수의 발광 제어 라인들에 발광 신호를 공급하는 발광 구동부;

복수의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동부; 및

상기 주사 라인들, 발광 제어 라인들, 및 데이터 라인들의 교차부마다 구비되는 복수의 화소 회로들;을 포함하며,

상기 화소 회로들 각각은

애노드 전극, 및 캐소드 전극을 구비하는 OLED;

제1 노드에 연결되는 제1 전극, 상기 OLED의 애노드 전극에 연결되는 제2 전극, 및 제2 노드에 연결되는 게이트 전극을 구비하는 제1 NMOS 트랜지스터;

상기 제2 노드에 연결되는 제1 전극, 상기 제1 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제2 NMOS 트랜지스터;

제1 전원에 연결되는 제1 전극, 상기 제1 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제3 NMOS 트랜지스터;

데이터 라인에 연결되는 제1 전극, 제3 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제4 NMOS 트랜지스터;

기준 전원에 연결되는 제1 전극, 상기 제3 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제5 NMOS 트랜지스터;

제1 전극, 상기 OLED의 애노드 전극에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제6 NMOS 트랜지스터;

상기 제2 노드 및 상기 제3 노드 사이에 연결되는 제1 커패시터;

상기 제3 노드 및 상기 OLED의 애노드 전극 사이에 연결되는 제2 커패시터; 및

상기 제2 노드 및 상기 제6 NMOS 트랜지스터의 제1 전극 사이에 연결되는 제3 커패시터;를 포함하는 유기 발광 표시 장치.

청구항 21

제20항에 있어서,

상기 제2 NMOS 트랜지스터의 게이트 전극 및 상기 제5 NMOS 트랜지스터의 게이트 전극은 $N-1$ ($0 < N < n$ 인 자연수) 번째 주사 라인에 연결되고,

상기 제3 NMOS 트랜지스터의 게이트 전극 및 상기 제6 NMOS 트랜지스터의 게이트 전극은 N 번째 발광 제어 라인에 연결되고,

상기 제4 NMOS 트랜지스터의 게이트 전극은 N 번째 주사 라인에 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 22

제20항에 있어서,

상기 제2 NMOS 트랜지스터의 게이트 전극 및 상기 제4 NMOS 트랜지스터의 게이트 전극은 $N-1$ ($0 < N < n$ 인 자연수) 번째 주사 라인에 연결되고,

상기 제3 NMOS 트랜지스터의 게이트 전극 및 상기 제6 NMOS 트랜지스터의 게이트 전극은 N 번째 발광 제어 라인에 연결되고,

상기 제5 NMOS 트랜지스터의 게이트 전극은 N 번째 주사 라인에 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 23

제21항 또는 제22항에 있어서,

상기 제1 전원에 연결되는 제1 전극, 상기 제6 NMOS 트랜지스터의 제1 전극과 연결되는 제2 전극, 및 상기 N 번째 주사 라인에 연결되는 게이트 전극을 구비하는 제7 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 24

제20항에 있어서,

상기 제1 NMOS 트랜지스터의 제1 전극은 드레인 전극이고, 상기 제1 NMOS 트랜지스터의 제2 전극은 소스 전극인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 25

제20항에 있어서,

상기 제1 커패시터 내지 제3 커패시터의 커패시턴스를 각각 c_1 , c_2 , c_{is} 라고 할 때, $c_1, c_2 \gg c_{is}$ 의 조건을 만족시키는 것을 특징으로 하는 유기 발광 표시 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 디스플레이 패널의 화소 회로, 그 구동방법, 및 이를 포함하는 유기 발광 표시 장치에 대한 것이다.

배경기술

[0002] 디스플레이 장치란 외부로부터 영상 데이터를 인가받아, 상기 영상 데이터가 나타내는 영상을 표시하는 장치를 말한다. 이러한 디스플레이 장치의 종류로는 CRT(Cathode Ray Tube), 전계 방출 표시 장치(FED: Field Emission Display), 액정 표시 장치(LCD: Liquid Crystal Display), 플라즈마 디스플레이 패널(PDP: Plasma Display Panel) 등이 있다.

[0003] 최근에는 유기 발광 소자인 OLED(Organic Light Emitting Diode)를 이용한 유기 발광 표시 장치가 개발되어 일부 제품에서 사용되고 있다. 이러한 유기 발광 표시 장치에서 디스플레이 패널은 복수의 화소 회로로 이루어지며, 상기 각 화소 회로에 포함된 OLED의 발광을 제어함으로써 인하여 디스플레이 패널에 영상을 표시할 수 있게 된다. 디스플레이 패널에 포함된 화소 회로에 따라서 유기 발광 표시 장치의 표시 품질에 영향을 미치게 되며, 회로의 구성, 구동 방법 등에 대한 많은 연구가 이루어지고 있다.

발명의 내용

해결하고자하는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 발광시 구동 트랜지스터의 소스 전극에서의 전압 변화를 보상하는 디스플레이 패널의 화소 회로, 그 구동방법, 및 이를 포함하는 유기 발광 표시 장치를 제공하는데 있다.

과제 해결수단

[0005] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 측면은 애노드 전극, 및 캐소드 전극을 구비하는 OLED와, 제1 노드에 연결되는 제1 전극, 상기 OLED의 애노드 전극에 연결되는 제2 전극, 및 제2 노드에 연결되는 게이트 전극을 구비하는 제1 NMOS 트랜지스터와, 상기 제2 노드에 연결되는 제1 전극, 상기 제1 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제2 NMOS 트랜지스터와, 제1 전원에 연결되는 제1 전극, 상기 제1 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제3 NMOS 트랜지스터와, 데이터 라인에 연결되는 제1 전극, 제3 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제4 NMOS 트랜지스터와, 기준 전원에 연결되는 제1 전극, 상기 제3 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제5 NMOS 트랜지스터와, 제1 전극, 상기 OLED의 애노드 전극에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제6 NMOS 트랜지스터와, 상기 제2 노드 및 상기 제3 노드 사이에 연결되는 제1 커패시터와, 상기 제3 노드 및 상기 OLED의 애노드 전극 사이에 연결되는 제2 커패시터와, 상기 제2 노드 및 상기 제6 NMOS 트랜지스터의 제1 전극 사이에 연결되는 제3 커패시터를 포함하는 디스플레이 패널의 화소 회로를 제공한다.

[0006] 이러한 본 발명의 다른 특징에 의하면, 상기 제2 NMOS 트랜지스터의 게이트 전극 및 상기 제5 NMOS 트랜지스터의 게이트 전극에 이전 주사 신호를 인가할 수 있다.

[0007] 본 발명의 또 다른 특징에 의하면, 상기 제4 NMOS 트랜지스터의 게이트 전극에 주사 신호를 인가할 수 있다.

[0008] 본 발명의 또 다른 특징에 의하면, 상기 제3 NMOS 트랜지스터의 게이트 전극 및 상기 제6 NMOS 트랜지스터의 게이트 전극에 발광 신호를 인가할 수 있다.

[0009] 본 발명의 또 다른 특징에 의하면, 상기 제1 전원에 연결되는 제1 전극, 상기 제6 NMOS 트랜지스터의 제1 전극과 연결되는 제2 전극, 및 상기 주사 신호가 인가되는 게이트 전극을 구비하는 제7 NMOS 트랜지스터를 더 포함할 수 있다.

[0010] 본 발명의 또 다른 특징에 의하면, 상기 기준 전원은 그라운드 전압을 출력하는 것을 특징으로 하는 디스플레이 패널의 화소 회로.

[0011] 또는 본 발명의 또 다른 특징에 의하면, 상기 제2 NMOS 트랜지스터의 게이트 전극 및 상기 제4 NMOS 트랜지스터의 게이트 전극에 이전 주사 신호를 인가할 수 있다.

[0012] 본 발명의 또 다른 특징에 의하면, 상기 제5 NMOS 트랜지스터의 게이트 전극에 주사 신호를 인가할 수 있다.

[0013] 본 발명의 또 다른 특징에 의하면, 상기 제3 NMOS 트랜지스터의 게이트 전극 및 상기 제6 NMOS 트랜지스터의 게

이트 전극에 발광 신호를 인가할 수 있다.

- [0014] 본 발명의 또 다른 특징에 의하면, 상기 제3 NMOS 트랜지스터의 게이트 전극 및 상기 제6 NMOS 트랜지스터의 게이트 전극에 외부로부터의 클럭 신호를 인가할 수 있다.
- [0015] 본 발명의 또 다른 특징에 의하면, 상기 제1 전원에 연결되는 제1 전극, 상기 제6 NMOS 트랜지스터의 제1 전극과 연결되는 제2 전극, 및 상기 주사 신호가 인가되는 게이트 전극을 구비하는 제7 NMOS 트랜지스터를 더 포함할 수 있다.
- [0016] 본 발명의 또 다른 특징에 의하면, 상기 기준 전원은 하이 레벨 신호를 출력할 수 있다.
- [0017] 한편, 본 발명의 또 다른 특징에 의하면, 상기 제1 NMOS 트랜지스터의 제1 전극은 드레인 전극이고, 상기 제1 NMOS 트랜지스터의 제2 전극은 소스 전극일 수 있다.
- [0018] 본 발명의 또 다른 특징에 의하면, 상기 제1 커패시터 내지 제3 커패시터의 커패시턴스를 각각 c_1 , c_2 , c_{is} 라고 할 때, c_1 , $c_2 \gg c_{is}$ 의 조건을 만족시킬 수 있다.
- [0019] 상기 기술적 과제를 해결하기 위하여, 본 발명의 다른 측면은 애노드 전극과 애노드 전극을 구비하는 OLED, 구동 트랜지스터, 복수의 스위칭 트랜지스터, 제1 전극과 상기 OLED의 캐소드 전극에 연결되는 제2 전극과 게이트 전극을 구비하는 부스팅 트랜지스터, 복수의 커패시터, 및 상기 구동 트랜지스터의 게이트 전극과 상기 부스팅 트랜지스터의 제1 전극 사이에 연결되는 부스팅 커패시터를 구비하며, 상기 구동 트랜지스터, 복수의 스위칭 트랜지스터, 및 부스팅 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 화소 회로의 구동방법으로서, 이전 주사 신호 및 주사 신호가 로우 레벨이고, 발광 신호가 하이 레벨일 때, 상기 부스팅 트랜지스터를 On 시키고, 상기 부스팅 커패시터의 커플링을 이용하여 상기 OLED의 애노드 전극에서의 전압 변화를 상기 구동 트랜지스터의 게이트 전극에 전달하는 것을 특징으로 하는 화소 회로의 구동방법을 제공한다.
- [0020] 이러한 본 발명의 다른 특징에 의하면, 상기 OLED의 애노드 전극에서의 전압 변화는, 상기 OLED에 전류가 흐르지 않을 때와 상기 OLED에 전류가 흐를 때 사이의 전압 변화일 수 있다.
- [0021] 본 발명의 또 다른 특징에 의하면, 상기 이전 주사 신호 및 상기 발광 신호가 하이 레벨이고, 상기 주사 신호가 로우 레벨일 때, 상기 화소 회로를 초기화시킬 수 있다.
- [0022] 본 발명의 또 다른 특징에 의하면, 상기 이전 주사 신호가 하이 레벨이고, 상기 주사 신호 및 상기 발광 신호가 로우 레벨일 때, 상기 구동 트랜지스터를 다이오드 연결시켜서 상기 OLED의 문턱 전압의 보상을 수행할 수 있다.
- [0023] 본 발명의 또 다른 특징에 의하면, 상기 이전 주사 신호 및 상기 발광 신호가 로우 레벨이고, 상기 주사 신호가 하이 레벨일 때, 데이터를 기입할 수 있다.
- [0024] 상기 기술적 과제를 해결하기 위하여, 본 발명의 다른 측면은 복수의 주사 라인들에 주사 신호를 공급하는 주사 구동부와, 복수의 발광 제어 라인들에 발광 신호를 공급하는 발광 구동부와, 복수의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동부와, 상기 주사 라인들, 발광 제어 라인들, 및 데이터 라인들의 교차부마다 구비되는 복수의 화소 회로들을 포함하며, 상기 화소 회로들 각각은 애노드 전극, 및 캐소드 전극을 구비하는 OLED와, 제1 노드에 연결되는 제1 전극, 상기 OLED의 애노드 전극에 연결되는 제2 전극, 및 제2 노드에 연결되는 게이트 전극을 구비하는 제1 NMOS 트랜지스터와, 상기 제2 노드에 연결되는 제1 전극, 상기 제1 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제2 NMOS 트랜지스터와, 제1 전원에 연결되는 제1 전극, 상기 제1 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제3 NMOS 트랜지스터와, 데이터 라인에 연결되는 제1 전극, 제3 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제4 NMOS 트랜지스터와, 기준 전원에 연결되는 제1 전극, 상기 제3 노드에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제5 NMOS 트랜지스터와, 제1 전극, 상기 OLED의 애노드 전극에 연결되는 제2 전극, 및 게이트 전극을 구비하는 제6 NMOS 트랜지스터와, 상기 제2 노드 및 상기 제3 노드 사이에 연결되는 제1 커패시터와, 상기 제3 노드 및 상기 OLED의 애노드 전극 사이에 연결되는 제2 커패시터와, 상기 제2 노드 및 상기 제6 NMOS 트랜지스터의 제1 전극 사이에 연결되는 제3 커패시터를 포함하는 유기 발광 표시 장치를 제공한다.
- [0025] 이러한 본 발명의 다른 측면에 의하면, 상기 제2 NMOS 트랜지스터의 게이트 전극 및 상기 제5 NMOS 트랜지스터의 게이트 전극은 $N-1(0 < N < n$ 인 자연수) 번째 주사 라인에 연결되고, 상기 제3 NMOS 트랜지스터의 게이트 전극 및 상기 제6 NMOS 트랜지스터의 게이트 전극은 N 번째 발광 제어 라인에 연결되고, 상기 제4 NMOS 트랜지스터의

게이트 전극은 N 번째 주사 라인에 연결될 수 있다.

[0026] 또는 본 발명의 또 다른 측면에 의하면, 상기 제2 NMOS 트랜지스터의 게이트 전극 및 상기 제4 NMOS 트랜지스터의 게이트 전극은 $N-1(0 < N < n$ 인 자연수) 번째 주사 라인에 연결되고, 상기 제3 NMOS 트랜지스터의 게이트 전극 및 상기 제6 NMOS 트랜지스터의 게이트 전극은 N 번째 방광 제어 라인에 연결되고, 상기 제5 NMOS 트랜지스터의 게이트 전극은 N 번째 주사 라인에 연결될 수 있다.

[0027] 본 발명의 또 다른 측면에 의하면, 상기 제1 전원에 연결되는 제1 전극, 상기 제6 NMOS 트랜지스터의 제1 전극과 연결되는 제2 전극, 및 상기 N 번째 주사 라인에 연결되는 게이트 전극을 구비하는 제7 NMOS 트랜지스터를 더 포함할 수 있다.

[0028] 본 발명의 또 다른 측면에 의하면, 상기 제1 NMOS 트랜지스터의 제1 전극은 드레인 전극이고, 상기 제1 NMOS 트랜지스터의 제2 전극은 소스 전극일 수 있다.

[0029] 본 발명의 또 다른 측면에 의하면, 상기 제1 커패시터 내지 제3 커패시터의 커패시턴스를 각각 c_1 , c_2 , c_{is} 라고 할 때, c_1 , $c_2 \gg c_{is}$ 의 조건을 만족시킬 수 있다.

효 과

[0030] 상기와 같은 구성에 의하여, 디스플레이 패널의 화소 회로에서 발광시 구동 트랜지스터의 소스 전극에서의 전압 변화를 보상할 수 있게 된다.

발명의 실시를 위한 구체적인 내용

[0031] 이하, 도 1 내지 도 8을 참조하여 본 발명의 다양한 실시예들에 대하여 설명한다.

[0032] 도 1은 본 발명의 일 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.

[0033] 이러한 본 실시예에 따른 화소 회로는 OLED, 구동 트랜지스터, 복수의 스위칭 트랜지스터, 복수의 커패시터를 포함할 수 있으며, 화소 회로에 포함된 모든 트랜지스터는 NMOS 트랜지스터로 이루어질 수 있다. 디스플레이 패널에 $n \times m$ 매트릭스 형태로 화소 회로가 배열될 수 있으며, 본 실시예에 따른 화소 회로는 N 번째 행, M 번째 열에 위치한 경우이다.

[0034] OLED는 애노드 전극과 캐소드 전극으로 이루어지며, 상기 캐소드 전극은 제2 전원과 연결된다. 상기 OLED는 구동 트랜지스터에 의하여 생성된 전류를 사용하여 빛을 발생시킨다. 상기 빛의 휘도는 상기 OLED에 흐르는 전류의 크기에 의하여 조절된다.

[0035] 제1 트랜지스터(M1)는 제1 전극이 제1 노드(N1)에 연결되고, 제2 전극이 OLED의 애노드 전극에 연결되며, 게이트 전극이 제2 노드(N2)에 연결된다. 여기서 제1 트랜지스터(M1)의 제1 전극은 드레인 전극이고 제2 전극은 소스 전극일 수 있다. 제1 트랜지스터(M1)는 구동 트랜지스터로서 동작하며, 게이트 전극과 소스 전극 사이의 전압인 V_{gs} 값에 따른 전류를 생성하여 OLED에 흐르게 한다. 이하, 제1 트랜지스터와 구동 트랜지스터를 혼용하도록 한다.

[0036] 제2 트랜지스터(M2)는 제1 전극이 제2 노드(N2)에 연결되고, 제2 전극이 제1 노드(N1)에 연결된다. 또한 제2 트랜지스터(M2)의 게이트 전극에는 외부로부터의 제어 신호가 인가된다. 제2 트랜지스터(M2)는 구동 트랜지스터(M1)의 제1 전극과 게이트 전극 사이에 연결되며, 상기 외부로부터의 제어 신호에 의하여 On 상태가 되면, 구동 트랜지스터(M1)가 다이오드 연결 상태가 되도록 한다. 구동 트랜지스터(M1)의 다이오드 연결에 의하여 구동 트랜지스터 자체의 문턱전압(V_{th})과 비발광시 OLED의 애노드 전극과 캐소드 전극 사이에 나타나는 OLED의 문턱전압(V_{to})를 보상할 수 있다. 상기 외부로부터의 제어 신호는 이전 주사 신호로서, N-1 번째 주사 라인, 즉 이전 주사 라인(S[N-1])으로부터 공급되는 주사 신호이다. 따라서 상기 제2 트랜지스터(M2)의 게이트 전극은 이전 주사 라인(S[N-1])과 연결된다.

[0037] 제3 트랜지스터(M3)는 제1 전극이 제1 전원에 연결되며, 제2 전극이 제1 노드(N1)에 연결된다. 또한 제3 트랜지스터(M3)의 게이트 전극에는 외부로부터의 제어 신호가 인가된다. 제3 트랜지스터(M3)는 상기 외부로부터의 제어 신호에 의하여 On 상태가 되면, 제1 전원전압(ELVDD)을 구동 트랜지스터(M1)의 제1 전극에 인가한다. 또한 상기 제3 트랜지스터(M3)가 On 상태가 됨으로 인하여, 구동 트랜지스터(M1)에서 전류가 생성되며, 상기 전류가 OLED에 흐르게 된다. 상기 외부로부터의 제어 신호는 발광 신호로서, N 번째 방광 제어 라인(EM[N])으로부터 공급된다. 따라서 상기 제3 트랜지스터(M3)의 게이트 전극은 발광 제어 라인(EM[N])과 연결된다.

- [0038] 제4 트랜지스터(M4)는 제1 전극이 M 번째 데이터 라인(D[M])에 연결되고, 제2 전극이 제3 노드(N3)에 연결된다. 또한 제4 트랜지스터(M4)의 게이트 전극에는 외부로부터의 제어 신호가 인가된다. 상기 외부로부터의 제어 신호에 의하여 제4 트랜지스터(M4)가 On 상태가 되면, 데이터 라인(D[M])으로부터 공급되는 데이터 전압 Vdata이 제3 노드(N3)에 인가된다. 상기 외부로부터의 제어 신호는 주사 신호로서, N 번째 주사 라인(S[N])으로부터 공급되는 주사 신호이다. 따라서 상기 제4 트랜지스터(M4)의 게이트 전극은 주사 라인(S[N])과 연결된다.
- [0039] 제5 트랜지스터(M5)는 제1 전극이 기준 전원에 연결되고, 제2 전극이 제3 노드(N3)에 연결된다. 또한 제5 트랜지스터(M5)의 게이트 전극에는 외부로부터의 제어 신호가 인가된다. 상기 외부로부터의 제어 신호에 의하여 제5 트랜지스터(M5)가 On 상태가 되면, 기준 전원으로 부터 공급되는 기준 전압 Vref가 제3 노드(N3)에 인가된다. 상기 외부로부터의 제어 신호는 상기 제2 트랜지스터(M2)의 게이트 전극에 인가되는 상기 이전 주사 신호일 수 있다. 따라서 제5 트랜지스터(M5)의 게이트 전극은 이전 주사 라인(S[N-1])과 연결된다.
- [0040] 제6 트랜지스터(M6)는 제1 전극이 제3 커패시터(Cis)와 연결되고, 제2 전극이 OLED의 애노드 전극에 연결된다. 또한 제6 트랜지스터(M6)의 게이트 전극에는 외부로부터의 제어 신호가 인가된다. 상기 외부로부터의 제어 신호에 의하여 제6 트랜지스터(M6)가 On 상태가 되면, OLED의 애노드 전극의 전압이 제3 커패시터(Cis)의 일 단자에 인가된다. 상기 외부로부터의 제어 신호는 상기 제3 트랜지스터(M3)의 게이트 전극에 인가되는 상기 발광 신호일 수 있다. 따라서 상기 제6 트랜지스터(M6)의 게이트 전극은 발광 제어 라인(EM[N])과 연결된다.
- [0041] 상기 제2 트랜지스터 내지 제6 트랜지스터(M2 내지 M6)는 스위칭 트랜지스터로서의 역할을 한다.
- [0042] 제1 커패시터(C1)는 제1 단자가 제3 노드(N3)와 연결되고, 제2 단자가 제2 노드(N2)와 연결된다.
- [0043] 제2 커패시터(C2)는 제1 단자가 제3 노드(N3)와 연결되고, 제2 단자가 OLED의 애노드 전극과 연결된다.
- [0044] 제3 커패시터(Cis)는 제1 단자가 제2 노드(N2)와 연결되고, 제2 단자가 제6 트랜지스터(M6)의 제1 전극과 연결된다. 발광 신호에 의하여 제6 트랜지스터(M6)가 On 상태가 되면, OLED의 애노드 전극의 전압이 제3 커패시터(Cis)의 제2 단자에 인가된다. 커패시터의 커플링 현상에 의하여 제3 커패시터(Cis)의 제2 단자에서 발생한 전압 변화에 상응하는 양의 전압 변화가 제3 커패시터(Cis)의 제1 단자, 즉 구동 트랜지스터(M1)의 게이트 전극에서 발생한다.
- [0045] 제1 커패시터(C1)의 커패시턴스를 c1, 제2 커패시터(C2)의 커패시턴스를 c2, 제3 커패시터(Cis)의 커패시턴스를 cis라고 할 때, $c1 \gg cis$, $c2 \gg cis$ 의 조건을 만족시킨다.
- [0046] 한편, 제1 전원은 제1 전원전압(ELVDD)를 공급하며, 제2 전원은 제2 전원전압(ELVSS)를 공급한다. 상기 제2 전원전압(ELVSS)은 그라운드 전압(GND)일 수 있다. 또한 기준 전원은 기준 전압인 Vref를 공급하며, 상기 기준 전압 Vref는 그라운드 전압(GND)일 수 있다.
- [0047] 이미 언급한 바와 같이, 본 실시예에 따른 화소 회로에 포함된 상기 모든 트랜지스터는 NMOS 트랜지스터일 수 있다. 종래의 화소 회로에서는 PMOS 트랜지스터가 사용되었다. PMOS 타입의 박막 트랜지스터(TFT: Thin Film Transistor)를 생성할 때에는 결정질 실리콘이 사용되었기 때문에 결정화 장치인 ELA(Excimer Laser Annealing) 장치가 필요하였다.
- [0048] 그러나 화소 회로에서 NMOS 트랜지스터를 사용하는 경우 다음과 같은 이점이 있다.
- [0049] 먼저, 비정질 실리콘(a-si)을 사용하여 박막 트랜지스터(TFT: Thin Film Transistor)를 생성할 수 있는데, 이로 인하여 결정화 장치로서 고가의 장치인 ELA 장치를 사용하지 않을 수 있다.
- [0050] 다음으로 PMOS 트랜지스터를 사용하는 회소 회로의 생성시보다 NMOS 트랜지스터를 사용하는 화소 회로를 생성할 때 사용되는 마스크의 개수가 감소할 수 있다.
- [0051] 다음으로 NMOS 트랜지스터를 사용하는 경우, 산화물 TFT를 사용하는 것이 가능하다. 산화물 TFT를 사용하는 경우 비정질 실리콘의 장점인 전압 균일도와 저온폴리실리콘(LTPS)의 장점인 높은 전자 이동도를 구현할 수 있어서 패널 수명 향상과 고해상도 구현에 유리하게 된다.
- [0052] 또한 LCD의 경우, NMOS만을 사용하여 화소 회로를 생성하고 있으므로 LCD의 제조 설비를 그대로 사용하는 것이 가능하여 비용 절약이 가능하게 된다.
- [0053] 이하, 도 2를 참조하여 도 1의 화소 회로의 동작에 대하여 살펴보도록 한다.
- [0054] 도 2는 도 1의 디스플레이 패널의 화소 회로를 구동하기 위한 타이밍도이다.

- [0055] 화소 회로의 동작은 4개의 구간(T1 내지 T4)으로 나뉜다. 이하, 각 구간에서 화소 회로의 동작을 설명한다.
- [0056] 제1 구간(T1)에서는 초기화 동작이 수행된다.
- [0057] 제1 구간(T1)에서는, 이전 주사 라인(S[N-1])에 이전 주사 신호가 공급되고 발광 제어 라인(EM[N])에 발광 신호가 공급된다. 즉, 이전 주사 신호 및 발광 신호가 하이 레벨이 된다. 상기 이전 주사 신호 및 발광 신호에 의하여 제2, 제3, 제5 및 제6 트랜지스터(M2, M3, M5, M6)가 On 상태가 되고, 이로 인하여 화소 회로의 각 노드가 초기화 된다. 이 때, 주사 라인(S[N])에서의 주사 신호는 로우 레벨이다.
- [0058] 제2 구간(T2)에서는 구동 트랜지스터(M1)를 다이오드 연결시켜 OLED 자체의 문턱 전압 및 구동 트랜지스터(M1)의 문턱 전압을 보상한다.
- [0059] 제2 구간(T2)에서는, 이전 주사 신호가 하이 레벨이며, 주사 신호 및 발광 신호는 로우 레벨이다. 이전 주사 신호에 의하여 제2, 제5 트랜지스터(M2, M5)가 On 상태가 된다. OLED의 애노드 전극을 제4 노드(N4)라고 하고, OLED의 문턱 전압을 V_{to} 라고 할 때, 제 4노드(N4)의 전압 V_{n4} 는 제2 전원전압(ELVSS)보다 V_{to} 만큼 높은 $ELVSS + V_{to}$ 이다. 구동 트랜지스터(M1)가 다이오드 연결이 되어 있기 때문에 제2 노드(N2)의 전압 V_{n2} 는 $ELVSS + V_{to} + V_{th}$ 이다. 제3 노드(N3)의 전압 V_{n3} 는 기준 전압인 V_{ref} 가 된다. 또한 제5 노드(N5)의 전압 V_{n5} 는 $ELVSS + V_{to}$ 가 된다. 각 노드의 전압을 정리하면 다음과 같다.
- [0060] N2: $V_{n2} = ELVSS + V_{to} + V_{th}$
- [0061] N3: $V_{n3} = V_{ref}$
- [0062] N4: $V_{n4} = ELVSS + V_{to}$
- [0063] N5: $V_{n5} = ELVSS + V_{to}$
- [0064] 다음으로, 제3 구간(T3)에서는 데이터의 기입이 이루어진다.
- [0065] 제3 구간(T3)에서는, 주사 신호가 하이 레벨이며, 이전 주사 신호 및 발광 신호는 로우 레벨이다. 주사 신호에 의하여 제4 트랜지스터(M4)가 On 상태가 되며, 이로 인하여 제3 노드(N3)에 데이터 전압 V_{data} 가 인가된다. 제5 노드(N5)가 플로팅 상태이므로, 제2 노드(N2)에서도 제3 노드(N3)에서의 전압 변화가 반영된다. 상기 동작에 기초하여 각 노드의 전압을 정리하면 다음과 같다.
- [0066] N2: $V_{n2} = ELVSS + V_{to} + V_{th} + \Delta V1 = ELVSS + V_{to} + V_{th} + V_{data} - V_{ref}$
- [0067] N3: $V_{n3} = V_{data}$ ($\Delta V1 = V_{data} - V_{ref}$)
- [0068] N4: $V_{n4} = ELVSS + V_{to}$
- [0069] N5: $V_{n5} = ELVSS + V_{to} + \Delta V1 = ELVSS + V_{to} + V_{data} - V_{ref} = ELVSS + V_{a}$
- [0070] 마지막으로, 제4 구간(T4)에서는 OLED의 열화를 보상한다. 상기 OLED의 열화 보상은 OLED의 애노드 전극에서의 전압 변화를 구동 트랜지스터(M1)에 반영시키는 것에 의하여 이루어질 수 있다.
- [0071] 제4 구간(T4)에서는, 발광 신호가 하이 레벨이며, 이전 주사 신호 및 주사 신호는 로우 레벨이다. 발광 신호에 의하여 제3, 제6 트랜지스터(M3, M6)가 On 상태가 된다. 제3 트랜지스터(M3)가 On 상태가 됨으로 인하여 OLED에 전류가 흐르게 된다. OLED에 전류가 흘러 발광상태가 되면, OLED의 애노드 전극인 제4 노드(N4)의 전압이 바뀌게 된다. 발광시 OLED의 애노드 전극과 캐소드 전극 사이의 전압을 V_{oled} 라고 하면, V_{n4} 는 $ELVSS + V_{oled}$ 가 된다. 여기서 V_{oled} 는 OLED의 열화 정도에 따라서 변하게 될 것이다. 또한 제6 트랜지스터(M6)가 On 상태가 되면, 제4 노드(N4) 및 제5 노드(N5)의 전압이 각각 $ELVSS + V_{oled}$ 로 변함에 따라서 제2 노드(N2)의 전압 V_{n2} 도 변하게 된다. 즉, 제3 커패시터(Cis) 및 제6 트랜지스터(M6)은 부스팅 커패시터 및 부스터 트랜지스터로서의 역할을 하게 된다. 상기 전압 변화를 계산해 보면, 제4 노드(N4)의 전압 변화에 따른 V_{n2} 의 전압 변화량은, $\Delta V2 * \{cs / (cs + cis)\}$ 이고, 제5 노드(N5)의 전압 변화에 따른 V_{n2} 의 전압 변화량은 $\Delta V3 * \{cis / (cs + cis)\}$ 이다. 여기서 $\Delta V2 = V_{oled} - V_{to}$ 이고, $\Delta V3 = V_{oled} - V_{a}$ 이고, cs 는 C1과 C2를 직렬연결할 때의 합성 저항이다. 상기 계산을 토대로 각 노드의 전압을 정리하면 다음과 같다.
- [0072] N2: $V_{n2} = ELVSS + V_{to} + V_{th} + V_{data} - V_{ref} + \Delta V2 * \{cs / (cs + cis)\} + \Delta V3 * \{cis / (cs + cis)\}$
- [0073] $= ELVSS + V_{to} + V_{th} + V_{data} - V_{ref} + (V_{oled} - V_{to}) * \{cs / (cs + cis)\}$

[0074]
$$+(V_{oled}-V_a)*\{cis/(cs+cis)\}$$

[0075] N4: $V_{n4} = ELVSS+V_{oled} \quad (\Delta V_2 = V_{oled}-V_{to})$

[0076] N5: $V_{n5} = ELVSS+V_{oled} \quad (\Delta V_3 = ELVSS+V_{oled}-(ELVSS+V_a) = V_{oled}-V_a)$

[0077] 여기서 제2 노드(N2)의 전압은 구동 트랜지스터(M1)의 게이트 전극의 전압이며, 제4 노드(N4)의 전압이 구동 트랜지스터(M1)의 소스 전극의 전압이다. 또한 $c_1, c_2 \gg cis$ 인 조건에 비추어 볼 때, $cs \gg cis$ 이다. 따라서,

[0078] $V_g = V_{n2} \approx ELVSS+V_{to}+V_{th}+V_{data}-V_{ref}+(V_{oled}-V_{to})+(V_{oled}-V_a)*\{cis/cs\}$

[0079]
$$= ELVSS+V_{th}+V_{data}-V_{ref}+V_{oled}+(V_{oled}-V_a)*\{cis/cs\}$$

[0080] $V_s = V_{n4} = ELVSS+V_{oled}$

[0081] 구동 트랜지스터(M1)에 의하여 OLED에 흐르는 전류는

[0082] $I = (\beta/2)(V_{gs}-V_{th})^2 = (\beta/2)(V_g-V_s-V_{th})^2$

[0083] $= (\beta/2)\{ELVSS+V_{th}+V_{data}-V_{ref}+V_{oled}+(V_{oled}-V_a)(cis/cs)-(ELVSS+V_{oled})-V_{th}\}^2$

[0084] $= (\beta/2)\{V_{data}-V_{ref}+(V_{oled}-V_a)(cis/cs)\}^2$

[0085] 이다. (여기서, β 는 이득 계수(gain factor)를 나타낸다.)

[0086] OLED에 흐르는 전류 I를 살펴보면, OLED의 열화에 따라서 변하는 값인 V_{oled} 값이 반영되어 있는 것을 확인할 수 있다.

[0087] 상기와 같이, 본 실시예에 따른 화소 회로 및 그 구동방법에 의하면, 제6 트랜지스터(M6) 및 제3 커패시터(Cis)를 사용하여 OLED의 열화에 따른 OLED의 애노드 전극의 전압 변화를 구동 트랜지스터(M1)의 게이트 전극에 반영시킬 수 있게 된다. 이로 인하여 유기 발광 표시 장치의 표시 성능이 저하되는 것을 방지할 수 있게 된다.

[0088] 아래의 [표 1]은 도 1의 회로에 대한 시뮬레이션 결과를 나타낸 것이다.

표 1

[0089]

	열화전	열화후
$V_{n5}(V)$	4.62	5.12
$V_{n2}(V)$	2.57	3.05

[0090] 상기 표에서 나타나듯이, V_{n5} 가 OLED의 열화에 따라서 증가되는 것을 확인할 수 있으며, V_{n5} 가 증가함에 따라서 V_{n2} 가 증가하는 것도 확인할 수 있다.

[0091] 아래의 [표 2]는 도 1의 회로에 대한 다른 시뮬레이션 결과를 나타낸 것이다.

표 2

[0092]

	$V_{n2}(V)$	$V_{n4}(V)$	I(A)	$\Delta I(A)$
표준	8.72	5.97	1.01E-06	0.00E+00
열화1	9.45	6.65	1.09E-06	8.13E-08
열화2	10.18	7.35	1.18E-06	1.63E-07

[0093] '표준'은 열화가 일어나지 않았을 경우를 나타내며, '열화1' 및 '열화2'는 OLED에 열화가 발생한 것으로 설정한 경우이다. 또한 '열화2'가 '열화1'보다 OLED의 열화가 더 진행된 경우이다.

[0094] 상기 표에서 나타나듯이, V_{n4} 가 증가함에 따라서 V_{n2} 가 같이 증가되는 것을 확인할 수 있었으며, 이로 인하여 흐르는 전류의 크기도 증가하는 것을 확인할 수 있었다.

[0095] OLED가 열화되는 경우 그렇지 않은 경우에 비하여 발광 효율이 떨어지므로, 열화된 OLED에서 동일한 계조를 표현하기 위하여는 OLED에 흐르는 전류의 크기를 증가시켜야 한다. 따라서 상기 [표 1] 및 [표 2]로부터, 제3 커패시터(Cis)의 커패시턴스 cis의 크기를 조절함으로써 인하여 V_{n2} 의 전압 변화량을 조절할 수 있으며, 결과적으로

OLED에 흐르는 전류의 크기를 조절할 수 있음을 예상할 수 있다.

- [0096] 도 3은 본 발명의 다른 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.
- [0097] 도 3을 참조하면, 본 실시예에 따른 화소 회로는 OLED, 제1 트랜지스터(M1) 내지 제6 트랜지스터(M6), 제1 커패시터(C1) 내지 제3 커패시터(Cis)를 구비하며, 각 소자의 연결 구성은 도 1의 화소 회로와 동일하다. 따라서 도 1의 화소 회로와 동일한 구성 또는 동작에 대하여는 설명을 생략하고, 도 1의 화소 회로와의 차이점을 중심으로 본 실시예에 따른 화소 회로를 설명하도록 한다.
- [0098] 본 실시예에서, 이전 주사 신호는 제2 트랜지스터(M2) 및 제4 트랜지스터(M4)의 게이트 전극에 인가된다. 따라서 제2 트랜지스터(M2)의 게이트 전극 및 제4 트랜지스터(M4)의 게이트 전극은 이전 주사 라인(S[N-1])과 연결된다.
- [0099] 주사 신호는 제5 트랜지스터(M5)의 게이트 전극에 인가된다. 따라서 제5 트랜지스터(M5)의 게이트 전극은 주사 라인(S[N])과 연결된다.
- [0100] 발광 신호는 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)의 게이트 전극에 인가된다. 따라서 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)의 게이트 전극은 발광 제어 라인(EM[N])과 연결된다.
- [0101] 제1 전원은 제1 전원전압(ELVDD)를 공급하며, 제2 전원은 제2 전원전압(ELVSS)를 공급한다. 상기 제2 전원전압(ELVSS)은 그라운드 전압(GND)일 수 있다. 또한 기준 전원은 기준 전압인 Vref를 공급하며, 상기 기준 전압 Vref는 하이 레벨 전압일 수 있다.
- [0102] 도 3의 화소 회로의 동작은 도 1의 화소 회로의 동작과 동일하며, 도 2의 타이밍도에 따라서 동작한다. 다만, 본 실시예에서는 제4 트랜지스터(M4)가 먼저 On 된 후에 제5 트랜지스터(M5)가 On 상태가 되므로, 최종적으로 OLED에 흐르는 전류는
- [0103]
$$I = (\beta/2)\{V_{ref}-V_{data}+(V_{oled}-V_a)(c_{is}/c_s)\}^2$$
- [0104] 가 된다.
- [0105] 도 4는 본 발명의 다른 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.
- [0106] 도 4를 참조하면, 본 실시예에 따른 화소 회로는 OLED, 제1 트랜지스터(M1) 내지 제6 트랜지스터(M6), 제1 커패시터(C1) 내지 제3 커패시터(Cis)를 구비하며, 각 소자의 연결 구성은 도 3의 화소 회로와 동일하다. 따라서 도 3의 화소 회로와 동일한 구성 또는 동작에 대하여는 설명을 생략하고, 도 3의 화소 회로와의 차이점을 중심으로 본 실시예에 따른 화소 회로를 설명하도록 한다.
- [0107] 본 실시예에서, 이전 주사 신호는 제2 트랜지스터(M2) 및 제4 트랜지스터(M4)의 게이트 전극에 인가된다. 따라서 제2 트랜지스터(M2)의 게이트 전극 및 제4 트랜지스터(M4)의 게이트 전극은 이전 주사 라인(S[N-1])과 연결된다.
- [0108] 주사 신호는 제5 트랜지스터(M5)의 게이트 전극에 인가된다. 따라서 제5 트랜지스터(M5)의 게이트 전극은 주사 라인(S[N])과 연결된다.
- [0109] 한편, 본 실시예에서는 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)의 게이트 전극에 발광 신호 대신에 클럭 신호(CLK)가 인가된다. 상기 클럭 신호(CLK)는 시스템 클럭으로부터 생성된 것일 수 있으며, 이 경우 발광 신호를 생성하기 위한 별도의 구동부를 구비할 필요가 없다.
- [0110] 도 4의 화소 회로에서 OLED에 흐르는 전류는 도 3의 화소 회로와 마찬가지로
- [0111]
$$I = (\beta/2)\{V_{ref}-V_{data}+(V_{oled}-V_a)(c_{is}/c_s)\}^2$$
- [0112] 가 된다.
- [0113] 상기와 같이, 본 실시예에 따른 화소 회로 및 그 구동방법에 의하면, 제2 트랜지스터(M2) 내지 제6 트랜지스터(M6)에 인가되는 신호의 종류가 변경되는 경우라 하더라도, 제6 트랜지스터(M6) 및 제3 커패시터(Cis)를 사용하여 OLED의 열화에 따른 OLED의 애노드 전극의 전압 변화를 구동 트랜지스터(M1)의 게이트 전극에 반영시킬 수 있게 된다. 이로 인하여 유기 발광 표시 장치의 표시 성능이 저하되는 것을 방지할 수 있게 된다.
- [0114] 도 5는 본 발명의 다른 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.

- [0115] 도 5를 참조하면, 본 실시예에 따른 화소 회로는 OLED, 제1 트랜지스터(M1) 내지 제7 트랜지스터(M7), 제1 커패시터(C1) 내지 제3 커패시터(Cis)를 구비하며, 각 소자의 연결 구성은 도 1의 화소 회로와 동일하다. 따라서 도 1의 화소 회로와 동일한 구성 또는 동작에 대하여는 설명을 생략하고, 도 1의 화소 회로와의 차이점을 중심으로 본 실시예에 따른 화소 회로를 설명하도록 한다.
- [0116] 본 실시예에서는 도 1의 화소 회로에 제7 트랜지스터(M7)를 더 포함한다.
- [0117] 제7 트랜지스터(M7)는 제1 전극이 제1 전원에 연결되고, 제2 전극이 제6 트랜지스터(M6)의 제1 전극과 연결된다. 또한 제7 트랜지스터(M7)의 게이트 전극에는 외부로부터의 제어 신호가 인가된다. 상기 외부로부터의 제어 신호에 의하여 제7 트랜지스터(M7)가 On 상태가 되면, 제5 노드(N5)에 제1 전원전압(ELVDD)이 인가된다. 상기 외부로부터의 제어 신호는 제4 트랜지스터(M4)의 게이트 전극에 인가되는 상기 주사 신호일 수 있다. 따라서 제7 트랜지스터(M7)의 게이트 전극은 주사 라인(S[N])과 연결된다.
- [0118] 제1 전원은 제1 전원전압(ELVDD)를 공급하며, 제2 전원은 제2 전원전압(ELVSS)를 공급한다. 상기 제2 전원전압(ELVSS)은 그라운드 전압(GND)일 수 있다. 또한 기준 전원은 기준 전압인 Vref를 공급하며, 상기 기준 전압 Vref는 그라운드 전압(GND)일 수 있다.
- [0119] 도 5의 화소 회로의 동작을 도 2의 타이밍도에 기초하여 설명하도록 한다.
- [0120] 제1 구간(T1)에서는 초기화 동작이 수행된다.
- [0121] 제1 구간(T1)에서는, 이전 주사 라인(S[N-1])에 이전 주사 신호가 공급되고 발광 제어 라인(EM[N])에 발광 신호가 공급된다. 즉, 이전 주사 신호 및 발광 신호가 하이 레벨이 된다. 상기 이전 주사 신호 및 발광 신호에 의하여 제2, 제3, 제5 및 제6 트랜지스터(M2, M3, M5, M6)가 On 상태가 되고, 이로 인하여 화소 회로의 각 노드가 초기화 된다. 이 때, 주사 라인(S[N])에서의 주사 신호는 로우 레벨이다.
- [0122] 제2 구간(T2)에서는 구동 트랜지스터(M1)를 다이오드 연결시켜 OLED 자체의 문턱 전압 및 구동 트랜지스터(M1)의 문턱 전압을 보상한다.
- [0123] 제2 구간(T2)에서는, 이전 주사 신호가 하이 레벨이며, 주사 신호 및 발광 신호는 로우 레벨이다. 이전 주사 신호에 의하여 제2, 제5 트랜지스터(M2, M5)가 On 상태가 된다. OLED의 애노드 전극을 제4 노드(N4)라고 하고, OLED의 문턱 전압을 Vto라고 할 때, 제 4노드(N4)의 전압 Vn4는 제2 전원전압(ELVSS)보다 Vto만큼 높은 ELVSS + Vto 이다. 구동 트랜지스터(M1)가 다이오드 연결이 되어 있기 때문에 제2 노드(N2)의 전압 Vn2는 ELVSS+Vto+Vth이다. 제3 노드(N3)의 전압 Vn3는 기준 전압인 Vref가 된다. 또한 제5 노드(N5)의 전압 Vn5는 ELVSS+Vto가 된다. 각 노드의 전압을 정리하면 다음과 같다.
- [0124] N2: $Vn2 = ELVSS+Vto+Vth$
- [0125] N3: $Vn3 = Vref$
- [0126] N4: $Vn4 = ELVSS+Vto$
- [0127] N5: $Vn5 = ELVSS+Vto$
- [0128] 다음으로, 제3 구간(T3)에서는 데이터의 기입이 이루어진다.
- [0129] 제3 구간(T3)에서는, 주사 신호가 하이 레벨이며, 이전 주사 신호 및 발광 신호는 로우 레벨이다. 주사 신호에 의하여 제4 트랜지스터(M4)가 On 상태가 되며, 이로 인하여 제3 노드(N3)에 데이터 전압 Vdata가 인가된다. 또한 제7 트랜지스터(M7)가 On 상태가 되어, 제5 노드(N5)에 제1 전원전압(ELVDD)이 인가된다. 제3 노드(N3) 및 제5 노드(N5)의 전압 변화는 제2 노드(N2)에 반영되며, 제2 노드(N2)에서의 전압을 계산하면 다음과 같다. 제3 노드(N3)의 전압 변화에 따른 Vn2의 전압 변화량은, $\Delta V4 * \{c1 / (c1 + cis)\}$ 이고, 제5 노드(N5)의 전압 변화에 따른 Vn2의 전압 변화량은 $\Delta V5 * \{cis / (c1 + cis)\}$ 이다. 여기서 $\Delta V4 = Vdata - Vref$ 이고, $\Delta V5 = ELVDD - (ELVSS + Vto)$ 이다. 상기 계산을 토대로 각 노드의 전압을 정리하면 다음과 같다.
- [0130] N2: $Vn2 = ELVSS+Vto+Vth + \Delta V4 * \{c1 / (c1 + cis)\} + \Delta V5 * \{cis / (c1 + cis)\}$
- [0131] $= ELVSS+Vto+Vth + (Vdata - Vref) * \{c1 / (c1 + cis)\}$
- [0132] $+ \{ELVDD - (ELVSS + Vto)\} * \{cis / (c1 + cis)\}$
- [0133] N3: $Vn3 = Vdata$ ($\Delta V4 = Vdata - Vref$)

- [0134] N4: $V_{n4} = ELVSS + V_{to}$
- [0135] N5: $V_{n5} = ELVDD$ ($\Delta V_5 = ELVDD - (ELVSS + V_{to})$)
- [0136] 마지막으로, 제4 구간(T4)에서는 OLED의 열화를 보상한다. 상기 OLED의 열화 보상은 OLED의 애노드 전극에서의 전압 변화를 구동 트랜지스터(M1)에 반영시키는 것에 의하여 이루어질 수 있다.
- [0137] 제4 구간(T4)에서는, 발광 신호가 하이 레벨이며, 이전 주사 신호 및 주사 신호는 로우 레벨이다. 발광 신호에 의하여 제3, 제6 트랜지스터(M3, M6)가 On 상태가 된다. 제3 트랜지스터(M3)가 On 상태가 됨으로 인하여 OLED에 전류가 흐르게 된다. OLED에 전류가 흘러 발광상태가 되면, OLED의 애노드 전극인 제4 노드(N4)의 전압이 바뀌게 된다. 발광시 OLED의 애노드 전극과 캐소드 전극 사이의 전압을 V_{oled} 라고 하면, V_{n4} 는 $ELVSS + V_{oled}$ 가 된다. 여기서 V_{oled} 는 OLED의 열화 정도에 따라서 변하게 될 것이다. 또한 제6 트랜지스터(M6)가 On 상태가 되면, 제4 노드(N4) 및 제5 노드(N5)의 전압이 각각 $ELVSS + V_{oled}$ 로 변함에 따라서 제2 노드(N2)의 전압 V_{n2} 도 변하게 된다. 즉, 제3 커패시터(Cis) 및 제6 트랜지스터(M6)은 부스팅 커패시터 및 부스터 트랜지스터로서의 역할을 하게 된다. 상기 전압 변화를 계산해 보면, 제4 노드(N4)의 전압 변화에 따른 V_{n2} 의 전압 변화량은 $\Delta V_6 * \{cs / (cs + cis)\}$ 이고, 제5 노드(N5)의 전압 변화에 따른 V_{n2} 의 전압 변화량은 $\Delta V_7 * \{cis / (cs + cis)\}$ 이다. 여기서 $\Delta V_6 = V_{oled} - V_{to}$ 이고, $\Delta V_7 = ELVSS + V_{oled} - ELVDD$ 이고, cs는 C1과 C2를 직렬연결할 때의 합성 저항이다. 상기 계산을 토대로 각 노드의 전압을 정리하면 다음과 같다.
- [0138] N2: $V_{n2} = ELVSS + V_{to} + V_{th} + (V_{data} - V_{ref}) * \{c1 / (c1 + cis)\}$
- [0139] $+ \{ELVDD - (ELVSS + V_{to})\} * \{cis / (c1 + cis)\} + (V_{oled} - V_{to}) * \{cs / (cs + cis)\}$
- [0140] $+ (ELVSS + V_{oled} - ELVDD) * \{cis / (cs + cis)\}$
- [0141] N4: $V_{n4} = ELVSS + V_{oled}$ ($\Delta V_6 = V_{oled} - V_{to}$)
- [0142] N5: $V_{n5} = ELVSS + V_{oled}$ ($\Delta V_7 = ELVSS + V_{oled} - ELVDD$)
- [0143] 여기서 제2 노드(N2)의 전압은 구동 트랜지스터(M1)의 게이트 전극의 전압이며, 제4 노드(N4)의 전압이 구동 트랜지스터(M1)의 소스 전극의 전압이다. 또한 $c1, c2 \gg cis$ 인 조건에 비추어 볼 때, $cs \gg cis$ 이다. 따라서,
- [0144] $V_g = V_{n2} \approx ELVSS + V_{to} + V_{th} + V_{data} - V_{ref} + (V_{oled} - V_{to})$
- [0145] $+ (ELVSS + V_{oled} - ELVDD) * \{cis / cs\}$
- [0146] $= ELVSS + V_{th} + V_{data} - V_{ref} + V_{oled} + (ELVSS + V_{oled} - ELVDD) * \{cis / cs\}$
- [0147] $V_s = V_{n4} = ELVSS + V_{oled}$
- [0148] 구동 트랜지스터(M1)에 의하여 OLED에 흐르는 전류는
- [0149] $I = (\beta / 2)(V_{gs} - V_{th})^2 = (\beta / 2)(V_g - V_s - V_{th})^2$
- [0150] $= (\beta / 2)\{ELVSS + V_{th} + V_{data} - V_{ref} + V_{oled} + (ELVSS + V_{oled} - ELVDD)(cis / cs)$
- [0151] $- (ELVSS + V_{oled}) - V_{th}\}^2$
- [0152] $= (\beta / 2)\{V_{data} - V_{ref} + (ELVSS + V_{oled} - ELVDD)(cis / cs)\}^2$
- [0153] 이다. (여기서, β 는 이득 계수(gain factor)를 나타낸다.)
- [0154] OLED에 흐르는 전류 I를 살펴보면, OLED의 열화에 따라서 변하는 값인 V_{oled} 값이 반영되어 있는 것을 확인할 수 있다.
- [0155] 상기와 같이, 본 실시예에 따른 화소 회로 및 그 구동방법에 의하면, 제6 트랜지스터(M6), 제7 트랜지스터(M7) 및 제3 커패시터(Cis)를 사용하여 OLED의 열화에 따른 OLED의 애노드 전극의 전압 변화를 구동 트랜지스터(M1)의 게이트 전극에 반영시킬 수 있게 된다. 이로 인하여 유기 발광 표시 장치의 표시 성능이 저하되는 것을 방지할 수 있게 된다.
- [0156] 아래의 [표 3]은 도 5의 회로에 대한 시뮬레이션 결과를 나타낸 것이다.

표 3

[0157]

	열화전	열화후
Vn5(V)	-6.03	-4.59
Vn2(V)	1.69	2.3

[0158]

상기 표에서 나타나듯이, Vn5가 OLED의 열화에 따라서 증가되는 것을 확인할 수 있으며, Vn5가 증가함에 따라서 Vn2가 증가하는 것도 확인할 수 있다.

[0159]

아래의 [표 4]는 도 5의 회로에 대한 다른 시뮬레이션 결과를 나타낸 것이다.

표 4

[0160]

	Vn2(V)	Vn4(V)	I(A)	Δ I(A)
표준	8.71	5.69	1.01E-06	0.00E+00
열화1	9.49	6.68	1.12E-06	1.13E-07
열화2	10.27	7.41	1.24E-06	2.27E-07

[0161]

'표준'은 열화가 일어나지 않았을 경우를 나타내며, '열화1' 및 '열화2'는 OLED에 열화가 발생한 것으로 설정한 경우이다. 또한 '열화2'가 '열화1'보다 OLED의 열화가 더 진행된 경우이다.

[0162]

상기 표에서 나타나듯이, Vn4가 증가함에 따라서 Vn2가 같이 증가되는 것을 확인할 수 있었으며, 이로 인하여 흐르는 전류의 크기도 증가하는 것을 확인할 수 있었다.

[0163]

OLED가 열화되는 경우 그렇지 않은 경우에 비하여 발광 효율이 떨어지므로, 열화된 OLED에서 동일한 계조를 표현하기 위하여는 OLED에 흐르는 전류의 크기를 증가시켜야 한다. 따라서 상기 [표 3] 및 [표 4]로부터, 제3 커패시터(Cis)의 커패시턴스 cis의 크기를 조절함으로써 인하여 Vn2의 전압 변화량을 조절할 수 있으며, 결과적으로 OLED에 흐르는 전류의 크기를 조절할 수 있음을 예상할 수 있다.

[0164]

도 6은 본 발명의 다른 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.

[0165]

도 6을 참조하면, 본 실시예에 따른 화소 회로는 OLED, 제1 트랜지스터(M1) 내지 제7 트랜지스터(M7), 제1 커패시터(C1) 내지 제3 커패시터(Cis)를 구비하며, 각 소자의 연결 구성은 도 5의 화소 회로와 동일하다. 따라서 도 5의 화소 회로와 동일한 구성 또는 동작에 대하여는 설명을 생략하고, 도 5의 화소 회로와의 차이점을 중심으로 본 실시예에 따른 화소 회로를 설명하도록 한다.

[0166]

본 실시예에서, 이전 주사 신호는 제2 트랜지스터(M2) 및 제4 트랜지스터(M4)의 게이트 전극에 인가된다. 따라서 제2 트랜지스터(M2)의 게이트 전극 및 제4 트랜지스터(M4)의 게이트 전극은 이전 주사 라인(S[N-1])과 연결된다.

[0167]

주사 신호는 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)의 게이트 전극에 인가된다. 따라서 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)의 게이트 전극은 주사 라인(S[N])과 연결된다.

[0168]

발광 신호는 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)의 게이트 전극에 인가된다. 따라서 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)의 게이트 전극은 발광 제어 라인(EM[N])과 연결된다.

[0169]

제1 전원은 제1 전원전압(ELVDD)를 공급하며, 제2 전원은 제2 전원전압(ELVSS)를 공급한다. 상기 제2 전원전압(ELVSS)은 그라운드 전압(GND)일 수 있다. 또한 기준 전원은 기준 전압인 Vref를 공급하며, 상기 기준 전압 Vref는 하이 레벨 전압일 수 있다.

[0170]

도 6의 화소 회로의 동작은 도 5의 화소 회로의 동작과 동일하며, 도 2의 타이밍도에 따라서 동작한다. 다만, 본 실시예에서는 제4 트랜지스터(M4)가 먼저 On 된 후에 제5 트랜지스터(M5)가 On 상태가 되므로, 최종적으로 OLED에 흐르는 전류는

[0171]

$$I = (\beta / 2) \{V_{ref} - V_{data} + (ELVSS + V_{oled} - ELVDD)\}^2 (cis / cs)^2$$

[0172]

가 된다.

- [0173] 도 7은 본 발명의 다른 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.
- [0174] 도 7을 참조하면, 본 실시예에 따른 화소 회로는 OLED, 제1 트랜지스터(M1) 내지 제7 트랜지스터(M7), 제1 커패시터(C1) 내지 제3 커패시터(Cis)를 구비하며, 각 소자의 연결 구성은 도 6의 화소 회로와 동일하다. 따라서 도 6의 화소 회로와 동일한 구성 또는 동작에 대하여는 설명을 생략하고, 도 6의 화소 회로와의 차이점을 중심으로 본 실시예에 따른 화소 회로를 설명하도록 한다.
- [0175] 본 실시예에서, 이전 주사 신호는 제2 트랜지스터(M2) 및 제4 트랜지스터(M4)의 게이트 전극에 인가된다. 따라서 제2 트랜지스터(M2)의 게이트 전극 및 제4 트랜지스터(M4)의 게이트 전극은 이전 주사 라인(S[N-1])과 연결된다.
- [0176] 주사 신호는 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)의 게이트 전극에 인가된다. 따라서 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)의 게이트 전극은 주사 라인(S[N])과 연결된다.
- [0177] 한편, 본 실시예에서는 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)의 게이트 전극에 발광 신호 대신에 클럭 신호(CLK)가 인가된다. 상기 클럭 신호(CLK)는 시스템 클럭으로부터 생성된 것일 수 있으며, 이 경우 발광 신호를 생성하기 위한 별도의 구동부를 구비할 필요가 없다.
- [0178] 도 7의 화소 회로에서 OLED에 흐르는 전류는 도 6의 화소 회로와 마찬가지로
- [0179]
$$I = (\beta / 2) \{V_{ref} - V_{data} + (ELVSS + V_{oled} - ELVDD)(cis/cs)\}^2$$
- [0180] 가 된다.
- [0181] 상기와 같이, 본 실시예에 따른 화소 회로 및 그 구동방법에 의하면, 제2 트랜지스터(M2) 내지 제6 트랜지스터(M6)에 인가되는 신호의 종류가 변경되는 경우라 하더라도, 제6 트랜지스터(M6), 제7 트랜지스터(M7) 및 제3 커패시터(Cis)를 사용하여 OLED의 열화에 따른 OLED의 애노드 전극의 전압 변화를 구동 트랜지스터(M1)의 게이트 전극에 반영시킬 수 있게 된다. 이로 인하여 유기 발광 표시 장치의 표시 성능이 저하되는 것을 방지할 수 있게 된다.
- [0182] 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)를 나타내는 도면이다.
- [0183] 도 8을 참조하면, 본 실시예에 따른 유기 발광 표시 장치(100)는 디스플레이 패널(110), 주사 구동부(120), 데이터 구동부(130), 및 발광 구동부(140)를 포함한다.
- [0184] 디스플레이 패널(110)은 n x m 개의 화소 영역(pixel), 행 방향으로 형성된 n개의 주사 라인(S[1]...S[n]), 열 방향으로 형성된 m개의 데이터 라인(D[1]...D[m]), 행 방향으로 형성된 n개의 발광 제어 라인(EM[1]...EM[n]), 제 1 전원전압(ELVDD) 인가용 배선 및 제2 전원전압(ELVSS) 인가용 배선을 포함한다. 각 화소 영역은 도 1, 도 3 내지 도 7에서 도시한 화소 회로들이 형성될 수 있다.
- [0185] 주사 라인(S[1]...S[n])은 화소 영역(pixel)에 주사 신호를 전달한다. 또한, 데이터 라인(D[1]...D[m])은 화소 영역(pixel)에 데이터 신호를 전달한다.
- [0186] 주사 구동부(120)는 복수의 주사 라인들(S[1]...S[n])에 주사 신호를 공급한다. 주사 신호는 주사 라인(S[1]...S[n])에 순차적으로 인가되며, 상기 주사 신호에 맞춰 데이터 신호가 화소 회로에 인가된다.
- [0187] 데이터 구동부(130)는 복수의 데이터 라인들(D[1]...D[m])에 데이터 신호를 인가한다. 데이터 신호는 데이터 구동부 내의 전압원 또는 전류원으로부터 출력될 수 있다.
- [0188] 발광 구동부(140)는 복수의 발광 제어 라인들(EM[1]...EM[n])에 발광 신호를 인가한다.
- [0189] 상기 주사 신호 및 발광 신호의 타이밍은 도 2에 도시한 것과 같은 것일 수 있다.
- [0190] 상기 화소 영역은 상기 주사 라인들(S[1]...S[n]), 데이터 라인들(D[1]...D[m]), 발광 제어 라인들(EM[1]...EM[n])의 교차부마다 구비될 수 있다.
- [0191] 상기와 같이, 본 실시예에 따른 유기 발광 표시 장치는 OLED의 열화를 보상하는 화소 회로를 포함함으로써 인하여 표시 성능이 저하되는 것을 방지할 수 있게 된다.
- [0192] 이상에서 언급된 본 실시예 및 그 변형예들에 따른 화소 회로의 구동방법을 실행하기 위한 프로그램은 기록매체에 저장될 수 있다. 여기서 기록매체라 함은 마그네틱 저장매체(예컨대, 롬(ROM), 플로피 디스크, 하드디스크

등) 및 광학적 판독 매체(예컨대, 씨디롬(CD-ROM), 디브이디(DVD: Digital Versatile Disc))와 같은 저장매체를 포함한다.

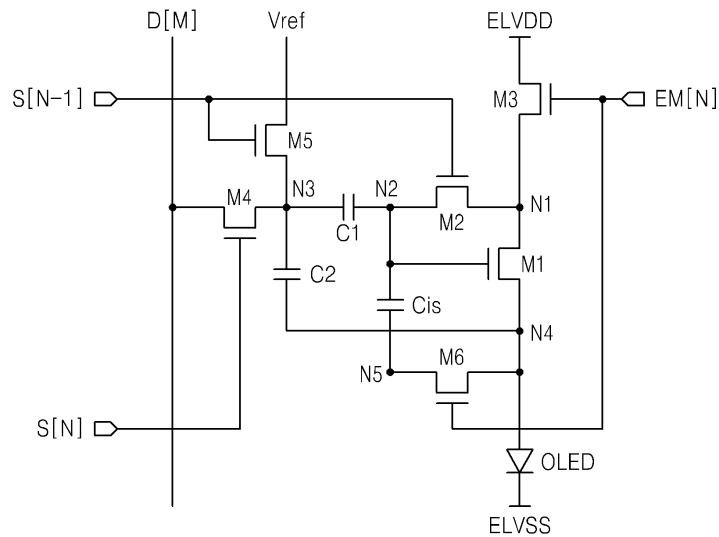
[0193] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

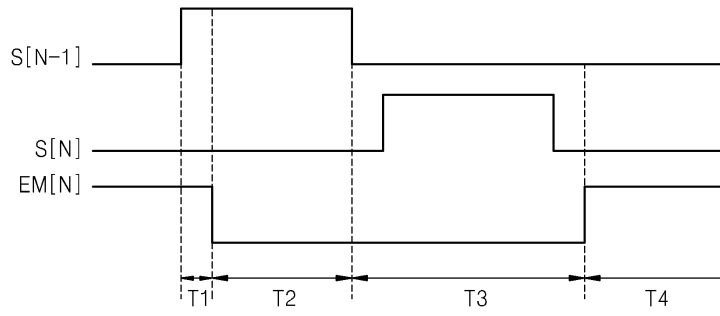
- [0194] 도 1은 본 발명의 일 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.
- [0195] 도 2는 도 1의 디스플레이 패널의 화소 회로를 구동하기 위한 타이밍도이다.
- [0196] 도 3은 본 발명의 다른 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.
- [0197] 도 4는 본 발명의 다른 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.
- [0198] 도 5는 본 발명의 다른 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.
- [0199] 도 6은 본 발명의 다른 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.
- [0200] 도 7은 본 발명의 다른 실시예에 따른 디스플레이 패널의 화소 회로를 나타내는 도면이다.
- [0201] 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 도면이다.

도면

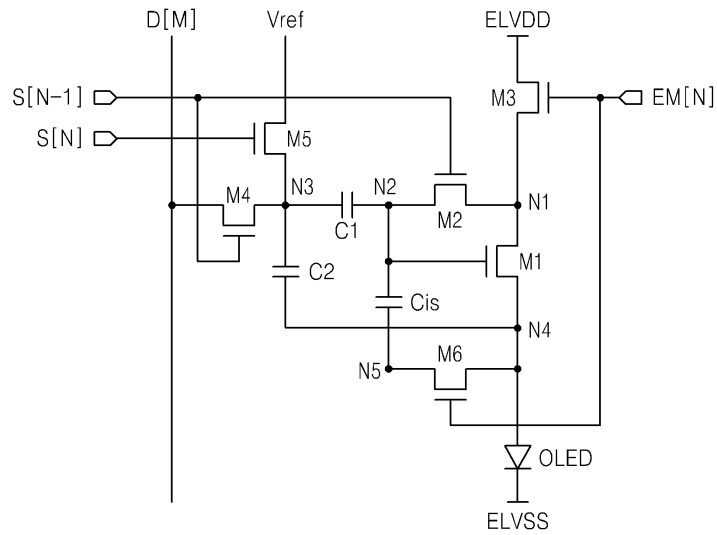
도면1



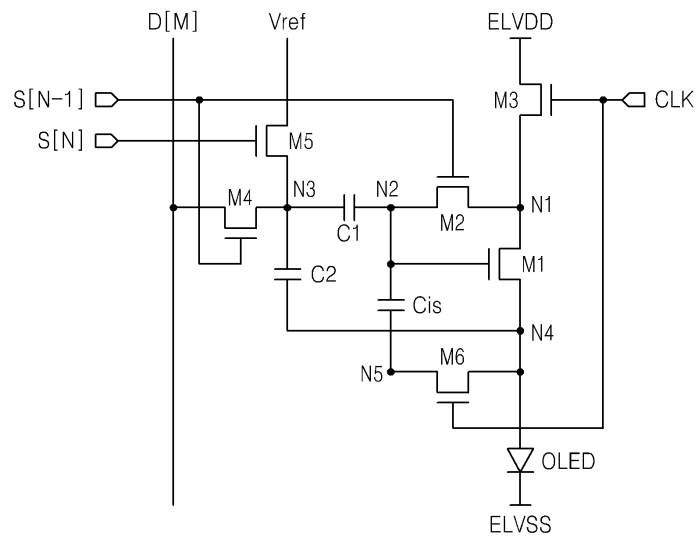
도면2



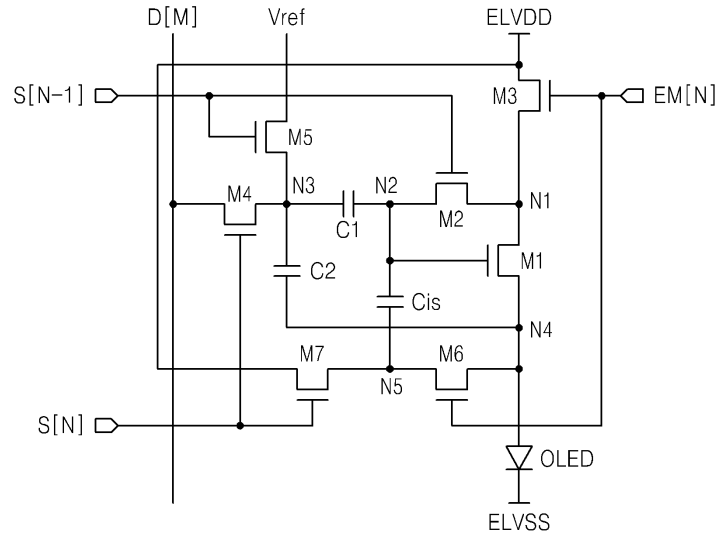
도면3



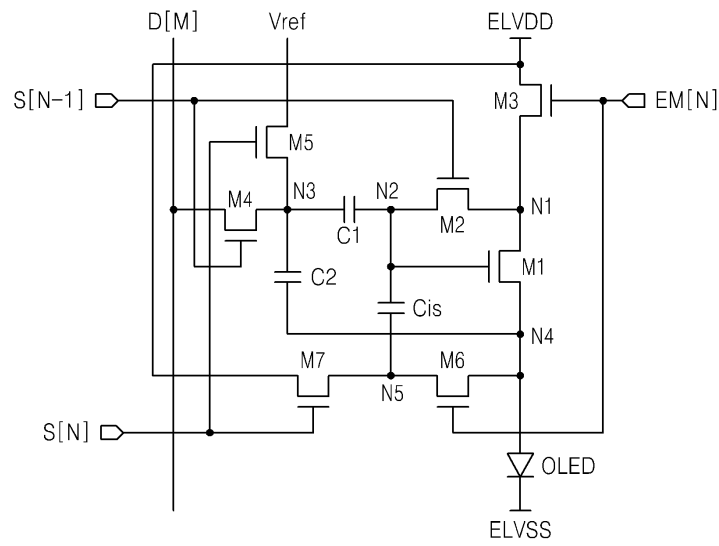
도면4



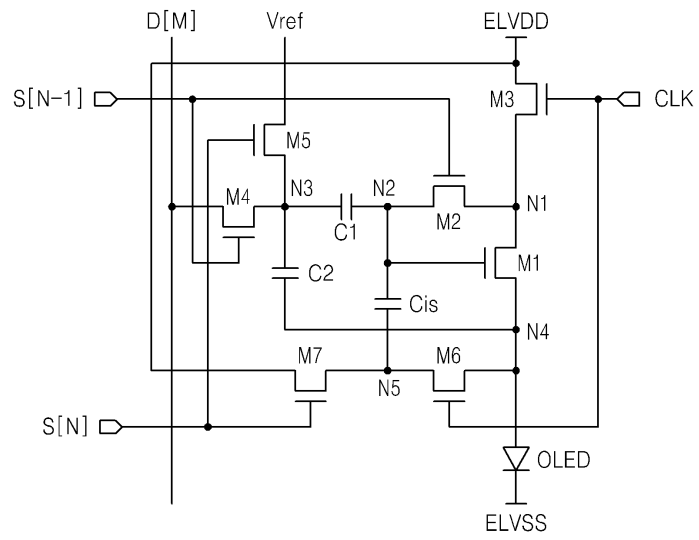
도면5



도면6



도면7



专利名称(译)	标题：显示面板的PIXEL电路，其驱动方法和OLED显示器		
公开(公告)号	KR101058111B1	公开(公告)日	2011-08-24
申请号	KR1020090089646	申请日	2009-09-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	CHUNG BO YONG 정보용 KIM KEUM NAM 김금남		
发明人	정보용 김금남		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/043 G09G2300/0819 G09G2300/0852 G09G2310/0262 G09G2320/045		
其他公开文献	KR1020110032251A		
外部链接	Espacenet		

摘要(译)

用途：提供显示面板的像素电路及其控制方法，以及包括该显示面板的有机发光显示器，以补偿发光中驱动晶体管的源极电极的电压变化。组成：在显示器的像素电路中面板，其控制方法，OLED包括阳极和阴极，NMOS晶体管 (M1~M6) 包括第一电极，第二电极和栅电极。第一电容器 (C1) 插入第二电极之间节点和第三个节点。第二电容器 (C2) 连接在OLED的第三节点和阳极之间。第三电容器 (Cis) 连接在第二节点和第六NMOS晶体管的第一电极之间。COPYRIGHT KIPO 2011

