



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월20일  
(11) 등록번호 10-0840100  
(24) 등록일자 2008년06월13일

(51) Int. Cl.

H05B 33/02 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2007-0067076

(22) 출원일자 2007년07월04일

심사청구일자 2007년07월04일

(56) 선행기술조사문헌

KR1020060010988 A

(뒷면에 계속)

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

곽원규

경기도 성남시 분당구 구미동 88번지 까치주공  
APT 207-903

천해진

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙  
연구소

엄기명

충청남도 천안시 성성동 508번지 삼성SDI(주)

(74) 대리인

신영무

전체 청구항 수 : 총 11 항

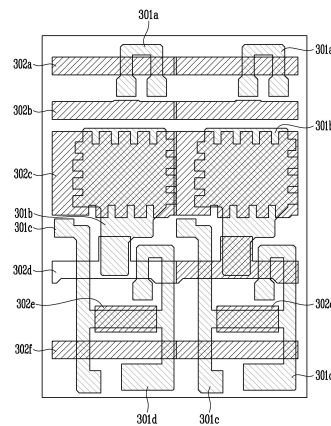
심사관 : 하정균

(54) 유기전계발광표시장치 및 그의 제조방법

(57) 요약

본 발명은 구동전류를 전달받아 발광하는 유기발광다이오드, 게이트에 데이터신호에 대응되는 전압을 전달받아 소스에서 드레인 방향으로 상기 구동전류를 전달하는 제 1 트랜지스터, 주사신호에 대응하여 상기 데이터신호를 전달하는 제 2 트랜지스터, 상기 데이터신호에 대응하는 전압을 저장하여 상기 제 1 트랜지스터의 게이트에 인가하는 제 1 캐패시터 및 저장된 전압을 조절하여 상기 제 1 캐패시터에 저장된 전압을 조절하는 제 2 캐패시터를 포함하되, 상기 제 1 캐패시터의 외곽부에 굴곡된 형상을 갖는 화소를 제공하는 것이다.

대표도 - 도5



(56) 선행기술조사문헌

KR1020060134405 A

KR1020050041088 A

KR1019990012260 A

KR1020060000362 A

---

## 특허청구의 범위

### 청구항 1

구동전류를 전달받아 발광하는 유기발광다이오드;

게이트에 데이터신호에 대응되는 전압을 전달받아 소스에서 드레인 방향으로 상기 구동전류를 전달하는 제 1 트랜지스터;

주사신호에 대응하여 상기 데이터신호를 전달하는 제 2 트랜지스터;

상기 데이터신호에 대응하는 전압을 저장하여 상기 제 1 트랜지스터의 게이트에 인가하는 제 1 캐패시터; 및  
저장된 전압을 조절하여 상기 제 1 캐패시터에 저장된 전압을 조절하는 제 2 캐패시터를 포함하되,  
상기 제 1 캐패시터의 외곽부에 굴곡된 형상을 갖는 화소.

### 청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터의 게이트와 드레인에 연결되어 상기 주사신호에 의해 상기 게이트와 드레인이 단락되도록 하는 제 3 트랜지스터를 더 구비하는 화소.

### 청구항 3

제 1 항에 있어서,

상기 제 1 캐패시터에 연결되어 상기 제 1 캐패시터에 초기화신호를 전달하는 제 4 트랜지스터를 더 구비하는 화소.

### 청구항 4

제 3 항에 있어서,

상기 제 4 트랜지스터는 이전 주사선에 의해 전달되는 주사신호에 의해 스위칭동작을 수행하는 화소.

### 청구항 5

제 1 항에 있어서,

발광제어신호에 의해 상기 제 1 트랜지스터에 제 1 전원을 전달하는 제 5 트랜지스터와 상기 발광제어신호에 의해 상기 제 1 트랜지스터에서 생성된 상기 구동전류를 상기 유기발광다이오드에 전달하는 제 6 트랜지스터를 포함하는 화소.

### 청구항 6

제 1 항에 있어서,

이전 주사선에 전달되는 주사신호에 의해 스위칭 동작을 하며, 상기 제 1 트랜지스터의 문턱전압에 대응하는 전압을 상기 제 2 캐패시터에 전달하는 제 3 트랜지스터;

상기 이전 주사선에 전달되는 주사신호에 의해 스위칭 동작을 하며, 화소전압을 상기 제 2 캐패시터에 전달하는 제 4 트랜지스터; 및

발광제어신호에 의해 스위칭 동작을 수행하여 상기 제 1 트랜지스터에서 전달된 구동전류를 상기 유기발광다이오드에 전달하는 제 5 트랜지스터를 포함하는 화소.

### 청구항 7

기판;

상기 기판 상에 형성되며, 복수의 박막트랜지스터의 활성층, 제 1 및 제 2 캐패시터의 제 1 전극이 되는 폴리실리콘층;

상기 폴리실리콘 층의 상부에 형성되며, 주사선, 상기 박막트랜지스터의 게이트 전극, 상기 제 1 및 제 2 캐패시터의 제 2 전극이 되는 금속층을 포함하되,

상기 폴리실리콘 층 중 상기 제 1 캐패시터의 제 1 전극이 되는 폴리실리콘층의 외곽부는 굴곡된 형상을 갖는 유기전계발광표시장치.

**청구항 8**

제 7 항에 있어서,

상기 금속층 중 상기 제 1 캐패시터의 제 2 전극이 되는 금속층의 외곽부가 굴곡된 형상을 갖는 유기전계발광표시장치.

**청구항 9**

유기전계발광표시장치 제조방법에 있어서,

폴리실리콘 층을 증착하고 에칭하여, 폴리 실리콘 층의 일부의 외곽부가 굴곡된 형상을 갖게 하는 단계; 및

상기 폴리 실리콘 층 상부에 금속층을 증착하고 에칭하여, 상기 금속층의 일부의 외곽부가 굴곡된 형상을 갖게 하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

**청구항 10**

제 9 항에 있어서,

상기 폴리실리콘층과 상기 금속층에 의해 제 1 캐패시터와 상기 제 2 캐패시터가 형성되며, 상기 외곽부가 돌출되게 형성된 폴리실리콘층에 의해 상기 제 1 캐패시터의 제 1 전극이 형성되고 상기 외곽부가 돌출되게 형성된 금속층에 의해 상기 제 1 캐패시터의 제 2 전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

**청구항 11**

제 10 항에 있어서,

상기 제 1 캐패시터의 상기 돌출된 형상에 의해 상기 폴리실리콘 층과 상기 금속층이 에칭되는 면적이 비율이 상기 제 2 캐패시터가 에칭되는 면적의 비율보다 더 크게 되는 유기전계발광표시장치의 제조방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 유기전계발광표시장치 및 그의 제조방법에 관한 것으로, 더욱 상세히 설명하면, 유기전계발광표시장치의 화질이 개선되도록 하는 유기전계발광표시장치 및 그의 제조방법에 관한 것이다.

**배경기술**

- <2> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기 전계발광 표시장치(Organic Light Emitting Display) 등이 있다.
- <3> 평판표시장치 중 유기 전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)들을 이용하여 화상을 표시한다.
- <4> 이와 같은 상기 유기 전계발광 표시장치는 색 재현성의 뛰어난과 얇은 두께 등의 여러 가지 이점으로 응용분야에서 휴대폰용 이외에도 PDA, MP3, DSC 등으로 시장이 크게 확대되고 있다.
- <5> 도 1은 일반적인 유기전계발광표시장치에서 채용된 회로를 나타내는 회로도이다. 도 1을 참조하여 설명하면, 회로는 제 1 트랜지스터(T1), 제 2 트랜지스터(T2), 캐패시터(Cst) 및 유기발광다이오드(OLED)를 포함한다.

<6> 제 1 트랜지스터(T1)는 소스는 제 1 전원에 연결되고 드레인인 유기발광다이오드에 연결되며 게이트는 노드에 연결되고, 제 2 트랜지스터(T2)는 소스는 데이터선에 연결되고 드레인인 노드(N1)에 연결되며 게이트는 주사선(Sn)에 연결되며, 캐패시터(Cst)는 제 1 전극이 제 1 전원(ELVDD)에 연결되고 제 2 전극은 노드(N1)에 연결된다. 그리고, 유기발광다이오드(OLED)는 애노드 전극, 캐소드 전극 및 발광층을 구비하며 애노드 전극은 제 1 트랜지스터(T1)의 드레인에 연결되고 캐소드 전극은 제 2 전원(ELVSS)에 연결되며 애노드 전극에서 캐소드 전극으로 전류가 흐르게 되면 흐르는 전류량에 대응하여 발광층에서 빛을 발광하게 된다. 수학적 식 1은 제 1 트랜지스터(T1)의 드레인에 흐르는 전류를 나타낸다.

**수학적 식 1**

$$I_d = \frac{\beta}{2} (ELVDD - V_{data} - V_{th})^2$$

<7>  
 <8> 여기서,  $I_d$  는 제 1 트랜지스터(T1)의 드레인에 흐르는 전류,  $V_{data}$ 는 데이터신호의 전압, ELVDD는 제 1 트랜지스터의 소스에 전달되는 제 1 전원의 전압,  $V_{th}$ 는 제 1 트랜지스터(T1)의 문턱전압,  $\beta$ 는 상수를 나타낸다.  
 <9> 따라서, 제 1 트랜지스터(T1)의 드레인에 흐르는 전류는 데이터신호의 전압과 제 1 트랜지스터(T1)의 문턱전압에 대응하여 흐르게 되며 유기전계발광표시장치를 제조하는 과정에서 제 1 트랜지스터(T1)의 문턱전압에 대한 편차가 발생하게 되어 각 화소간 휘도 불균일이 나타나게 되는 문제점이 있다.

**발명의 내용**

**해결 하고자하는 과제**

<10> 따라서, 본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 창출된 것으로, 본 발명의 목적은 휘도불균일을 줄이여 화질을 개선하도록 하는 유기전계발광표시장치 및 그의 제조방법을 제공하는 것이다.

**과제 해결수단**

<11> 상기 목적을 달성하기 위하여 본 발명의 제 1 측면은, 구동전류를 전달받아 발광하는 유기발광다이오드, 게이트에 데이터신호에 대응되는 전압을 전달받아 소스에서 드레인 방향으로 상기 구동전류를 전달하는 제 1 트랜지스터, 주사신호에 대응하여 상기 데이터신호를 전달하는 제 2 트랜지스터, 상기 데이터신호에 대응하는 전압을 저장하여 상기 제 1 트랜지스터의 게이트에 인가하는 제 1 캐패시터 및 저장된 전압을 조절하여 상기 제 1 캐패시터에 저장된 전압을 조절하는 제 2 캐패시터를 포함하되, 상기 제 1 캐패시터의 외곽부에 굴곡된 형상을 갖는 화소를 제공하는 것이다.  
 <12> 상기 목적을 달성하기 위하여 본 발명의 제 2 측면은, 기판, 상기 기판 상에 형성되며, 복수의 박막트랜지스터의 활성층, 제 1 및 제 2 캐패시터의 제 1 전극이 되는 폴리실리콘층, 상기 폴리실리콘 층의 상부에 형성되며, 주사선, 상기 박막트랜지스터의 게이트 전극, 상기 제 1 및 제 2 캐패시터의 제 2 전극이 되는 금속층을 포함하되, 상기 폴리실리콘 층 중 상기 제 1 캐패시터의 제 1 전극이 되는 폴리실리콘층의 외곽부는 굴곡된 형상을 갖는 유기전계발광표시장치를 제공하는 것이다.  
 <13> 상기 목적을 달성하기 위하여 본 발명의 제 3 측면은, 유기전계발광표시장치 제조방법에 있어서, 폴리실리콘 층을 증착하고 에칭하여, 폴리 실리콘 층의 일부의 외곽부가 굴곡된 형상을 갖게 하는 단계 및 상기 폴리 실리콘 층 상부에 금속층을 증착하고 에칭하여, 상기 금속층의 일부의 외곽부가 굴곡된 형상을 갖게 하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공하는 것이다.

**효과**

<14> 본 발명에 따른 유기전계발광표시장치 및 그의 제조방법에 의하면, 문턱전압의 불균일에 의한 화질저하를 방지할 수 있으며, 공정상에 발생하는 오차에 의해 발생하는 설계치와 다른 캐패시터의 용량의 차이에 화질저하를 방지하여 화질을 개선할 수 있다.

**발명의 실시를 위한 구체적인 내용**

<15> 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 설명하면 다음과 같다.

- <16> 도 2는 본 발명에 따른 유기전계발광표시장치의 구조를 나타내는 구조도이다. 도 2를 참조하여 설명하면, 화소부(100)는 복수의 화소(101)가 배열되고 각 화소(101)에 전류의 흐름에 대응하여 빛을 발광하는 유기발광다이오드(미도시)를 포함한다. 그리고, 행방향으로 형성되며 주사신호를 전달하는 n 개의 주사선(S1,S2,...Sn-1,Sn)과 n 개의 발광제어선(E1,E2,...E1,En)과 열방향으로 형성되며 데이터신호를 전달하는 m 개의 데이터선(D1, D2,...Dm-1, Dm)이 배열된다. 또한, 제 1 전원(ELVDD)과 제 2 전원(ELVSS)을 전원공급부(130)으로부터 전달받아 구동한다. 그리고, 화소(101)는 이전라인의 주사신호에 의해 초기화전압(Vinit)을 전달받아 초기화된 후, 주사신호, 데이터신호, 제 1 전원(ELVDD) 및 제 2 전원(ELVSS)에 의해 유기발광다이오드가 발광하여 영상을 표시한다.
- <17> 데이터구동부(110)는 화소부(100)에 데이터 신호를 인가하는 수단으로, 적색, 청색, 녹색의 성분을 갖는 비디오 데이터를 입력받아 데이터신호를 생성한다. 그리고, 데이터구동부(110)는 화소부(100)의 데이터선(D1, D2,...Dm-1, Dm)과 연결되어 생성된 데이터 신호를 화소부(100)에 인가한다.
- <18> 주사구동부(120)는 화소부(100)에 주사신호를 인가하는 수단으로, 주사구동부(120)는 주사선(S1,S2,...Sn-1,Sn)과 발광제어선(E1,E2,...E1,En)에 연결되어 주사신호와 발광제어신호를 화소부(100)에 전달한다. 주사신호가 전달되면 화소(101)에서 데이터구동부(110)에서 출력된 데이터신호가 전달되며 발광제어신호가 전달되면 화소에 데이터신호에 대응되는 전류가 흘러 빛을 발광하게 된다.
- <19> 도 3은 도 2에 도시된 화소부에 채용된 화소의 제 1 실시예를 나타내는 회로도이고, 도 4는 화소에 전달되는 신호를 나타내는 신호도이다. 도 3 및 도 4를 참조하여 설명하면, 화소는 제 1 트랜지스터(M1), 제 2 트랜지스터(M2), 제 3 트랜지스터(M3), 제 4 트랜지스터(M4), 제 5 트랜지스터(M5), 제 6 트랜지스터(M6), 제 1 캐패시터(Cst), 제 2 캐패시터(Cboost) 및 유기발광다이오드(OLED)를 포함한다.
- <20> 제 1 트랜지스터(M1)는 소스는 제 1 노드(N1)에 연결되고 드레인은 제 2 노드(N2)에 연결되며 게이트는 제 3 노드(N3)에 연결되어 게이트의 전압에 대응하여 제 1 노드(N1)에서 제 2 노드(N2) 방향으로 흐르는 전류의 양을 조절한다.
- <21> 제 2 트랜지스터(M2)는 소스는 데이터선(Dm)에 연결되고 드레인은 제 1 노드(N1)에 연결되며 게이트는 주사선(Sn)에 연결되어 주사신호에 의해 온 오프 동작을 수행하여 데이터신호가 제 1 노드(N1)에 선택적으로 전달될 수 있도록 한다.
- <22> 제 3 트랜지스터(M3)는 소스는 제 2 노드(N2)에 연결되고 드레인은 제 3 노드(N3)에 연결되며 게이트는 주사선(Sn)에 연결되어 주사신호에 의해 온 오프 동작을 수행하여 선택적으로 제 1 트랜지스터(M1)의 게이트와 드레인에 동일한 전압이 형성되도록 하여 제 1 트랜지스터(M1)가 다이오드 연결이 되도록 한다.
- <23> 제 4 트랜지스터(M4)는 소스는 초기화전압을 전달하는 초기화 전원선(Vinit)에 연결되고 드레인은 제 3 노드(N3)에 연결되며 게이트는 이전 주사선(Sn-1)에 연결되어 이전 주사선을 통해 전달되는 이전 주사신호에 의해 온 오프 동작을 수행하여 제 1 캐패시터(Cst)를 초기화한다.
- <24> 제 5 트랜지스터(M5)는 소스는 제 1 노드(N1)에 연결되고 드레인은 제 1 전원을 전달하는 제 1 전원선(ELVDD)에 연결되며 게이트는 발광제어선(En)에 연결되어 발광제어신호에 의해 온 오프 동작을 수행하여 선택적으로 제 1 전원이 제 1 노드(N1)에 전달되도록 한다.
- <25> 제 6 트랜지스터(M6)는 소스는 제 2 노드(N2)에 연결되고 드레인은 유기발광다이오드(OLED)의 애노드 전극에 연결되며 게이트는 발광제어선(En)에 연결되어 발광제어선(En)을 통해 전달되는 발광제어신호에 의해 제 1 노드(N1)에서 제 2 노드(N2) 방향으로 흐르는 전류가 선택적으로 유기발광다이오드(OLED)에 전달되도록 한다.
- <26> 제 1 캐패시터(Cst)는 제 1 전극은 제 3 노드(N3)에 연결되고 제 2 전극은 제 1 전원선(ELVDD)에 연결되어 제 3 노드(N3)의 전압을 유지하도록 한다.
- <27> 제 2 캐패시터(Cboost)는 제 1 전극은 제 2 트랜지스터(M2)의 게이트에 연결되고 제 2 전극은 제 3 노드(N3)에 연결되어 주사신호가 로우에서 하이 상태가 되면, 제 2 캐패시터(Cboost)의 제 1 전극의 전압이 높아지게 되며 이에 따라 제 3 노드(N3)의 전압도 높아지게 된다.
- <28> 도 4를 참조하여 화소의 동작을 설명하면, 먼저 이전 주사선(Sn-1)을 통해 전달되는 이전 주사신호(sn-1)에 의해 제 4 트랜지스터(M4)가 온 상태가 되어 초기화신호(Vinit)에 의해 제 1 캐패시터(Cst)가 초기화가 된다. 그리고, 주사선(Sn-1)을 통해 전달되는 주사신호(sn)에 의해 제 2 트랜지스터(M2)와 제 3 트랜지스터(M3)가 온상

태가 되면 수학식 2에 해당하는 전압에 제 1 캐패시터(Cst)의 제 1 전극에 전달된다.

**수학식 2**

$$V_{data} - V_{th}$$

<29>

<30> 여기서, Vdata는 데이터신호의 전압, Vth는 제 1 트랜지스터(M1)의 문턱전압을 나타낸다.

<31> 따라서, 제 1 트랜지스터(M1)의 게이트에 수학식 2에 해당하는 전압이 인가되며, 이때, 제 1 트랜지스터(M1)의 소스에서 드레인 방향으로 흐르는 전류는 하기의 수학식 3에 해당하게 된다.

**수학식 3**

$$I_d = \frac{\beta}{2} (V_{gs} - V_{th})^2 = \frac{\beta}{2} (V_{th} - v_{data} + ELVDD - V_{th})^2 = \frac{\beta}{2} (ELVDD - v_{data})^2$$

<32>

<33> 여기서, Id는 제 1 트랜지스터(M1)의 소스에서 드레인 방향으로 흐르는 전류, β는 상수, Vth는 제 1 트랜지스터(M1)의 문턱전압, ELVDD는 제 1 트랜지스터(M1)의 소스에 인가되는 화소전압, Vdata는 데이터신호의 전압을 의미한다.

<34> 따라서, 문턱전압 불균일을 보상할 수 있다.

<35> 그리고, 제 1 캐패시터(Cst)와 제 2 캐패시터(Cboost)가 커플링되어 있어, 주사선에 연결되어 있는 제 2 캐패시터(Cboost)에 연결되어 있는 주사신호가 로우에서 하이 상태가 되면 제 3 노드(N3)의 전압도 높아지게 되어, 제 1 트랜지스터(M1)의 게이트 전압이 높아져 화소는 블랙을 표현할 수 있게 된다.

<36> 유기발광다이오드(OLED)는 발광층, 애노드전극 및 캐소드 전극을 포함하며, 발광층에 전류가 흐르게 되면 그에 대응하여 빛을 발광한다. 유기발광다이오드(OLED)의 애노드 전극은 제 6 트랜지스터(M6)의 드레인에 연결되며 캐소드전극은 제 2 전원(ELVSS)에 연결된다.

<37> 도 5는 도 3에 도시된 유기전계발광표시장치에서 화소의 구조를 나타내는 레이아웃도이고, 도 6은 일반적으로 사용되는 화소의 구조를 나타내는 레이아웃도이다. 도 5 및 도 6을 참조하여 설명하면, 먼저 기판 상에 폴리실리콘층(3001a...301d)을 형성하고 식각하는 과정에서 폴리실리콘이 소정의 형상을 형성하도록 에칭을 하여 트랜지스터의 활성층(301a, 301c, 301d), 캐패시터의 제 1 전극(301b) 등이 되도록 한다. 그리고, 그 상부에 금속층(302a...302f)을 형성하여 주사선(302a), 발광제어선(302), 트랜지스터의 게이트 전극(302), 캐패시터의 제 2 전극(302c, 301e) 등을 형성한다.

<38> 여기서, 폴리실리콘층에 의해 형성되는 캐패시터의 제 1 전극은 도 4의 제 1 및 제 2 캐패시터(Cst, Cboost)의 제 1 전극이 되고, 금속층에 의해 형성되는 캐패시터의 제 2 전극은 제 1 및 제 2 캐패시터(Cst, Cboost)의 제 2 전극이 된다.

<39> 제 1 캐패시터의 제 1 전극으로 형성되는 폴리실리콘층(301b)과 제 1 캐패시터의 제 2 전극으로 형성되는 금속층(302c)은 외곽부에 굴곡이 있도록 하여 제 1 캐패시터의 제 1 전극과 제 2 전극의 크기가 작아지도록 하여 제 1 캐패시터의 정전용량을 줄이도록 한다. 굴곡의 형태는 도면 상에 나타나 있는 것과 같은 형태에 한정하지 않고 톱니 형태 등 에칭되는 면적이 더 넓게 형성되도록 하는 구조면 가능하다.

<40> 일반적으로, 제 1 캐패시터의 제 1 전극과 제 2 전극은 도 4에 도시되어 있는 것과 같이 제 1 캐패시터의 외곽부에 굴곡이 없는 형태가 되는데, 본 발명에서 제 1 캐패시터의 제 1 전극과 제 2 전극에 굴곡이 형성되도록 하는 이유는 설계치와 실제 공정상에서 발생하는 킥백전압의 차이를 낮추도록 하기 위해서이다.

<41> 킥백전압은 하기의 수학식 2에 대응한다.

**수학식 4**

$$\Delta V = \frac{C_{boost}}{C_{st} + C_{boost}} V$$

<42>

<43> 여기서,  $\Delta V$ 는 킥백전압, C1은 제 1 캐패시터의 정전용량, C2는 제 2 캐패시터의 정전용량, V는 주사신호의 전압을 나타낸다.

<44> 제 1 캐패시터와 제 2 캐패시터의 설계치와 킥백전압은 표 1에 나타나 있다.

**표 1**

<45>

	면적	용량(pF)	비(Cst/Cboost)	Cboost/(Cst+Cboost)	킥백전압의 차이
Cst	1047	0.359	6.377	0.136	1.654
Cboost	164	0.0563			

<46> 상기와 같이 설계된 제 1 캐패시터와 제 2 캐패시터를 도 6에 도시되어 있는 것과 같이 형성을 하게 되면 표 2에 도시되어 있는 것과 같은 크기를 갖게 된다.

**표 2**

<47>

	면적	용량(pF)	비(Cst/Cboost)	Cboost/(Cst+Cboost)	킥백전압의 차이
Cst	993	0.3405	6.893	0.127	1.546
Cboost	144	0.0494			

<48> 즉, 제 1 캐패시터와 제 2 캐패시터를 형성하는 과정에서 제 1 캐패시터와 제 2 캐패시터의 크기가 설계치 보다 작게 표현되며, 제 1 캐패시터보다 제 2 캐패시터의 크기가 더 작아 제 1 캐패시터가 제 2 캐패시터보다 비율적으로 감소되는 양이 더 작게 된다. 따라서, 제 1 캐패시터와 제 2 캐패시터의 용량의 합에서 제 2 캐패시터가 차지하는 용량이 설계치보다 실제 공정 상에서 더 작게 표현되어 킥백전압이 설계치와 실제 공정상에서 차이가 발생하게 된다.

<49> 따라서, 도 5에 도시되어 있는 것과 같이 제 1 캐패시터의 제 1 전극으로 형성되는 폴리실리콘 층의 외곽부에 굴곡이 형성되도록 하고 제 1 캐패시터의 제 2 전극으로 형성되는 금속층의 외곽부에 굴곡이 형성되도록 하여 제 1 캐패시터가 형성되도록 한다. 도 5에 도시되어 있는 것과 같이 폴리실리콘층과 금속층의 외곽부에 굴곡이 형성되도록 하면, 폴리실리콘층과 금속층이 깎이는 양이 더 많아져 표 3에 도시되어 있는 것과 같이 제 1 캐패시터의 용량이 더 작아지게 된다.

**표 3**

<50>

	면적	용량(pF)	비(Cst/Cboost)	Cboost/(Cst+Cboost)	킥백전압의 차이
Cst	938	0.319	6.457	0.134	1.635
Cboost	114	0.0494			

<51> 따라서, 제 1 캐패시터와 제 2 캐패시터의 용량의 합에서 제 2 캐패시터의 용량이 차지하는 비율이 표 2에 나타나 있는 것보다 더 크게 되며, 킥백전압의 차이를 보면 표 3에 나타나 있는 킥백전압의 차이가 표 1에 나타나 있는 것과 유사한 크기를 갖게 되어 킥백전압 차이에 따른 화질저하를 줄일 수 있게 된다.

<52> 도 7은 도 2에 도시된 화소부에 채용된 화소의 제 2 실시예를 나타내는 회로도이다. 도 7을 참조하여 설명하면, 화소는 제 1 트랜지스터 내지 제 5 트랜지스터(M1 내지 M5)와 제 1 캐패시터(Cst)와 제 2 캐패시터(Cvth)와 유기발광다이오드(OLED)를 포함하며, 도 4에 도시된 것과 같은 신호를 전달받아 동작한다.

<53> 제 1 내지 제 5 트랜지스터(M1 내지 M5)는 소스, 드레인 및 게이트를 구비하며 제 1 내지 제 5 트랜지스터(M1 내지 M5) P 모스(MOS) 형태의 트랜지스터로 구현되며, 각각의 트랜지스터의 소스와 드레인은 물리적인 차이가 없어 제 1 전극과 제 2 전극으로 칭할 수 있다. 또한, 제 1 캐패시터(Cst)와 제 2 캐패시터(Cvth)는 제 1 전극과 제 2 전극을 구비한다.

<54> 제 1 트랜지스터(M1)는 소스는 화소전원선(ELVDD)을 통해 화소전원을 전달받고 드레인은 제 1 노드(N1)에 연결되며 게이트는 제 2 노드(N2)에 연결되어 게이트에 인가되는 전압에 따라 소스에서 드레인방향으로 흐르는 전류의 전류량이 결정된다.

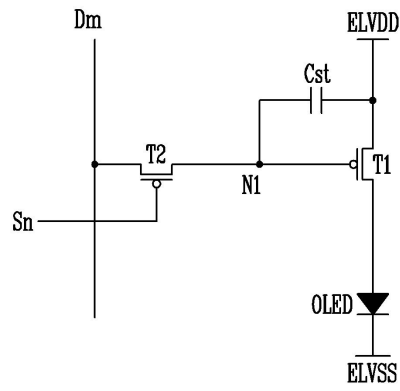
- <55> 제 2 트랜지스터(M2)는 소스는 데이터선(Dm)에 연결되고 드레인은 제 3 노드(N3)에 연결되며 게이트는 주사선(Sn)에 연결되어 주사선(Sn)을 통해 전달되는 주사신호(sn)에 의해 온오프 동작을 수행하여 데이터 신호를 선택적으로 제 3 노드(N3)에 전달한다.
- <56> 제 3 트랜지스터(M3)는 소스는 제 1 노드(N1)에 연결되고 드레인은 제 2 노드(N2)에 연결되며 게이트는 이전 주사선(Sn-1)에 연결되어 이전 주사선(Sn-1)을 통해 전달되는 이전 주사신호(sn-1)에 의해 온오프 동작을 수행하여 선택적으로 제 1 노드(N1)와 제 2 노드(N2)의 전위를 같게하여 제 1 트랜지스터(M1)가 선택적으로 다이오드 연결이 되도록 한다.
- <57> 제 4 트랜지스터(M4)는 소스는 화소전원선(ELVDD)에 연결되고 드레인은 제 3 노드(N3)에 연결되며 게이트는 이전 주사선(Sn-1)에 연결되어 이전 주사신호(sn-1)에 따라 선택적으로 화소전원을 제 3 노드(N3)에 전달한다.
- <58> 제 5 트랜지스터(M5)는 소스는 제 1 노드(N1)에 연결되고 드레인은 유기발광다이오드(OLED)에 연결되며 게이트는 발광제어선(En)에 연결되어 발광제어선(En)을 통해 전달받은 발광제어신호(en)에 의해 온오프 동작을 수행하여 제 1 노드(N1)에 흐르는 전류를 유기발광다이오드(OLED)로 흐르도록 한다.
- <59> 제 1 캐패시터(Cst)는 제 1 전극은 화소전원선(ELVDD)에 연결되고 제 2 전극은 제 3 노드(N3)에 연결되어 제 4 트랜지스터(M4)에 의해 선택적으로 화소전원선(ELVDD)과 제 3 노드(N3)의 전압의 차이만큼의 전압값을 저장한다.
- <60> 제 2 캐패시터(Cvth)는 제 1 전극은 제 3 노드(N3)에 연결되고 제 2 전극은 제 2 노드(N2)에 연결되어 제 3 노드(N3)와 제 2 노드(N2)의 전압의 차이만큼의 전압을 저장한다.
- <61> 따라서, 이전 주사선에 전달되는 이전 주사신호에 의해 제 3 트랜지스터와 제 4 트랜지스터가 온상태가 되면 제 1 트랜지스터는 다이오드 연결이 되어, 제 1 트랜지스터의 문턱전압에 대응되는 전압이 제 2 캐패시터의 제 1 전극에 전달되고, 화소전원(ELVDD)가 제 2 캐패시터(Cvth)의 제 2 전극에 전달되어 제 2 캐패시터(Cvth)는 제 1 트랜지스터(M1)의 문턱전압에 대응되는 전압을 저장하고, 주사선을 통해 주사신호를 전달받으면, 제 2 트랜지스터가 온 상태가 되어 데이터신호가 제 3 노드(N3)에 전달되어 제 3 노드의 전압이 화소전원(ELVDD)의 전압으로 변동이 되며, 제 1 캐패시터(Cst)에는 데이터신호에 대응되는 전압이 저장된다. 따라서, 제 2 노드(N2)에는 데이터신호와 문턱전압에 대응되는 전압이 저장되어 제 1 트랜지스터의 소스에서 드레인 방향으로 문턱전압이 보상된 구동전류가 생성되어 흐르게 된다. 따라서, 문턱전압 차이에 의한 휘도 불균일을 보상할 수 있다.
- <62> 상기와 같이 구성된 화소에서도 제 1 캐패시터(Cst)와 제 2 캐패시터(Cvth)의 용량의 차이가 실제공정에서 설계치와 다르게 구현되는 경우가 발생할 수 있으며, 제 1 캐패시터(Cst)의 정전용량이 더 작아지도록 하기 위해 제 1 캐패시터의 제 1 전극과 제 2 전극의 외곽부에 굴곡이 형성되도록 하는 것도 가능하다.
- <63> 본 발명의 바람직한 실시예가 특정 용어들을 사용하여 기술되어 왔지만, 그러한 기술은 단지 설명을 하기 위한 것이며, 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고 여러 가지 변경 및 변화가 가해질 수 있는 것으로 이해되어져야 한다.

**도면의 간단한 설명**

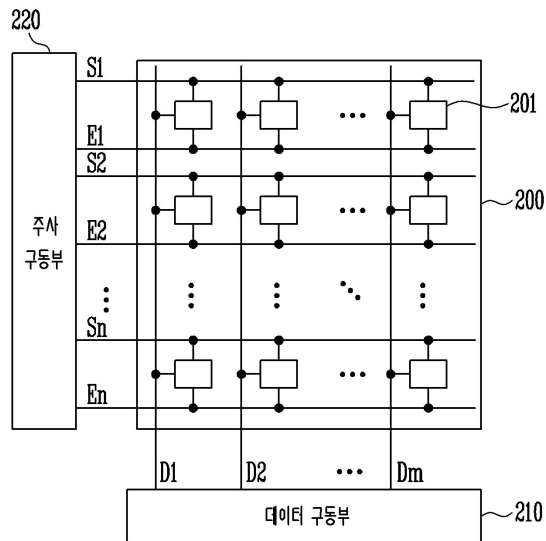
- <64> 도 1은 일반적인 유기전계발광표시장치에서 채용된 화소를 나타내는 회로도이다.
- <65> 도 2는 본 발명에 따른 유기전계발광표시장치의 구조를 나타내는 구조도이다.
- <66> 도 3은 도 2에 도시된 화소부에 채용된 화소의 제 1 실시예를 나타내는 회로도이다.
- <67> 도 4는 화소에 전달되는 신호를 나타내는 신호도이다.
- <68> 도 5는 도 3에 도시된 유기전계발광표시장치에서 화소의 구조를 나타내는 레이아웃도이다.
- <69> 도 6은 일반적으로 사용되는 화소의 구조를 나타내는 레이아웃도이다.
- <70> 도 7은 도 2에 도시된 화소부에 채용된 화소의 제 2 실시예를 나타내는 회로도이다.

도면

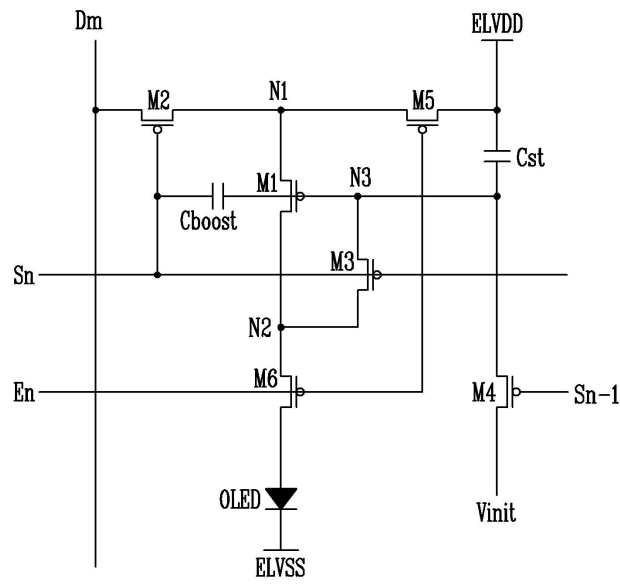
도면1



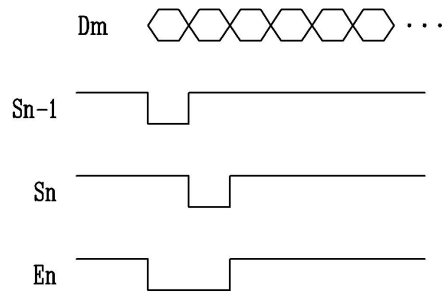
도면2



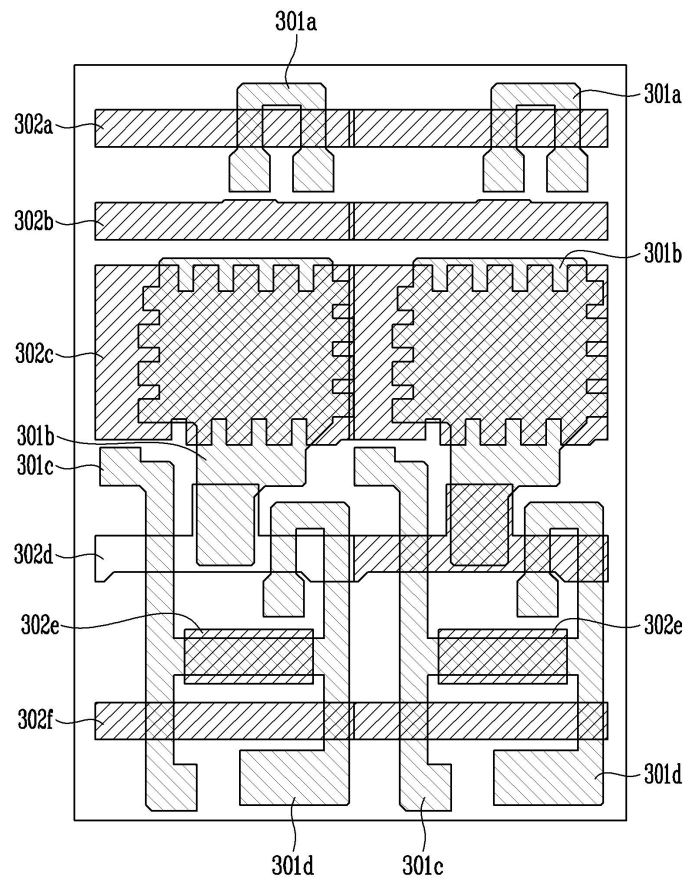
도면3



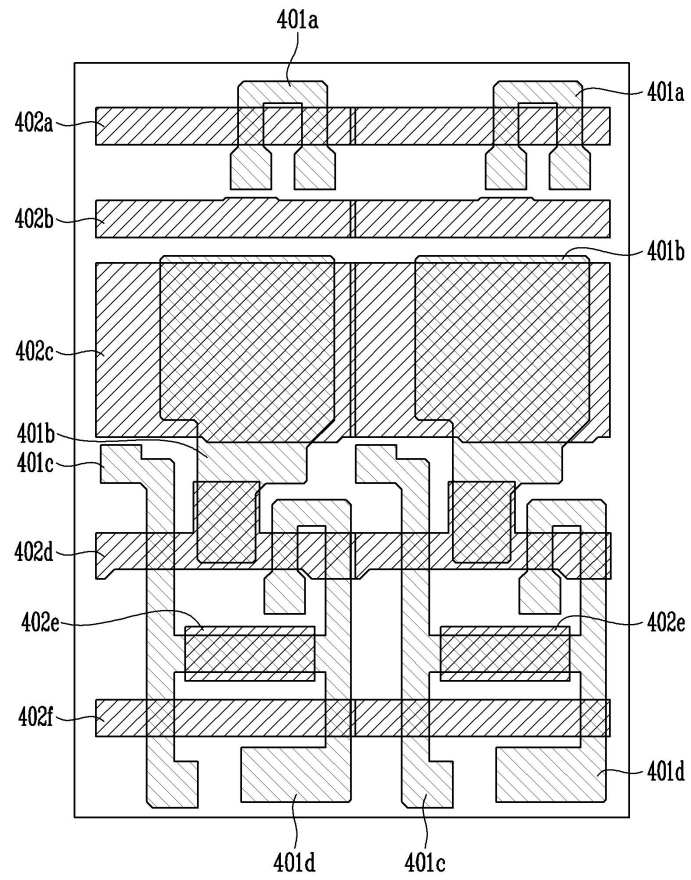
도면4



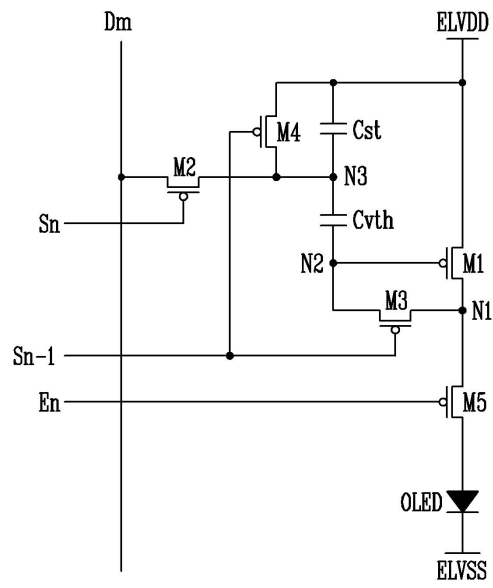
도면5



도면6



도면7



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR100840100B1</a>	公开(公告)日	2008-06-20
申请号	KR1020070067076	申请日	2007-07-04
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	WONKYU KWAK 곽원규 HAEJIN CHUN 천해진 KIMYEONG EOM 엄기명		
发明人	곽원규 천해진 엄기명		
IPC分类号	H05B33/02 H05B33/10		
CPC分类号	G09G2300/0852 G09G2300/0861 G09G3/325 G09G2320/0233		
代理人(译)	Sinyoungmu		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种有机电致发光显示装置及其制造方法，以通过防止图像质量由于另一电容器的设计值和容量之间的差异而劣化来提高图像质量。有机电致发光显示装置包括基板，多晶硅层和金属层。多晶硅层形成在基板上，并且用作多个薄膜晶体管的有源层 (301a, 301c, 301d)，以及第一和第二电容器的第一电极 (301b)。金属层用作扫描线 (302a)，薄膜晶体管的栅电极和第一和第二电容器的第二电极 (302c, 302e)。用作多晶硅层中的第一电容器的第一电极的多晶硅层的外侧部分具有弯曲形状。

