



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월18일
(11) 등록번호 10-0786295
(24) 등록일자 2007년12월10일

(51) Int. Cl.

H05B 33/22 (2006.01)

(21) 출원번호 10-2006-0062688

(22) 출원일자 2006년07월04일

심사청구일자 2006년07월04일

(56) 선행기술조사문헌

KR1020060032089 A

KR1020030066370 A

KR1020060021208 A

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

김중윤

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(74) 대리인

박상수

전체 청구항 수 : 총 10 항

심사관 : 손희수

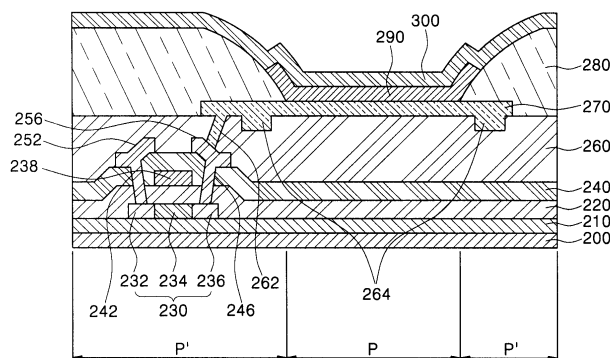
(54) 유기전계발광표시장치 및 그의 제조 방법

(57) 요약

본 발명은 유기전계발광표시장치 및 그의 제조 방법에 관한 것으로, 보다 자세하게는 평탄화막에 홈을 형성하여, 하부 전극과 평탄화막 사이의 접착력을 향상시키는 유기전계발광표시장치 및 그의 제조 방법에 관한 것이다.

본 발명은 발광 영역과 비발광 영역을 포함하는 기관; 상기 기관 상에 위치하며, 반도체층, 게이트 절연막, 게이트 전극, 층간 절연막, 소오스 전극 및 드레인 전극을 포함하는 박막트랜지스터; 상기 층간 절연막 상에 위치하며, 상기 소오스 전극 및 드레인 전극을 노출시키는 비아홀이 위치하는 평탄화막; 상기 평탄화막 상에 위치하고, 상기 비아홀을 통하여 소오스 전극 또는 드레인 전극과 연결되는 하부 전극; 상기 하부 전극 상에 위치하는 적어도 하나 이상의 발광층을 포함하는 유기막층; 및 상기 유기막층 상에 위치하는 상부 전극; 을 포함하며, 상기 평탄화막은 상기 비발광 영역에 적어도 하나 이상의 홈을 포함하는 것을 특징으로 하는 유기전계발광표시장치 및 그의 제조 방법에 관한 것이다.

대표도 - 도2a



특허청구의 범위

청구항 1

발광 영역과 비발광 영역을 포함하는 기관;

상기 기관 상에 위치하며, 반도체층, 게이트 절연막, 게이트 전극, 층간 절연막, 소오스 전극 및 드레인 전극을 포함하는 박막트랜지스터;

상기 층간 절연막 상에 위치하며, 상기 소오스 전극 및 드레인 전극을 노출시키는 비아홀이 위치하는 평탄화막;

상기 평탄화막 상에 위치하고, 상기 비아홀을 통하여 소오스 전극 또는 드레인 전극과 연결되는 하부 전극;

상기 하부 전극 상에 위치하는 하나 또는 다수의 발광층을 포함하는 유기막층; 및

상기 유기막층 상에 위치하는 상부 전극; 을 포함하며,

상기 평탄화막은 상기 비발광 영역 중 상기 하부 전극에 대응되는 영역에 하나 또는 다수의 홈이 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제 1 항에 있어서,

상기 평탄화막은 폴리아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지 및 벤조사이클로부텐으로 이루어진 군에서 선택된 어느 하나인 유기막인 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제 1 항에 있어서,

상기 층간 절연막은 실리콘산화막, 실리콘질화막 또는 이들의 적층으로 이루어진 무기막인 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제 1 항에 있어서,

상기 홈은 층간 절연막을 노출시켜, 상기 하부 전극이 홈을 통해 층간 절연막과 접촉하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제 1 항에 있어서,

상기 홈은 하나 또는 다수의 측면이 계단형태로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제 1 항에 있어서,

상기 홈은 평탄화막에 라인 상으로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

발광 영역과 비발광 영역을 포함하는 기관을 제공하는 단계;

상기 기관 상에 반도체층, 게이트 절연막, 게이트 전극, 층간 절연막, 소오스 전극 및 드레인 전극을 포함하는 박막트랜지스터를 형성하는 단계;

상기 층간 절연막 상에 상기 소오스/드레인 전극을 노출시키는 비아홀이 위치하는 평탄화막을 형성하는 단계;

상기 평탄화막에 하나 또는 다수의 홈을 상기 비발광 영역에 형성하는 단계;

상기 평탄화막 상에 상기 비아홀을 통하여 소오스 전극 또는 드레인 전극과 연결되며, 상기 하나 또는 다수의 홈을 채우는 하부 전극을 형성하는 단계;

상기 하부 전극 상에 하나 또는 다수의 발광층을 포함하는 유기막층을 형성하는 단계; 및

상기 유기막층 상에 상부 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 평탄화막의 홈은 하부의 무기절연막을 노출시키며, 상기 하부 전극은 상기 홈을 통하여 층간 절연막과 연결되도록 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 홈은 하나 또는 다수의 측면을 계단형태로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 10

제 7 항에 있어서,

상기 홈은 평탄화막에 라인 상으로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 유기전계발광표시장치 및 그의 제조 방법에 관한 것으로, 보다 자세하게는 평탄화막에 홈을 형성하여, 하부 전극과 평탄화막 사이의 접촉력을 향상시키는 유기전계발광표시장치 및 그의 제조 방법에 관한 것이다.
- <10> 평판표시장치(Flat panel display device)는 경량 및 박형 등의 특성으로 인해, 음극선관 표시장치(Cathode-ray tube display device)를 대체하는 표시장치로서 사용되고 있다. 이러한 평판표시장치의 대표적인 예로서 액정표시장치(Liquid Crystal Display Device; LCD)와 유기전계발광표시장치(Organic Light Emitting Diode; OLED)가 있다. 이 중, 유기전계발광표시장치는 액정표시장치에 비하여 휘도 특성 및 시야각 특성이 우수하고 백라이트(Back light)를 필요로 하지 않아 초박형으로 구현할 수 있는 장점이 있다.
- <11> 이와 같은 유기전계발광표시장치는 유기박막에 음극(Cathode)과 양극(Anode)을 통하여 주입된 전자(Electron)와 정공(Hole)이 재결합하여 여기자를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생되는 현상을 이용한 표시장치이다.
- <12> 상기 유기전계발광표시장치는 발광층으로부터 발생된 광이 방출되는 방향에 따라 배면발광구조와 전면발광구조로 나눌 수 있다. 상기 배면발광구조는 소자가 형성된 기관 쪽으로 광이 방출되는 것으로서 상부 전극을 반사전극으로 형성하고 하부 전극을 투명 전극으로 형성한다. 여기서, 박막트랜지스터가 형성되는 능동 매트릭스 방식을 채택한 유기전계발광표시장치의 경우 박막트랜지스터가 형성된 부분은 광이 투과하지 못하게 되므로 개구율이 줄어들 수 있다. 이와 달리, 전면발광구조는 상부 전극을 반투과 금속 전극으로 형성하고 하부 전극을 반사막을 포함하는 투명 전극으로 형성한다. 따라서, 광이 기관과 반대되는 방향으로 방출되어 빛이 투과하는 면적이 배면발광구조보다 넓어진다.
- <13> 일반적으로 상기 전면발광구조의 유기전계발광표시장치는 광의 공진 효과를 이용하여 발광한다. 따라서, 휘도가 균일하기 위해서는 공진 효과가 일어나는 하부 전극은 단차가 없는 평탄한 구조를 가져야 한다. 상기 유기전계

발광표시장치에는 유기전계발광소자의 구동을 위해 형성된 소자들과 배선들로 인해 기관의 상부에 굴곡이 형성되는데, 이러한 구조를 평탄하게 하기 위하여 평탄화막을 형성하게 된다. 상기 평탄화막의 상부에 반사막을 포함하는 하부 전극이 형성된다.

<14> 그러나, 상기 하부 전극은 도전성 물질인 무기막으로 이루어져, 유기막인 평탄화막과 접착력이 좋지 않다. 따라서, 상기 하부 전극 패터닝 시 평탄화막으로부터 하부 전극이 박리되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<15> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 보완하기 위한 것으로, 상기 평탄화막과 하부 전극과의 접착력이 향상시켜, 상기 하부 전극 패터닝시 평탄화막으로부터 하부 전극이 박리되는 것을 방지한 유기전계발광표시장치 및 그의 제조 방법을 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

<16> 본 발명의 상기 목적은 발광 영역과 비발광 영역을 포함하는 기관; 상기 기관 상에 위치하며, 반도체층, 게이트 절연막, 게이트 전극, 층간 절연막, 소오스 전극 및 드레인 전극을 포함하는 박막트랜지스터; 상기 층간 절연막 상에 위치하며, 상기 소오스 전극 및 드레인 전극을 노출시키는 비아홀이 위치하는 평탄화막; 상기 평탄화막 상에 위치하고, 상기 비아홀을 통하여 소오스 전극 또는 드레인 전극과 연결되는 하부 전극; 상기 하부 전극 상에 위치하는 적어도 하나 이상의 발광층을 포함하는 유기막층; 및 상기 유기막층 상에 위치하는 상부 전극;을 포함하며, 상기 평탄화막은 상기 비발광 영역에 적어도 하나 이상의 홈을 포함하는 것을 특징으로 하는 유기전계발광표시장치에 의해 달성된다.

<17> 또한, 본 발명의 상기 목적은 발광 영역과 비발광 영역을 포함하는 기관을 제공하는 단계; 상기 기관 상에 반도체층, 게이트 절연막, 게이트 전극, 층간 절연막, 소오스 전극 및 드레인 전극을 포함하는 박막트랜지스터를 형성하는 단계; 상기 층간 절연막 상에 상기 소오스/드레인 전극을 노출시키는 비아홀이 위치하는 평탄화막을 형성하는 단계; 상기 평탄화막에 적어도 하나 이상의 홈을 상기 비발광 영역에 형성하는 단계; 상기 평탄화막 상에 상기 비아홀을 통하여 소오스 전극 또는 드레인 전극과 연결되는 하부 전극을 형성하는 단계; 상기 하부 전극 상에 적어도 하나 이상의 발광층을 포함하는 유기막층을 형성하는 단계; 및 상기 유기막층 상에 상부 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법에 의해서 달성된다.

<18> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<19> (실시 예)

<20> 도 1a 및 도 1b는 본 발명의 실시 예에 따른 유기전계발광표시장치의 개략적인 평면도이다.

<21> 도 1a 및 도 1b를 참조하면, 유기전계발광표시장치의 하부 전극(170)은 발광영역(150)을 포함하며, 상기 하부 전극(170)은 평탄화막(미도시)에 형성된 비아홀(162)을 통하여 소오스 전극(미도시) 또는 드레인 전극(미도시)과 연결된다. 또한 상기 평탄화막은 상기 발광영역(150) 외측에 형성된 홈(164)을 포함한다. 상기 홈(164)의 형성은 도1a의 A-A'선으로 자른 단면도인 도2a 내지 도2c를 참조하여 설명한다.

<22> 도 2a 내지 도 2c를 참조하면, 발광 영역(P)과 비발광 영역(P')를 포함하는 기관(200) 상에 버퍼층(210)을 형성한다. 상기 버퍼층(210)은 후속 공정으로 형성되는 비정질 실리콘의 결정화 공정시 상기 기관(200) 내의 불순물이 확산되는 것을 방지한다.

<23> 다음으로, 상기 버퍼층(210)의 상부에 비정질 실리콘층(미도시)을 적층한 후, 상기 비정질 실리콘층을 결정화하여 다결정 실리콘층(미도시)을 형성한다. 상기 다결정 실리콘층을 패터닝하여 반도체층(230)을 형성하고, 상기 반도체층(230)을 포함하는 기관(200) 상부에 게이트 절연막(220)을 형성한다. 이때, 상기 게이트 절연막(220)은 실리콘산화막(SiO₂), 실리콘질화막(SiNx) 또는 그 적층구조를 사용하여 형성될 수 있다.

<24> 계속해서, 상기 게이트 절연막(220) 상부에 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일 층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 다중으로 적층된 게이트 전극(238)용 금속층(미도시)을 형성한다. 상기 게이트 전극(238)용 금속층을 패터닝하여 상기 반도체층(230)과 대응되는 일

정 영역에 게이트 전극(238)을 형성한다. 상기 일정 영역은 후속 공정에서 형성되는 채널 영역(234)에 대응되는 영역이다.

<25> 이어서, 상기 게이트 전극(238)을 마스크로 사용하여 도전형 불순물을 도핑하여 소오스 영역(232)과 드레인 영역(236)을 형성한다. 상기 소오스 영역(232)과 드레인 영역(236) 사이의 게이트 전극(238)에 대응하는 영역은 채널 영역(234)으로 작용한다. 이와는 달리, 상기 도핑 공정은 게이트 전극(238)을 형성하기 전에 포토레지스트를 도포하여 마스크 형성 후 진행할 수도 있다.

<26> 다음으로 상기 게이트 전극(238)을 포함하는 기판(200) 상에 층간 절연막(240)을 형성하고, 상기 층간 절연막(240) 및 게이트 절연막(220)을 패터닝하여 소오스 영역(232)과 드레인 영역(236)의 일부를 노출시키는 콘택홀(242, 246)을 형성한다. 상기 층간 절연막(240)은 실리콘산화막(SiO_2), 실리콘질화막(SiNx) 또는 그 적층구조를 사용하여 무기 절연막으로 형성한다.

<27> 이어서, 상기 콘택홀(242, 246)을 포함하는 층간 절연막(240) 상부에 도전 물질(미도시)을 적층한 후, 상기 도전 물질을 패터닝하여 콘택홀(242)을 통해 소오스 영역(232)에 연결되는 소오스 전극(252)과 콘택홀(246)을 통해 드레인 영역(236)에 연결되는 드레인 전극(256)을 형성한다. 상기 도전 물질로는 폴리텡스텐(MoW) 또는 알루미늄-네오디뮴(Al-Nd)등이 사용될 수 있다.

<28> 다음으로 전체 표면 상부에 평탄화막(260)이 형성되는데, 상기 평탄화막(260)은 폴리아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지 및 벤조사이클로부텐으로 이루어진 군에서 선택된 하나로 형성될 수 있다. 상기 평탄화막(260)을 식각하여 소오스 전극(252) 또는 드레인 전극(256)중의 어느 하나, 예를 들어 드레인 전극(256)의 일부를 노출시키는 비아홀(262)을 형성한다. 이는 후속 공정에서 형성될 하부 전극(270)과 드레인 전극(256)을 연결하기 위함이다.

<29> 이때, 상기 평탄화막(260)에 비아홀(262) 외의 적어도 하나 이상의 홈(264)을 형성한다. 발광 영역(P) 하부에 단차가 형성되면 유기전계발광표시장치의 휘도가 불균일해지므로, 상기 홈(164)은 비발광 영역(P')에 형성한다. 상기 홈(164)은 상기 비아홀(262) 형성 시 하프톤 마스크를 사용하여 동시에 형성할 수도 있다. 상기 홈(264)은 도 1b에 도시된 바와 같이, 평탄화막(260)에 적어도 하나 이상의 라인 상으로 홈(264)을 형성할 수도 있다.

<30> 계속해서, 비아홀(262) 및 홈(264)을 포함한 평탄화막(260) 상에 도전성 물질을 적층한 후 패터닝하여, 비아홀(262)을 통하여 상기 소오스/드레인 전극(252, 256) 중 어느 하나, 예를 들면 드레인 전극(256)에 접촉되는 하부 전극(270)을 형성한다.

<31> 상기 홈(264)은 유기전계발광표시장치의 휘도에 영향을 주지 않고, 상기 평탄화막(260)의 표면적을 넓게 하는 역할을 한다. 따라서, 상기 하부 전극(270)과 평탄화막(260)의 접촉면이 증가하여, 상기 하부 전극(270)과 평탄화막(260)의 접착력이 향상되고, 하부 전극(270) 패터닝시 평탄화막(260)으로부터 하부 전극(270)의 박리를 방지한다.

<32> 상기 홈(264)은 도 2b에 도시된 바와 같이, 하나 이상의 측면을 계단형으로 형성할 수도 있다. 상기 계단형 측면은 평탄화막(260)의 표면적을 더욱 증가시켜, 상기 하부 전극(270)과 평탄화막(260)의 접촉면을 더욱 증가시킨다. 그에 따라 하부 전극(270)과 평탄화막(260)간의 접착력을 더욱 향상되고, 상기 하부 전극(270) 패터닝시 평탄화막(260)으로부터 하부 전극(270)의 박리를 방지한다.

<33> 또한, 도 2c에 도시된 바와 같이, 상기 홈(264)은 평탄화막(260) 하부의 층간 절연막(240)의 일부를 노출시키도록 형성할 수도 있다. 상기 층간 절연막(240)은 무기막이므로, 유기막인 평탄화막(260)보다 상기 하부 전극(270)과의 접착력이 좋다. 따라서, 상기 층간 절연막(240)과 접촉한 상기 하부 전극(270)은 평탄화막(260)과의 접착력이 크게 향상되며, 패터닝시 평탄화막(260)으로부터의 박리가 방지된다.

<34> 그 다음으로 전체 표면 상부에 화소정의막층(미도시)을 적층한다. 이 때, 상기 화소정의막층은 폴리이미이드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutens series resin), 페놀계 수지(phenol resin) 및 아크릴레이트(acrylate)로 이루어진 군에서 선택된 하나의 물질로 형성할 수 있다. 상기 화소정의막층을 패터닝하여, 발광 영역(P)을 노출시키는 개구부 영역을 포함하는 화소정의막(280)을 형성한다.

<35> 계속해서, 상기 개구부 영역에 유기발광막(290)을 형성한다. 상기 유기발광막(290)은 적어도 하나 이상의 발광층을 포함하며, 정공 주입층, 정공 전달층, 정공 저지층, 전자 수송층, 전자 주입층 등을 포함할 수도 있다.

<36> 이어서, 기판(200) 상에 상부 전극(300)을 형성한다. 상기 상부 전극(300)은 Mg, Ca, Al 및 이들의 합금과 같은 일함수가 낮은 금속 물질을 빛을 투과시킬 수 있을 정도의 두께로 형성하고, ITO 또는 IZO 등의 투명한 도전성 물질을 적층하여 형성한다.

<37> 전술한 본 발명의 바람직한 실시 예에 따른 유기전계발광표시장치는 상기 평탄화막(260)의 비발광 영역(P')에 적어도 하나 이상의 홈(264)을 형성하여, 상기 평탄화막(260)의 표면적을 증가시킨다. 상기 홈(264)으로 인한 평탄화막(260)의 증가된 표면적은 상기 하부 전극(270)과 평탄화막(260)의 접착력을 향상시켜, 상기 하부 전극(270) 패터닝시 평탄화막(260)으로부터의 박리를 방지하는 효과가 있다. 또한, 상기 평탄화막(260)의 표면적을 더욱 증가시키기 위하여, 상기 홈(264)의 하나 이상의 측면을 계단형으로 형성할 수도 있다. 그 외에도 상기 하부 전극(270)의 도전성 물질이 무기막과 접착력이 좋다는 점을 이용하여, 상기 홈(264)을 무기 절연막인 층간 절연막(240)을 노출시키도록 형성한다. 상기 하부 전극(270)은 홈(264)을 통해 층간 절연막(240)과 접촉하여, 하부 전극(270) 패터닝시 평탄화막(260)으로부터 상기 하부 전극(270)의 박리를 방지한다.

발명의 효과

<38> 본 발명의 유기전계발광표시장치 및 그의 제조 방법은 평탄화막과 하부 전극의 접착력을 향상 시켜, 하부 전극 패터닝시 평탄화막으로부터 하부 전극의 박리를 방지하는 효과가 있다.

도면의 간단한 설명

<1> 도 1a 및 도 1b는 본 발명에 따른 유기전계발광표시장치의 평면도이다.

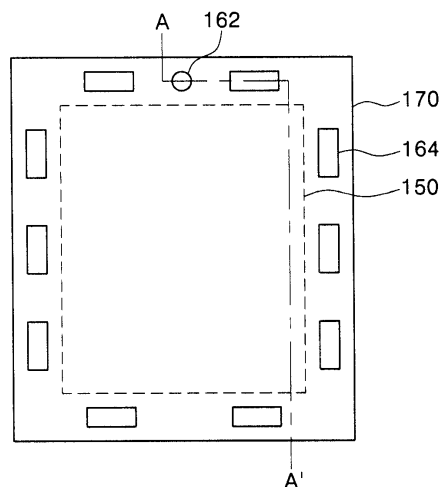
<2> 도 2a 내지 도 2c는 도 1a의 A-A'선으로 자른 단면도이다.

<3> <도면부호에 대한 간단한 설명>

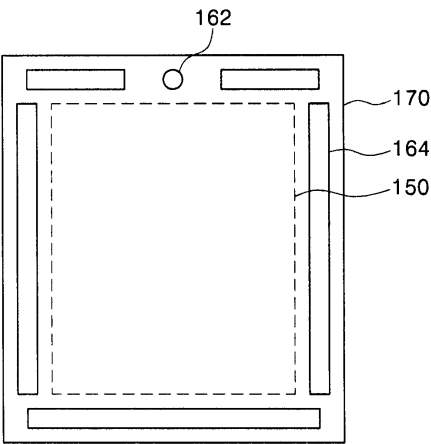
- | | |
|------------------|---------------|
| <4> 150 : 발광 영역 | 164 : 홈 |
| <5> 200 : 기판 | 220 : 게이트 절연막 |
| <6> 230 : 반도체층 | 238 : 게이트 전극 |
| <7> 240 : 층간 절연막 | 260 : 평탄화막 |
| <8> 264 : 홈 | 270 : 하부 전극 |

도면

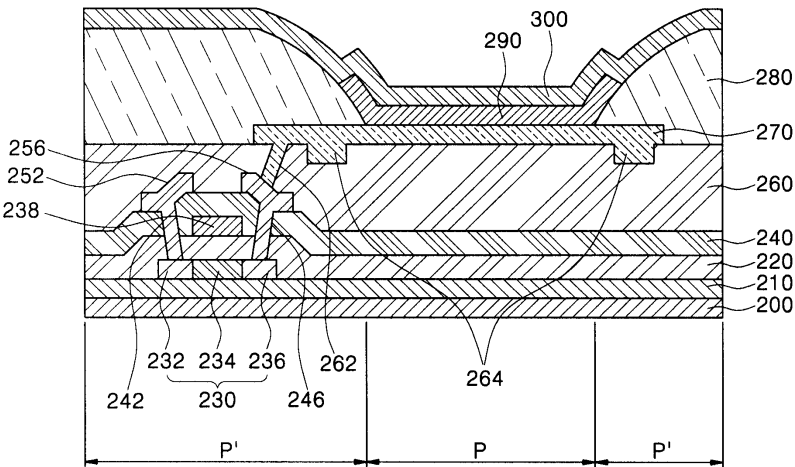
도면1a



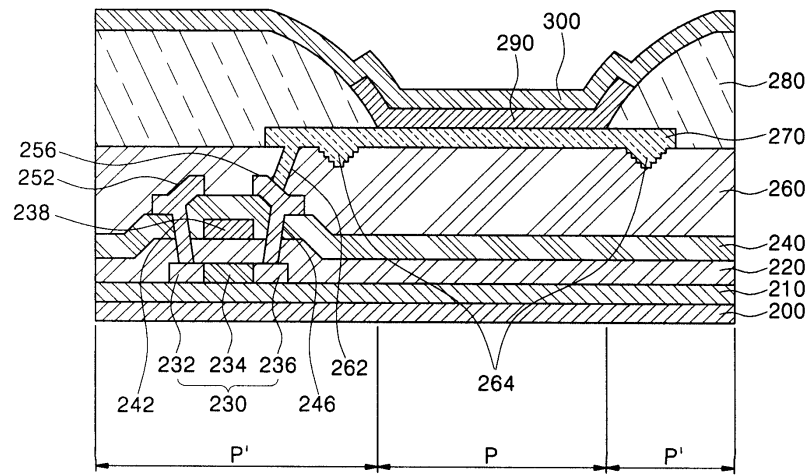
도면1b



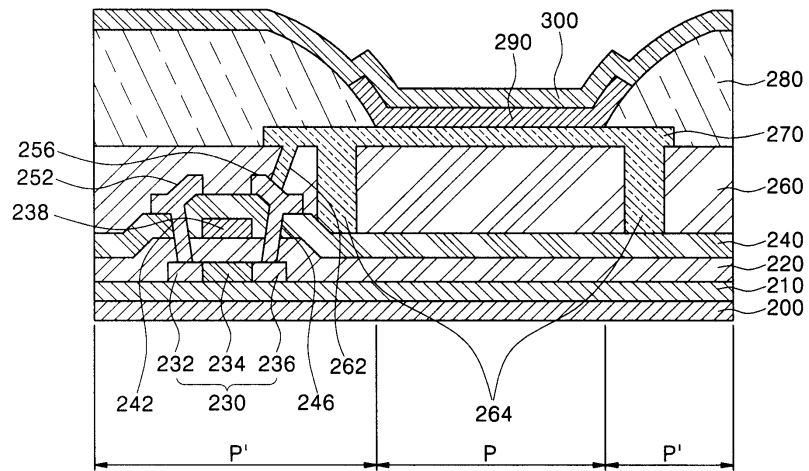
도면2a



도면2b



도면2c



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100786295B1	公开(公告)日	2007-12-18
申请号	KR1020060062688	申请日	2006-07-04
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM JONG YUN		
发明人	KIM JONG YUN		
IPC分类号	H05B33/22		
CPC分类号	H01L27/3258 H01L51/5209 H01L51/56		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

提供一种有机电致发光显示装置及其制造方法，以在通过改善膜与电极之间的粘合强度来图案化下电极时防止下电极与偏振膜分离。有机电致发光显示装置包括基板（200），薄膜晶体管，平坦化膜（260），下电极（270），有机膜层和上电极。基板包括发光区域（P）和非发光区域（P'）。薄膜晶体管放置在基板上，并包括半导体层（230），栅极绝缘膜（220），栅电极（238），层间绝缘膜（240），源电极（252）和漏电极（256）。平坦化膜放置在层间绝缘膜上，并具有通孔（262）以暴露源电极和漏电极。下电极放置平坦化膜上，并通过通孔连接到源电极和漏电极。有机膜层包括放置在下电极上的一个或多个发光层。上电极放置在有机薄膜层上。平坦化膜在非发光区域中在与下电极对应的区域中具有一个或多个凹槽（264）。

