



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/26 (2006.01) H05B 33/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월22일 10-0685404 2007년02월14일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0081103 2004년10월11일 2004년10월11일	(65) 공개번호 (43) 공개일자	10-2006-0032090 2006년04월14일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 강태욱
 경기 성남시 분당구 분당동 셋별마을우방아파트 302동 1103호

 김무현
 경기도 수원시 팔달구 영통동 신나무실 풍림아파트 601동 1501호

(74) 대리인 박상수

심사관 : 추장희

전체 청구항 수 : 총 15 항

(54) 유기전계발광표시장치 및 그 제조방법

(57) 요약

유기전계발광표시장치 및 그 제조방법에 대한 것이다. 기관 상에 위치하는 박막 트랜지스터; 상기 박막 트랜지스터 상에 배치되고 비아홀을 구비하는 절연막;상기 비아홀을 통하여 상기 박막 트랜지스터의 드레인 전극과 연결되고, 상기 절연막 상에 위치하는 화소전극; 상기 화소 전극 상에 형성된 발광층; 및 상기 발광층 상에 위치하고 적어도 상기 비아홀의 상부 영역을 노출시키는 대향전극 패턴을 구비하는 유기전계발광표시장치 및 그 제조방법을 제공한다.

대표도

도 3c

특허청구의 범위

청구항 1.

기관 상에 위치하는 박막 트랜지스터;

상기 박막 트랜지스터 상에 배치되고 비아홀을 구비하는 절연막;

상기 비아홀을 통하여 상기 박막 트랜지스터의 드레인 전극과 연결되고, 상기 절연막 상에 위치하는 화소전극;

상기 화소 전극 상에 형성된 발광층; 및

상기 발광층 상에 위치하고 적어도 상기 비아홀의 상부 영역을 노출시키는 대향전극 패턴을 구비하는 유기전계발광표시장치.

청구항 2.

제 1 항에 있어서,

상기 화소 전극 상에 상기 화소전극의 일부 영역을 노출시키는 개구부를 구비하고 상기 비아홀 상부를 덮는 화소정의막을 구비하는 것을 더욱 포함하는 유기전계발광표시장치.

청구항 3.

제 2 항에 있어서,

상기 화소정의막은 0\AA 을 초과하고 3000\AA 이하의 두께를 가지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제 3 항에 있어서,

상기 화소정의막은 1500\AA 이상이고 3000\AA 이하의 두께를 가지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5.

제 1 항에 있어서,

상기 절연막은 무기막, 유기막 또는 이들의 이중층인 것을 특징으로 하는 유기전계발광표시장치.

청구항 6.

기판 상에 반도체층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 상에 절연막을 형성하는 단계;

상기 절연막에 상기 소스 전극 또는 상기 드레인 전극 일부를 노출시키는 비아홀을 형성하는 단계;

상기 비아홀을 통하여 상기 소스 전극 또는 상기 드레인 전극과 연결되도록 화소전극을 형성하는 단계;

상기 화소 전극 상에 발광층을 형성하는 단계; 및

상기 발광층 상에 상기 비아홀의 상부영역을 노출시키는 대향전극 패턴을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 7.

제 6 항에 있어서,

상기 대향전극 패턴을 형성하는 것은 스트라이프형의 마스크를 사용하여 형성하는 것인 유기전계발광표시장치의 제조방법.

청구항 8.

제 6 항에 있어서,

상기 대향전극 패턴을 형성하는 것은 슬롯형의 마스크를 사용하여 형성하는 것인 유기전계발광표시장치의 제조방법.

청구항 9.

제 6 항에 있어서,

상기 대향 전극은 적어도 상기 비아홀에 대응하는 부분이 패터닝된 마스크를 사용하여 형성하는 것인 유기전계발광표시장치의 제조방법.

청구항 10.

제 6 항에 있어서,

상기 발광층을 형성하기 전에, 상기 화소 전극 상에 상기 화소전극의 일부 영역을 노출시키는 개구부를 구비하고, 상기 비아홀 상부를 덮는 화소정의막을 형성하는 것을 더욱 포함하는 유기전계발광표시장치의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 화소정의막은 0\AA 을 초과하고 3000\AA 이하의 두께를 가지도록 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 12.

제 11 항에 있어서,

상기 화소정의막은 1500\AA 이상이고 3000\AA 이하의 두께를 가지도록 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 13.

제 6 항에 있어서,

상기 절연막을 형성하는 것은 무기막, 유기막 또는 이들의 이중층으로 형성하는 것인 유기전계발광표시장치의 제조방법.

청구항 14.

제 6 항에 있어서,

상기 발광층은 레이저 열전사방법을 사용하여 형성하는 것인 유기전계발광표시장치의 제조방법.

청구항 15.

제 5 항에 있어서,

상기 발광층을 형성하기 전 또는 후에 전하 주입층 또는 전하 수송층을 형성하는 것을 포함하는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것으로서, 보다 상세하게는 화소 전극 및 대향 전극의 쇼트를 방지하는 구조를 가진 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

평판 표시 장치 중 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 장치의 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 또한, 저온 제작이 가능하고, 기존의 반도체 공정 기술을 바탕으로 제조 공정이 간단하므로 향후 차세대 평판 표시 장치로 주목받고 있다.

도 1은 종래의 유기전계발광표시장치 단위화소의 단면을 나타낸 것이다.

도면을 참조하면, 유기전계발광표시장치의 화소전극(150)은 평탄화층(140)에 형성된 비아홀(145)을 통해, 박막 트랜지스터(E)의 드레인 전극(130b)과 연결된다. 상기 화소전극(150) 상에는 발광층을 포함한 유기층(160)과 화소정의막(155)이 위치하고, 그 상부에 대향 전극(165)이 위치한다.

상기의 구조에서, 상기 비아홀 부분(A)의 상기 화소 정의막(155)을 보면, 상기 평탄화막(140)이 식각된 부근에서 막의 두께가 얇아짐을 알 수 있다.

도 2는 도 1의 비아홀 부분(A)을 세부적으로 나타낸 사진이다.

도면을 참조하면, 상기 비아홀(145)의 형성을 위해 식각된 평탄화막(140)의 끝단(B) 부위의 화소 정의막(155) 두께(t1)는 비아홀 내의 화소 정의막 두께(t2) 또는 비아홀 이외의 영역에 위치하는 화소 정의막 두께(t3)보다 더 얇게 형성됨을 알 수 있다. 이로 인해 상기 화소 정의막 상부에 대향 전극을 형성할 경우, 상기의 구조로 인해 상기 대향 전극과 하부의 화소전극(150)이 전기적인 단락 또는 쇼트의 문제를 일으킬 수 있다. 상기와 같은 전기적 단락은 단위화소의 불량으로 이어져, 유기전계발광표시장치의 암점을 유발할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 화소전극과 대향전극의 전기적 문제를 개선하여 표시 영역의 암점을 방지하는 유기전계발광표시장치 및 그 제조방법을 제공하는 데 목적이 있다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명은 기판 상에 위치하는 박막 트랜지스터; 상기 박막 트랜지스터 상에 배치되고 비아홀을 구비하는 절연막; 상기 비아홀을 통하여 상기 박막 트랜지스터의 드레인 전극과 연결되고, 상기 절연막 상에 위치하는 화소전극; 상기 화소 전극 상에 형성된 발광층; 및 상기 발광층 상에 위치하고 적어도 상기 비아홀의 상부 영역을 노출시키는 대향전극 패턴을 구비하는 유기전계발광표시장치를 제공한다.

또한, 상기 기술적 과제를 이루기 위하여 본 발명은 기판 상에 반도체층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계; 상기 박막 트랜지스터 상에 절연막을 형성하는 단계; 상기 절연막에 상기 소스 전극 또는 상기 드레인 전극 일부를 노출시키는 비아홀을 형성하는 단계; 상기 비아홀을 통하여 상기 소스 전극 또는 상기 드레인 전극과 연결되도록 화소전극을 형성하는 단계; 상기 화소 전극 상에 발광층을 형성하는 단계; 및 상기 발광층 상에 상기 비아홀의 상부영역을 노출시키는 대향전극 패턴을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 3c는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치를 나타낸 단면도로서 유기전계발광표시장치의 단위화소에 한정하여 나타낸 도면이다.

도면을 참조하면, 기판(200) 상에 반도체층(210), 게이트 전극(220), 소스 전극(230a) 및 드레인 전극(230b)을 구비하는 박막 트랜지스터(E)가 위치한다. 상기 박막트랜지스터(E) 상에는 절연막이 위치한다. 상기 절연막은 무기막, 유기막 또는 이들의 이중층일 수 있다.

예를 들면, 상기 박막 트랜지스터(E) 상에 유기막인 평탄화막(240)이 위치하고, 상기 박막 트랜지스터(E)와 상기 평탄화막(240) 사이에는 무기 보호막(235)이 개재될 수 있다. 상기 무기 보호막(235)은 상기 반도체층(210)의 패시베이션 및 상기 층들의 보호를 위해 개재되는 것이 바람직하다.

상기 평탄화막(240)에 형성된 비아홀(245)을 통하여 상기 박막 트랜지스터(E)의 드레인 전극(230b)과 연결되는 화소전극(250)이 상기 평탄화막(240) 상에 위치한다.

상기 화소 전극(250) 상에 상기 화소전극(250)을 부분적으로 노출시키되 상기 비아홀(245) 상부를 덮는 화소정의막(255)이 위치한다. 따라서, 단위화소의 발광영역 경계를 정할 수 있다. 효과적인 유기층의 전사를 위해 상기 화소정의막(255)은 0Å을 초과하고 3000Å이하의 두께를 가지는 것이 바람직하다. 또한 상기 화소정의막(255)은 화소 정의막의 균일도를 위해 1500Å이상이고 3000Å이하의 두께를 가지는 것이 바람직하다.

상기 노출된 화소전극(250) 상에는 발광층(260)이 위치한다. 상기 발광층(260)을 형성하기 전 또는 후에 전하 주입층 또는 전하 수송층을 개재하는 것을 포함할 수 있다. 또한 상기 전하 주입층 또는 전하 수송층은 공통층으로 개재될 수 있다.

상기 비아홀이 형성된 평탄화막의 구조로 인해 상기 비아홀이 존재하는 주변의 화소 정의막은 다른 부분에 비해 상대적으로 두께가 얇은 특징을 가진다.

상기 유기층(260) 상에는 대향전극(265)이 위치한다. 이때, 상기 대향전극(265)은 상기 비아홀 및 상기 비아홀 주변에는 형성되지 않는다.

따라서, 상기 비아홀(245) 및 상기 비아홀 주변을 제외하고 발광영역의 상부에만 대향전극(265)을 형성함으로써, 하부구조로 인해 화소 정의막이 얇은 두께를 가지게 되는 부분이 있다하더라도, 대향전극이 그 상부에는 존재하지 않으므로, 전기적인 단락이나 쇼트의 문제를 방지할 수 있다.

도 3a 내지 도 3c는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 제조방법을 나타낸 단면도들이다.

도 3a를 참조하면, 기판(200) 상에 버퍼층(205)을 형성한다. 상기 버퍼층(205)은 반드시 형성되어야 할 것은 아니지만, 소자의 제조 과정 중 기판(200)으로부터 발생하는 불순물이 소자의 내부로 유입되는 것을 방지하기 위하여 형성하는 것이 바람직하다. 상기 버퍼층(205)은 실리콘 질화막(SiNx), 실리콘 산화막(SiO₂), 또는 실리콘 산화질화막(SiO_xN_y)으로 형성될 수 있다.

상기 버퍼층(205) 상에 반도체층(210)을 형성한다. 상기 반도체층(210)은 비정질 또는 비정질 실리콘 막을 결정화한 결정질 실리콘막으로 형성할 수 있다.

상기 반도체층(210)상에 게이트 절연막(215)을 형성한다. 상기 게이트 절연막(215)은 통상의 절연막, 예를 들면 실리콘 산화막(SiO₂)으로 형성한다. 상기 게이트 절연막(215)이 형성된 기판 상에 게이트 전극(220)을 형성한다.

상기 게이트 전극(220) 상부에 층간절연막(225)을 형성한다. 상기 층간 절연막(225) 내에 상기 반도체층(210)의 소스 영역 및 드레인 영역들을 각각 노출시키는 콘택홀을 형성한다. 상기 층간 절연막(225) 상에 도전막을 적층하고 패터닝함으로써, 상기 노출된 소스 영역 및 드레인 영역들과 각각 접하는 소스 전극(230a)과 드레인 전극(230b)을 형성한다.

상기 소스 전극(230a) 및 드레인 전극(230b)을 형성한 기판의 상부에 절연막(241)을 형성한다. 상기 절연막(241)을 형성하는 것은 무기막, 유기막 또는 이들의 이중층으로 형성하는 것일 수 있다.

예를 들면, 상기 기판의 상부에 무기 보호막(235)을 형성한다. 상기 무기 보호막(235)은 반드시 형성되어야 할 것은 아니지만, 반도체층의 패시베이션 효과와 외부 광차단 효과를 위해 형성하는 것이 바람직하다.

상기 무기 보호막(235) 상에 유기막인 평탄화막(240)을 형성한다. 상기 평탄화막(240)은 폴리아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly(phenylenethers) resin), 폴리페닐렌설파이드계 수지(poly(phenylenesulfides) resin) 및 벤조사이클로부텐(benzocyclobutene, BCB)으로 이루어진 군에서 선택된 하나의 물질로 형성할 수 있다.

도 3b를 참조하면, 상기 절연막(241) 내에 드레인 전극(230b)이 노출되는 비아홀(245)을 형성하고, 상기 평탄화막 상에 도전막을 형성한 후 패터닝하여 화소전극(250)을 형성한다.

도 3c를 참조하면, 상기 화소 전극(250) 상에 상기 화소전극(250)의 일부 영역을 노출시키는 개구부를 형성하고, 상기 비아홀(245) 상부를 덮도록 화소정의막(255)을 형성한다. 상기 화소 정의막(255)을 형성함으로써 발광영역의 경계를 정할 수 있다.

상기 노출된 화소 전극(250) 상에 발광층(260)을 형성한다. 상기 발광층(260)을 형성하기 전 또는 후에 전하 주입층 또는 전하 수송층을 형성하는 것을 포함할 수 있다. 또한 상기 전하 주입층 또는 전하 수송층은 패터닝없이 공통층으로 형성할 수 있다.

상기 발광층(260)을 형성하는 것은 레이저 열전사방법을 사용하여 형성하는 것일 수 있다. 따라서, 레이저 전사 에너지의 효율과 효과적인 발광층의 전사를 위해 상기 화소정의막(255)은 3000Å 이하의 두께를 가지도록 형성하는 것이 바람직하다.

또한, 상기 화소정의막은 1500Å 이상의 두께를 가지도록 형성하는 것이 바람직하다. 왜냐하면, 기판의 크기가 커질수록 기판 전체에 형성되는 화소 정의막의 두께 균일도가 떨어지기 때문에, 균일한 발광층의 패터닝이 어려워지기 때문이다.

이때, 상기 비아홀 및 비아홀 주변의 화소 정의막의 두께는 상기의 두께보다 더욱 얇게 형성될 수 있다. 즉, 상기 비아홀이 형성된 평탄화막의 구조로 인해 상기 비아홀이 존재하는 주변의 화소 정의막은 다른 부분에 비해 상대적으로 두께가 얇아지게 된다.

상기 발광층(260) 상에 대향전극(265)을 형성한다. 상기 대향 전극(265)은 마스크(65)를 사용하여 적어도 상기 비아홀의 상부영역을 노출시키도록 대향전극(265) 패턴을 형성한다. 따라서, 상기 비아홀(245) 및 상기 비아홀 주변을 제외하고 발광영역의 상부에만 대향전극(265)을 형성함으로써, 상기 화소전극(250)과 상기 대향전극(265) 간의 전기적인 단락 또는 쇼트의 문제를 원천적으로 방지한다.

도 4는 본 발명의 제 2 실시예에 따른 유기전계발광표시장치를 나타낸 단면도로써, 유기전계발광표시장치의 단위화소에 한정하여 나타낸 단면도이다.

도면을 참조하면, 본 발명의 제 1 실시예와는 달리, 제 2 실시예에서는 화소 정의막없이, 발광층(360) 및 대향전극(365)이 패터닝된 구조를 가진다.

즉, 화소 전극(350)이 형성된 기판 상에 발광층(360)을 패터닝하여 형성한다. 상기 발광층(360)을 형성하기 전 또는 후에 전하 주입층 또는 전하 수송층을 형성하는 것을 포함할 수 있다. 또한 상기 전하 주입층 또는 전하 수송층은 패터닝없이 공통층으로 형성할 수 있다.

예를 들면, 상기 발광층(360)을 형성하기 전에 정공주입층 또는 정공 수송층을 제 1 공통층(360a)으로 형성한다. 상기 정공 주입층 또는 정공 수송층(360a) 상에 발광층(360)을 형성하고, 상기 발광층(360) 상에 전자 수송층 또는 전자 주입층(360b)을 제 2 공통층(360b)으로 형성한다. 상기 제 1 공통층(360a)은 상기 화소전극(350)에 따라서 전자 수송층 또는 전자 주입층이 될 수 있고, 이 경우 상기 제 2 공통층(360b)은 정공 수송층 또는 정공 주입층이 될 수 있다.

상기의 경우, 상기 비아홀 부근에는 절연층이 존재하지 않거나, 공통층으로 형성된 유기층이 존재하더라도 상기 유기층의 두께가 다른 부분에 비해 상대적으로 얇게 형성될 수 있다.

상기 기판 상에 발광 영역에 대응하는 대향전극(365) 패턴을 형성한다. 즉, 마스크(65)를 사용하여 적어도 상기 비아홀의 상부영역을 노출시키도록 대향전극(365) 패턴을 형성한다. 따라서, 상기 비아홀(345) 및 상기 비아홀 주변을 제외하고 발광영역의 상부에만 대향전극(365)을 형성함으로써, 화소 정의막 없이도, 상기 화소전극(350)과 상기 대향전극(365) 간의 전기적인 단락 또는 쇼트의 문제를 원천적으로 방지할 수 있게 된다.

이하 상기 제 1 실시예 및 제 2 실시예의 상기 대향전극의 평면적 형태를 설명한다.

도 5a 내지 도 5c는 본 발명의 실시예에 따라 대향전극을 형성한 것을 나타낸 유기전계발광표시장치의 평면도들이다. 도면을 참조하면, 비아홀 및 상기 비아홀 주변에는 형성되지 않도록 대향전극을 형성하는 것은 도 5a 내지 도 5c의 형태로 대향전극을 형성하는 것일 수 있다.

도 5a를 참조하면, 유기전계발광표시장치의 하나의 단위화소(C)는 비아홀(245)을 통해 하부의 박막 트랜지스터와 연결된다.

상기 대향 전극(265)을 형성하는 것은 스트라이프형의 마스크를 사용하여 형성하는 것일 수 있으며, 적어도 상기 비아홀의 상부 영역(245a)을 노출시키는 대향전극 패턴(265)이 형성된다.

즉, 상기 비아홀(245) 및 상기 비아홀 주변을 제외하고 상기 발광영역(262)의 상부에만 스트라이프 형태로 대향전극(265)이 형성됨으로써, 상기 화소전극(도 3c의 250, 도 4의 350)과 상기 대향전극(265) 간의 전기적인 단락 또는 쇼트의 문제를 원천적으로 방지할 수 있다.

즉, 하부구조로 인해 화소 정의막이 얇은 두께를 가지게 되는 부분이 있다하더라도, 대향전극이 그 상부에는 존재하지 않으므로, 전기적인 단락이나 쇼트의 문제를 방지할 수 있는 것이다. 따라서, 단위화소의 전기적인 단락이나 쇼트의 문제를 방지함으로써 유기전계발광표시장치의 암점 발생 문제를 해결할 수 있다.

또한, 상기 대향 전극을 형성하는 것은 슬롯형의 마스크를 사용함으로써, 적어도 상기 비아홀의 상부 영역(245a)을 노출시키는 대향전극 패턴(265)을 형성하는 것일 수 있다.

도 5b를 참조하면, 대향 전극을 형성할 부분에 슬롯을 형성한 형태를 가지는 마스크를 사용함으로써, 상기 기관 상에 상기 발광 영역(262)의 상부로 상기 대향전극(265a)을 패터닝한다. 그리고, 상기의 패터닝된 대향전극들(265a)을 연결할 수 있도록, 상기의 증착 마스크의 슬롯과 수직으로 형성된 슬롯 타입의 마스크를 이용하여 대향전극(265b)를 재증착하여, 상기 대향전극(265a)과 연결함으로써 격자 형태의 대향전극(265)을 완성한다.

따라서, 상기 도 5a와 마찬가지로, 상기 비아홀(245) 및 상기 비아홀 주변을 제외하고 상기 발광영역(262)의 상부에만 격자형태의 대향전극(265)이 형성됨으로써, 상기 화소전극(도 3c의 250, 도 4의 350)과 상기 대향전극(265) 간의 전기적인 단락 또는 쇼트의 문제를 원천적으로 방지할 수 있다. 또한, 격자 형태로 서로 만나는 대향전극을 구비함으로써, 전류 공급을 더욱 원활하게 할 수 있고, 그로 인해 대향전극의 저항 문제도 개선시킬 수 있다.

또한, 상기 대향 전극을 형성하는 것은 비아홀 부분이 패터닝된 마스크를 사용함으로써 상기 비아홀의 상부 영역을 노출시키는 대향전극 패턴을 형성할 수 있다.

도 5c를 참조하면, 적어도 상기 비아홀에 대응하는 부분이 패터닝된 마스크를 사용함으로써, 적어도 상기 비아홀의 상부 영역(245a)을 노출시키는 대향전극 패턴(265)을 형성할 수 있다. 따라서, 도 4b 및 도 4c와 마찬가지로, 상기 화소전극(250)과 상기 대향전극(265) 간의 전기적인 단락 또는 쇼트의 문제를 원천적으로 방지할 수 있다.

따라서, 단위화소의 전기적 단락이나 쇼트 발생으로 인한 유기전계발광표시장치의 암점 발생 문제를 개선할 수 있다.

발명의 효과

본 발명에 따른 유기전계발광표시장치는 대향 전극이 패터닝된 구조를 가짐으로써 하부구조로 인해 화소 정의막 또는 유기층이 얇게 형성되어도, 전기적인 단락이나 쇼트의 문제를 방지할 수 있는 장점이 있다.

따라서, 단위화소의 전기적인 단락이나 쇼트의 문제를 방지함으로써 유기전계발광표시장치의 암점 발생 문제를 개선할 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 종래의 유기전계발광표시장치의 단위화소에 대한 단면도,

도 2는 도 1의 A에 대한 사진,

도 3a 내지 도 3c는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 제조방법을 나타낸 단면도들,

도 4는 본 발명의 제 2 실시예에 따른 유기전계발광표시장치를 나타낸 단면도,

도 5a 내지 도 5c는 본 발명의 실시예에 따라 대향전극을 형성한 것을 나타낸 유기전계발광표시장치의 평면도들이다.

* 도면의 주요 부분에 대한 도면 부호의 설명 *

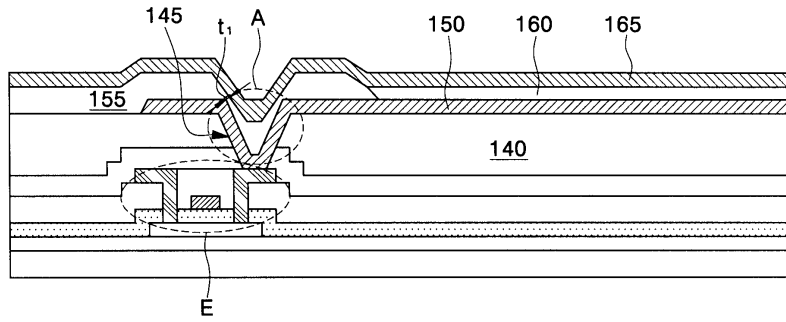
140, 240 : 평탄화막, 150, 250 : 화소전극,

165, 265 : 대향전극, 155, 255 : 화소정의막,

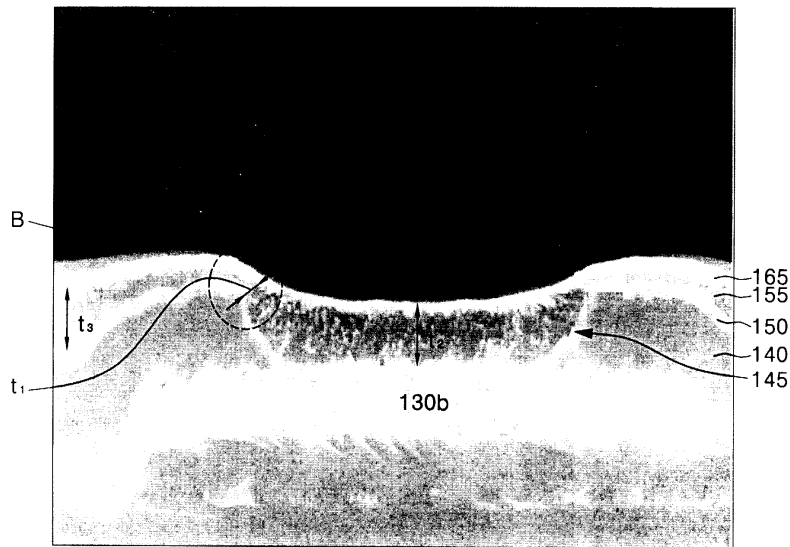
145, 245 : 비아홀

도면

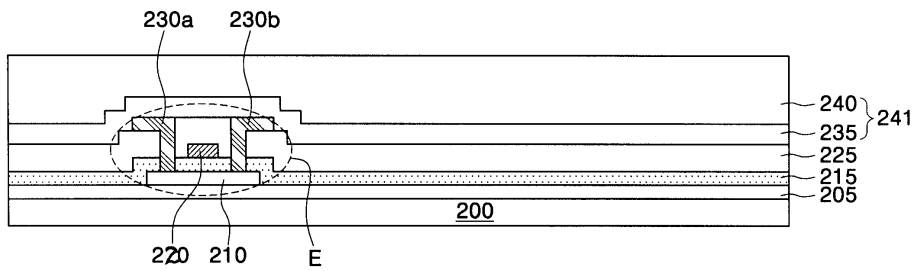
도면1



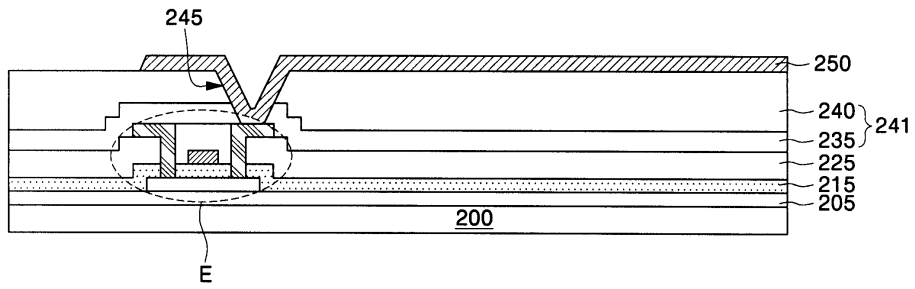
도면2



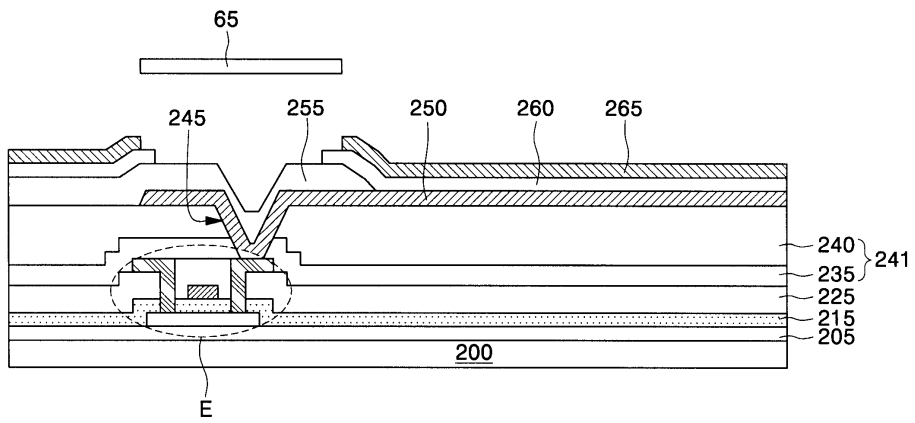
도면3a



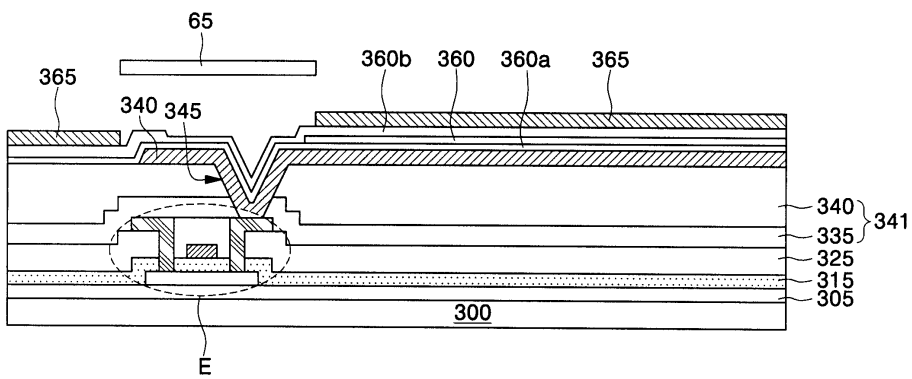
도면3b



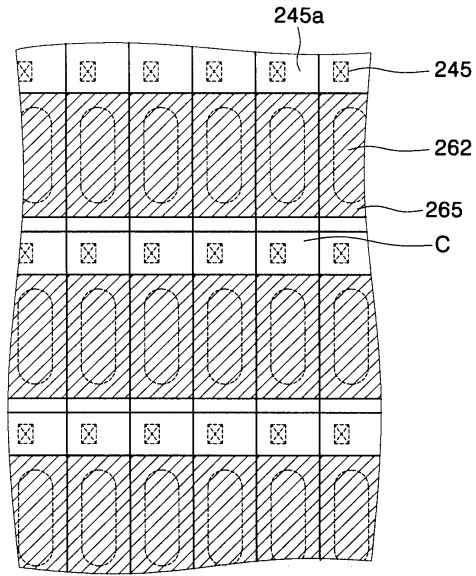
도면3c



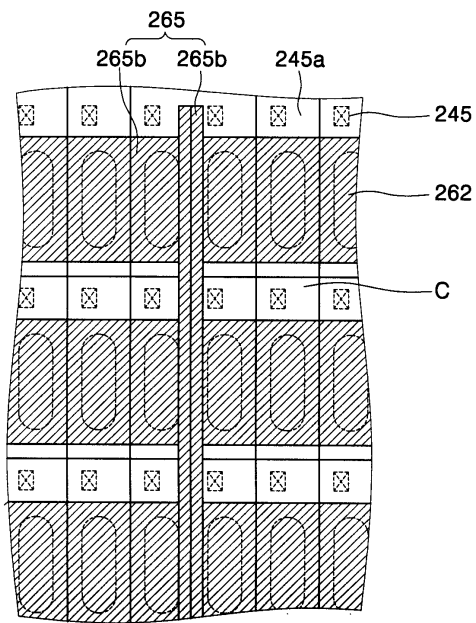
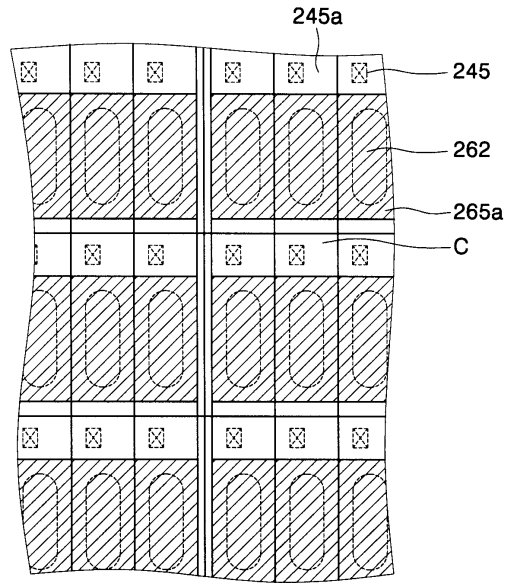
도면4



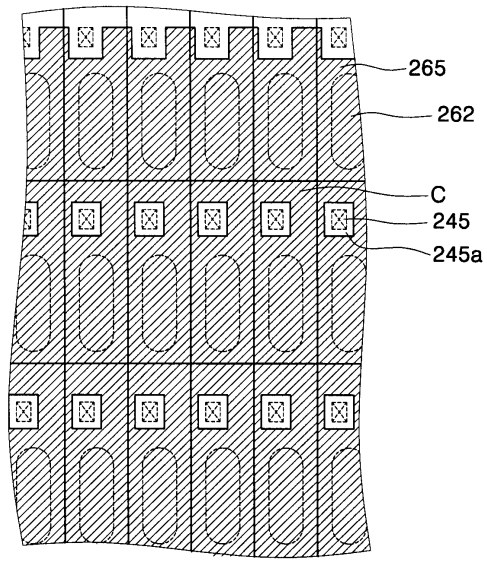
도면5a



도면5b



도면5c



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100685404B1	公开(公告)日	2007-02-22
申请号	KR1020040081103	申请日	2004-10-11
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KANG TAEWOOK 강태욱 KIM MUHYUN 김무현		
发明人	강태욱 김무현		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L51/5221 H01L51/0023 H01L27/3244 H01L51/5206 H01L2251/558 H01L51/0021 H01L27/3246 H01L51/5225 H01L2251/5392		
代理人(译)	PARK, 常树		
其他公开文献	KR1020060032090A		
外部链接	Espacenet		

摘要(译)

有机电致发光显示装置及其制造方法。薄膜晶体管，位于基板上；绝缘膜，设置在薄膜晶体管上并具有通孔，像素电极通过通孔连接到薄膜晶体管的漏极，并位于绝缘膜上；形成在像素电极上的发光层；并且，对电极图案位于发光层上并至少暴露通孔的上部区域，以及制造有机发光显示器的方法。图3c 指数方面 对电极，通孔，有机发光显示器，激光热转印方法

