



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년12월06일
H05B 33/22 (2006.01)	(11) 등록번호	10-0654564
H05B 33/10 (2006.01)	(24) 등록일자	2006년11월29일

(21) 출원번호	10-2005-0102959	(65) 공개번호
(22) 출원일자	2005년10월31일	(43) 공개일자
심사청구일자	2005년10월31일	

(73) 특허권자 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 황광조
 경기 안양시 동안구 비산동 1155번지 그린빌주공아파트 101-1801

 유홍우
 경북 구미시 형곡1동 신세계타운 1303호

(74) 대리인 허용록

(56) 선행기술조사문헌
KR1020010094562 A KR1020040004783 A
KR1020040046173 A KR1020050101373 A
* 심사관에 의하여 인용된 문헌

심사관 : 김창균

전체 청구항 수 : 총 18 항

(54) 유기 전계 발광 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은 다수의 서브픽셀로 정의된 제 1 기관; 상기 제 1 기관의 하부에 형성된 제 1 전극; 상기 제 1 전극 하부에 상기 각 서브 픽셀을 구획하는 외곽영역에 형성하되, 상기 제 1 전극의 일부분을 노출하는 트렌치가 구비된 버퍼층; 상기 트렌치에 의해 상기 제 1 전극과 전기적으로 연결된 보조전극; 상기 보조전극 하부에 형성된 격벽; 상기 버퍼층 하부에 위치하되, 상기 트렌치와 이격되어 형성된 스페이서; 상기 스페이서를 포함하는 제 1 전극 하부에 위치하되, 상기 보조전극 및 격벽에 의해 구획된 영역에 형성된 유기 발광층; 상기 유기 발광층 하부에 형성된 제 2 전극; 및 상기 제 1 기관하부로 일정 간격으로 이격되어 배치되며, 상기 제 2 전극과 전기적으로 연결된 박막트랜지스터를 구비하는 제 2 기관을 포함하며, 이를 구성하는 유기 전계 발광 표시 장치의 제조 방법을 제공한다.

대표도

도 2

특허청구의 범위

청구항 1.

다수의 서브픽셀로 정의된 제 1 기관;

상기 제 1 기관의 하부에 형성된 제 1 전극;

상기 제 1 전극 하부에 상기 각 서브 픽셀을 구획하는 외곽영역에 형성하되, 상기 제 1 전극의 일부분을 노출하는 트렌치가 구비된 버퍼층;

상기 트렌치에 의해 상기 제 1 전극과 전기적으로 연결된 보조전극;

상기 보조전극 하부에 형성된 격벽;

상기 버퍼층 하부에 위치하되, 상기 트렌치와 이격되어 형성된 스페이서;

상기 스페이서를 포함하는 제 1 전극 하부에 위치하되, 상기 보조전극 및 격벽에 의해 구획된 영역에 형성된 유기 발광층;

상기 유기 발광층 하부에 형성된 제 2 전극; 및

상기 제 1 기관하부로 일정 간격으로 이격되어 배치되며, 상기 제 2 전극과 전기적으로 연결된 박막트랜지스터를 구비하는 제 2 기관을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 격벽은 상기 보조전극에 비해 더 큰 폭을 가지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3.

제 1 항에 있어서,

상기 보조전극과 상기 격벽은 언더컷 형상을 가지는 적층구조인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4.

제 1 항에 있어서,

상기 보조전극은 Al, AlNd, Mo 및 Cr로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5.

제 1 항에 있어서,

상기 격벽은 질화실리콘, 산화실리콘, 아크릴계 수지, 벤조사이클로부텐(BCB) 및 폴리이미드(PI) 수지로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6.

제 1 항에 있어서,

상기 버퍼층은 질화실리콘 또는 산화실리콘으로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7.

제 1 항에 있어서,

상기 유기 발광층의 그 하부 또는 상부에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나 이상의 유기층이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8.

제 1 항에 있어서,

상기 제 2 전극 상에 흡습막이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9.

다수의 서브 픽셀이 정의된 제 1 기판을 제공하는 단계;

상기 제 1 기판의 일면에 하나의 마스크를 이용하여 제 1 전극 및 버퍼층을 형성하는 단계;

상기 버퍼층상에 보조전극 및 격벽을 형성하는 단계;

상기 버퍼층 상에 스페이서를 형성하는 단계; 및

상기 스페이서를 포함하는 상기 제 1 전극 상에 유기발광층 및 제 2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 10.

제 9 항에 있어서,

상기 제 1 기판의 일면에 하나의 마스크를 이용하여 제 1 전극 및 버퍼층을 형성하는 단계에서는 상기 버퍼층에 트렌치가 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 11.

제 9 항에 있어서,

상기 마스크는 슬릿 마스크 또는 하프톤 마스크인 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 12.

제 9 항에 있어서,

상기 스페이서를 포함하는 상기 제 1 전극 상에 유기발광층 및 제 2 전극을 형성하는 단계는 상기 보조전극과 상기 격벽에 의해 상기 유기발광층 및/또는 제 2 전극은 각 서브픽셀별로 자동적으로 분리되어 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 13.

제 9 항에 있어서,

상기 버퍼층은 질화실리콘 또는 산화실리콘으로 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 14.

제 9 항에 있어서,

상기 보조전극과 상기 격벽은 언더컷 형상을 가지는 적층구조로 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 15.

제 9 항에 있어서,

상기 보조전극은 Al, AlNd, Mo 또는 Cr로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 16.

제 9 항에 있어서,

상기 격벽은 질화실리콘, 산화실리콘, 아크릴계 수지, 벤조사이클로부텐(BCB) 및 폴리이미드(PI) 수지로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 17.

제 9 항에 있어서,

상기 유기 발광층의 그 하부 또는 상부에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나 이상의 유기층이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 18.

제 9 항에 있어서,

각 서브 픽셀에 형성된 적어도 하나의 박막트랜지스터를 구비하는 제 2 기판을 제공하는 단계;

상기 제 1 기판 또는 제 2 기판의 외곽부에 실패턴을 형성하는 단계; 및

상기 제 1 기판과 상기 제 2 기판을 상기 실패턴에 의해 합착하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시 장치에 관한 것으로, 특히 단순한 공정을 통하여 제조할 수 있는 듀얼 패널 타입의 유기 전계 발광 표시 장치 및 이의 제조방법에 관한 것이다.

유기 전계 발광 표시 장치는 전자(electron)와 정공(hole)이 반도체 안에서 전자-정공 쌍을 만들거나 캐리어(carrier)들이 좀더 높은 에너지 상태로 여기된 후 다시 안정화 상태인 바닥상태로 떨어지는 과정을 통해 빛이 발생하는 현상을 이용한다.

이와 같이, 상기 유기 전계 발광 표시 장치는 자체발광형이기 때문에 액정표시장치에 비해 별도의 백라이트가 필요하지 않아, 경량 박형이 가능하고, 소비전력 측면에서 유리하며, 시야각 및 콘트라스트가 우수하다.

그리고, 직류 저전압 구동이 가능하고 응답속도가 빠르며 전부 고체이기 때문에 외부충격에 강하고 사용 온도범위도 넓으며, 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

특히, 상기 유기 전계 발광 표시 장치의 제조공정에는, 액정표시장치나 PDP(Plasma Display Panel)와 달리 증착 및 봉지(encapsulation) 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.

또한, 각 화소마다 스위칭 소자인 박막트랜지스터를 가지는 액티브 매트릭스방식으로 유기 전계 발광 표시 장치를 구동하게 되면, 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비 전력, 고정세, 대형화가 가능한 장점을 가진다.

도 1은 종래의 유기 전계 발광 표시 장치에 대한 개략적인 단면도로서, 이는 하부 발광방식으로 동작하는 액티브 매트릭스방식의 단면 구조를 나타내고 있다.

도 1을 참조하여 설명하면, 박막트랜지스터(Tr)가 형성된 기판(10)이 위치한다. 상기 박막트랜지스터(Tr)는 게이트 전극(15), 액티브층(25) 및 소스/드레인 전극(27a, 27b)을 포함한다.

이후에, 상기 드레인 전극(27b)의 일부분을 노출하는 콘택홀을 구비한 보호막(20)이 위치한다.

상기 보호막(20)에 형성된 상기 콘택홀을 통하여 상기 드레인 전극(27b)과 전기적으로 연결된 제 1전극(30)이 위치한다.

상기 제 1 전극(30)에 서브픽셀이 정의된 절연막(40)이 위치하고, 상기 서브픽셀의 상기 제 1 전극(30) 상에 유기 발광층(50)이 위치한다. 상기 유기 발광층(50) 상에 공통전극으로 제 2 전극(60)이 형성된다. 여기서, 상기 제 1, 제 2 전극(30, 60)은 상기 유기 발광층(50)이 광을 방출할 수 있도록 전계를 인가하는 역할을 한다.

이후, 상기 기판(10)상에 형성된 유기 전계 발광 다이오드 소자(E)를 외부의 습기 및 산소로부터 보호하기 위해, 상기 기판(10)의 외곽부에 실란트(70)를 도포한뒤, 상기 유기 전계 발광 다이오드 소자(E)에 대향되도록 봉지기판(80)을 합착하는 봉지공정을 수행함으로써 유기 전계 발광 표시 장치가 제조된다.

한 예로, 하부발광방식 구조에서 상기 제 1 전극(30)은 일함수가 높은 투명한 도전물질로 이루어지고, 상기 제 2 전극(60)은 상기 제 1 전극(30)에 비해 일함수가 낮은 반사성의 도전물질로 이루어진다.

기존의 유기 전계 발광 표시 장치는 박막트랜지스터와 같은 어레이 소자와 유기 전계 발광 다이오드가 동일 기판 상에 적층된 구조로 이루어진다.

이와 같은 유기 전계 발광 표시 장치는 상기 어레이 소자 및 유기 전계 발광 다이오드 소자가 형성된 기판에 별도의 봉지기로 봉지하는 공정을 수행하여 형성된다. 이때, 상기 어레이 소자의 수율과 유기 전계 발광 다이오드 소자의 수율의 곱이 완성된 유기 전계 발광 표시 장치의 수율을 결정하기 때문에 후반 공정에 해당되는 유기 전계 발광 다이오드 소자의 제조 공정에 의해 전체 공정 수율이 크게 제한된다.

예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1000Å 정도의 박막을 사용하는 유기 발광층의 형성 시 이물이나 기타 다른 요소에 의해 불량 발생하게 되면, 유기 전계 발광 표시 장치는 불량 등급으로 판정된다.

이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있다.

그리고, 하부발광방식은 봉지공정에 의한 안정성 및 공정의 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있다. 이와 달리, 상부발광방식은 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하다. 그러나, 종래의 상부발광방식 구조에서는 유기발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 등의 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 박막트랜지스터와 유기 전계 발광 다이오드의 수율이 서로 영향을 받지 않도록 형성하여, 불량률 및 생산관리 효율을 증대시킬 수 있는 유기 전계 발광 표시 장치 및 이의 제조 방법을 제공함에 그 목적이 있다.

또한, 단순한 공정을 통해 생산성의 향상을 기대할 수 있는 유기 전계 발광 표시 장치 및 이의 제조 방법을 제공함에 다른 목적이 있다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 유기 전계 발광 표시 장치를 제공한다. 상기 유기 전계 발광 표시 장치는 다수의 서브픽셀로 정의된 제 1 기판; 상기 제 1 기판의 하부에 형성된 제 1 전극; 상기 제 1 전극 하부에 상기 각 서브 픽셀을 구획하는 외곽영역에 형성되, 상기 제 1 전극의 일부분을 노출하는 트렌치가 구비된 버퍼층; 상기 트렌치에 의해 상기 제 1 전극과 전기적으로 연결된 보조전극; 상기 보조전극 하부에 형성된 격벽; 상기 버퍼층 하부에 위치되, 상기 트렌치와 이격되어 형성된 스페이서; 상기 스페이서를 포함하는 제 1 전극 하부에 위치되, 상기 보조전극 및 격벽에 의해 구획된 영역에 형성된 유기 발광층; 상기 유기 발광층 하부에 형성된 제 2 전극; 및 상기 제 1 기판하부로 일정 간격으로 이격되어 배치되며, 상기 제 2 전극과 전기적으로 연결된 박막트랜지스터를 구비하는 제 2 기판을 포함한다.

상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면은 유기 전계 발광 표시 장치의 제조 방법을 제공한다. 상기 제조 방법은 다수의 서브 픽셀이 정의된 제 1 기판을 제공하는 단계; 상기 제 1 기판의 일면에 하나의 마스크를 사용하여 제 1 전극 및 버퍼층을 형성하는 단계; 상기 버퍼층상에 보조전극 및 격벽을 형성하는 단계; 상기 버퍼층 상에 스페이서를 형성하는 단계; 및 상기 스페이서를 포함하는 제 1 전극 상에 유기발광층 및 제 2 전극을 형성하는 단계를 포함한다.

더 나아가, 상기 제조 방법은 각 서브 픽셀에 형성된 적어도 박막트랜지스터를 구비하는 제 2 기판을 제공하는 단계; 상기 제 1 기판 또는 제 2 기판의 외곽부에 실패턴을 형성하는 단계; 및 상기 제 1 기판과 상기 제 2 기판을 상기 실패턴에 의해 합착하는 단계를 더 포함한다.

이하, 본 발명에 의한 유기 전계 발광 표시 장치의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 2는 본 발명의 제 1 실시예에 따른 듀얼 패널 타입의 유기 전계 발광 표시 장치의 단면도로서, 하나의 서브픽셀을 한정하여 도시하였다. 즉, 상기 유기 전계 발광 표시 장치는 도 2에서 도시한 서브픽셀을 다수개 구비할 수 있으며, 설명의 편의를 위해 생략하여 도시하였다.

도 2를 참조하여 설명하면, 상기 유기 전계 발광 표시 장치는 다수의 서브픽셀로 정의된 제 1 기판(100)과 제 2 기판(200)이 서로 일정 간격으로 이격되어 배치된다.

여기서, 상기 제 1 기판(100)의 하부에 유기 전계 발광 다이오드 소자(E)가 형성되어 있으며, 상기 제 2 기판(200)상에는 적어도 하나의 박막트랜지스터(Tr)를 구비한다. 여기서, 도면에서는 도시하지 않았으나, 상기 제 2 기판(200)에는 적어도 하나의 박막트랜지스터 및 캐패시터를 더 구비할 수 있다.

즉, 상기 유기 전계 발광 표시 장치는 상기 제 2 기판(200)의 박막트랜지스터와 상기 제 1 기판(100)의 유기 전계 발광 다이오드 소자(E)가 서로 대향되어 배치되되, 서로 전기적으로 연결되어 있다.

자세하게, 다수의 서브픽셀로 정의된 상기 제 1 기판(100)이 위치한다. 상기 제 1 기판(100) 하부에 제 1 전극(110)이 위치한다. 이때, 상기 제 1 전극(110)은 일함수가 높은 투명성 도전 물질로 이루어지는 것이 바람직하다. 이를테면, 상기 제 1 전극(110)은 ITO 또는 IZO로 이루어질 수 있다.

상기 제 1 전극(110) 하부에 상기 각 서브 픽셀을 구획하는 외곽영역에 버퍼층(115)이 형성되고, 상기 버퍼층(115)에 의해 상기 각 서브 픽셀의 영역이 정의된다. 여기서, 상기 버퍼층(115)은 질화실리콘 또는 산화실리콘으로 이루어질 수 있다.

이때, 상기 버퍼층(115)은 상기 제 1 전극(110)의 일부분을 노출하는 트렌치(125)를 구비한다. 상기 버퍼층(115) 상부의 일정 영역에 위치하되, 상기 트렌치(125)에 의해 노출된 상기 제 1 전극(110)하부에 보조전극(135')이 위치한다. 즉, 상기 보조전극(135')은 상기 제 1 전극(110)과 전기적으로 연결되어, 상기 제 1 전극(110)의 저항차를 낮추어 주는 역할을 한다. 이는 상기 제 1 전극(110)이 상술한 바와 같이, ITO 또는 IZO와 같은 저항성이 높은 투명한 도전성 물질로 이루어지므로 저항차에 의한 휘도의 불균일을 초래할 수 있기 때문이다. 여기서, 상기 보조전극(135')은 저항이 낮은 금속으로, 이를테면, Al, AlNd, Mo 및 Cr로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어지는 것이 바람직하다.

상기 보조전극(135') 하부에 격벽(145)이 위치한다. 여기서, 상기 격벽(145)은 상기 보조전극(135')에 비해 더 폭이 넓도록 형성하는 것이 바람직하다. 더욱 바람직하게, 상기 보조전극(135')과 상기 격벽(145)은 순차적으로 적층되어 있는 구조로, 언더컷 형상을 가진다.

여기서, 상기 격벽(145)은 질화실리콘, 산화실리콘, 아크릴계 수지, 벤조사이클로부텐(BCB) 및 폴리이미드(PI) 수지로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다.

더나아가, 상기 보조전극(135')과 일정 간격을 둔채로 상기 버퍼층(115) 상에 스페이서(155)가 위치할 수 있다. 상기 스페이서(155)는 상기 제 1 기판(100)과 상기 제 2 기판(200)의 간격을 일정하게 유지하는 역할을 한다.

상기 스페이서(155)를 포함하는 상기 제 1 전극(110)의 상부에 형성하되, 상기 보조전극(135')과 상기 격벽(145)에 의해 각 서브픽셀별로 위치하는 유기 발광층(120), 제 2 전극(130)이 순차적으로 위치한다.

상기 제 2 전극(130)은 일함수가 낮은 금속으로서, Mg, Ca, Al, Ag, Ba 및 이들의 합금으로 이루어진 군에서 선택된 하나의 물질로 이루어질 수 있다.

이때, 상기 보조전극(135')과 상기 격벽(145)이 세퍼레이터(seperator)역할을 하여, 상기 유기 발광층(120) 및 상기 제 2 전극(130)은 자동적으로 분리하는 역할을 수행한다.

여기서, 상기 제 2 전극(130)의 형성시, 상기 보조전극(135') 및 상기 격벽(145)에 의해 서브픽셀 단위로 자동적으로 분리되어 형성될 수 있으므로, 상기 격벽(145)상에 상기 제 2 전극(130)의 일부가 분리되어 위치할 수 있다.

또한, 도면에는 도시하지 않았으나, 상기 유기발광층(120)의 형성시에도, 상기 보조전극(135') 및 상기 격벽(145)에 의해 자동적으로 분리되어 형성될 수 있으므로, 상기 격벽(145)과 상기 제 2 전극(130) 사이에 유기 발광층(120)의 일부가 분리되어 위치할 수 있다.

상기 유기 발광층(120)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나 이상의 유기층을 더 포함할 수 있다. 이로써, 상기 제 1 전극(110), 유기 발광층(120) 및 제 2 전극(130)의 각각 경계면에서의 에너지 레벨을 적절하게 조절해주어, 상기 유기 발광층(120)으로 전자와 정공을 효율적으로 주입시킬 수 있다. 이로써, 완성된 유기 전계 발광 표시 장치의 발광 효율을 향상시킬 수 있다.

더욱 바람직하게, 상기 제 1 전극(110)은 양극이므로, 상기 유기발광층(120)의 하부 즉, 상기 유기발광층(120)과 상기 제 1 전극(110) 사이에는 정공 주입층 및/또는 정공 수송층이 개재될 수 있으며, 상기 유기발광층(120)의 상부에는 정공억제층, 전자수송층, 전자 주입층 중에 적어도 하나 이상의 유기층이 위치할 수 있다.

또한, 상기 스페이서(155)로 인하여, 상기 제 2 전극(130)의 일부분은 상부로 도출되어, 제 2 전극 연결부(130a)가 형성된다.

한편, 제 2 기판(200)이 위치한다. 상기 제 2 기판(200)은 다수의 서브픽셀로 정의되며, 상기 각 서브픽셀 영역에 게이트 전극(205), 액티브층(215), 소스/드레인 전극(235a, 235b)이 구비된 박막트랜지스터(Tr)가 위치한다. 도면에는 도시되지 않았으나, 상기 제 2 기판(200)상에는 상기 각 서브픽셀 영역에 적어도 하나 이상의 박막트랜지스터와 캐패시터가 더 위치할 수 있다. 또한, 도면에서는 상기 박막트랜지스터는 비정질 실리콘으로 이루어진 바텀 게이트 박막트랜지스터에 대해 한정하여 도시하였으나, 이에 한정하지 아니하고 여러 박막트랜지스터가 적용될 수 있다.

상기 박막트랜지스터(Tr)를 포함하는 상기 제 2 기판(200) 전면에 걸쳐 형성된 보호막(220)이 위치한다.

이때, 상기 보호막(220)은 상기 드레인 전극(235b)의 일부분을 노출하는 콘택홀을 구비하며, 상기 콘택홀을 통해 노출된 상기 드레인 전극(235b)과 전기적으로 연결된 연결전극(245)을 더 형성할 수 있다.

상술한 제 1 기판(100)과 상기 제 2 기판(200)은 실패턴(300)에 의해 합착되어 있다. 즉, 상기 제 1 기판(100)에는 유기 전계 발광 다이오드 소자(E)가 형성되어 있으며, 상기 제 2 기판(200)에는 박막트랜지스터(Tr)를 포함하는 어레이 소자가 형성되어 있다. 이때, 상기 유기 전계 발광 다이오드 소자(E)의 제 2 전극과 상기 박막트랜지스터(Tr)의 드레인 전극(235b)은 전기적으로 연결되어 있다. 더욱 상세하게, 상기 제 2 전극의 연결부(도 2b의 130a)는 상기 연결전극(245)을 통해 상기 드레인 전극(235b)과 전기적으로 연결되어 있다. 또한, 상기 스페이서(155)에 의해서 상기 제 1 기판(100)과 상기 제 2 기판(200)은 서로 일정 간격을 가지게 된다.

이로써, 이와 같은 구조를 가지는 상기 유기 전계 발광 표시 장치는 상기 제 1 기판(100)을 통하여 광을 방출하여 화면을 구현하는 상부 발광식으로써, 상기 제 1 기판(100)상에 제 1 전극(110)으로 투명성의 도전 물질로 이루어진 ITO 또는 IZO로 형성하여, 광 투과율을 더욱 향상시킬 수 있다.

또한, 상기 제 1 전극(110)의 일부분에 전기적으로 연결된 저 저항체의 보조전극(135')을 형성함에 따라 저항차를 감소시켜 휘도가 불균해지는 문제를 해결할 수 있다.

또한, 상기 보조전극(135')과 격벽(145)을 통해 상기 유기발광층(120)과 제 2 전극(130)을 서브픽셀 단위로 자동적으로 분리시키는 세퍼레이터 역할을 수행하게 하여 단순한 공정을 거쳐 유기 전계 발광 표시 장치를 제조할 수 있다.

도 3a 내지 도 3f는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위한 공정도이다.

도 3a를 참조하여 설명하면, 먼저 다수의 서브픽셀로 정의된 제 1 기판(100)을 제공한다. 상기 제 1 기판(100)은 플라스틱 또는 유리로 투명성의 재질로 선택하는 것이 바람직하다. 상기 제 1 기판(100) 상에 제 1 도전막과 절연막을 순차적으로 적층한다. 여기서, 상기 제 1 도전막은 투명성의 도전물질로 이룰테면, ITO 또는 IZO로 형성할 수 있다. 또한, 상기 절연막은 실리콘 산화물 또는 실리콘 질화물로 이루어질 수 있다. 여기서, 상기 제 1 도전막과 상기 절연막을 하나의 마스크를 사용하여 패터닝하여 제 1 전극(110)과 버퍼층(115)을 형성한다. 즉, 상기 제 1 전극(110)은 공통전극으로 상기 제 1 기판(100)의 액티브 영역에 대응되도록 위치하게 된다. 또한, 상기 버퍼층(115)은 각 서브픽셀을 정의하도록, 상기 각 서브픽셀의 외곽부에 위치하게 된다.

여기서, 상기 마스크는 영역별로 광의 세기를 조절할 수 있는 슬릿 마스크 또는 하프톤 마스크를 이용한다.

이때, 상기 버퍼층(115)을 형성하는 공정에서 상기 제 1 전극(110)의 일부분을 노출시키는 트렌치(125)가 동시에 형성된다. 상기 트렌치를 통하여 상기 제 1 전극(110)과 후술할 보조전극(135)이 전기적으로 연결된다.

이후, 도 3b를 참조하여 설명하면, 상기 트렌치(125)에 상기 제 1 전극(110)과 전기적으로 연결되는 보조전극(135)과 격벽(145)을 형성한다.

자세하게, 상기 보조전극(135)과 격벽(145)은 먼저, 상기 제 1 전극(110)상에 저 저항체의 도전성 물질로 이루어진 도전성막을 형성한다. 이후, 상기 도전성막은 Al, AlNd, Mo 또는 Cr로 이루어진 군에서 선택된 적어도 하나의 물질로 형성할 수 있다. 상기 도전성막 상에 상기 도전성막과 식각 선택비가 다른 물질로 이루어진 절연막을 형성한다. 여기서, 상기 절연막은 질화실리콘, 산화실리콘, 아크릴계 수지, 벤조사이클로부텐(BCB) 및 폴리이미드(PI) 수지로 이루어진 군에서 선택된 적어도 하나로 형성될 수 있다.

이후에, 상기 트렌치(125) 영역에 대응되는 상기 도전성막상에 위치하도록 상기 절연막을 건식식각하여 격벽(145)을 형성한 뒤, 상기 격벽(145)을 마스크로 하여, 상기 도전성막을 습식식각하여 보조전극(135)을 형성한다. 이때, 습식식각의 특성상 상기 보조전극(135)은 상기 격벽(145)에 대해 언더컷 형상을 가진다. 이로써, 후술할 공정에 유기 발광층 및 제 2 전극은 상기 격벽과 보조전극의 언더컷 형상으로 인해 서브픽셀별로 자동적으로 분리되어 형성된다. 이로써, 별도의 마스크 공정을 수행하여, 상기 유기 발광층 및 상기 제 2 전극의 패터닝 공정을 수행하지 않아도, 각 서브픽셀별로 상기 유기 발광층 및 상기 제 2 전극을 분리하여 형성할 수 있다.

이후, 도 3c를 참조하면, 상기 버퍼층(115) 상에 절연체로 이루어진 스페이서(155)를 형성한다. 상기 스페이서(155)는 셀 캡 유지를 위한 것으로, 유기 절연막 등으로 이루어진 기둥현상을 가진다. 또한, 후술할 제 2 전극이 상기 스페이서를 통해 일부분이 상부로 노출하게 되어, 제 2 기판의 박막트랜지스터의 드레인 전극과 연결해 주는 다리 역할을 하게 된다.

이후, 도 3d를 참조하면, 상기 스페이서(155)를 포함하는 제 1 전극(110)상에 유기 발광층(120)을 각 서브픽셀 단위로 형성한다. 여기서, 상기 유기 발광층(120)은 저분자 물질 또는 고분자 물질일 수 있다. 이때, 상기 유기 발광층(120)이 저분자 물질일 경우에 있어서, 진공 증착법을 수행하여 형성할 수 있으며, 고분자 물질일 경우에 있어서, 잉크젯 프린팅 방법을 수행하여 형성할 수 있다.

이때, 상기 유기 발광층(120)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나의 유기층을 더 형성할 수 있다.

이후에 상기 유기 발광층(120)을 포함하는 제 1 기판 전면에 걸쳐 제 2 전극(130)을 형성한다. 상기 제 2 전극(130)은 상기 격벽(145)과 보조전극(135)의 언더컷 형상에 의해 용이하게 각 서브픽셀 단위로 분리되어 형성된다.

이로써, 상기 격벽(145)과 보조전극(135)의 언더컷 형상에 자동적으로 상기 제 2 전극(130)이 각 서브픽셀 단위 형성되므로, 추가적인 패터닝 공정을 수행하지 않아도 된다. 또한, 상기 유기 발광층(120)도 별도의 패터닝 공정을 수행하지 아니하고, 상기 격벽(145)과 보조전극(135)의 언더컷 형상에 의해 자동적으로 분리되도록 형성할 수 있다.

상기 제 2 전극(130)은 도전성의 물질로 상기 제 1 전극(110)에 비해 일함수가 낮은 금속으로 이루어질 수 있다. 이로써, 상기 제 2 전극(130)은 상기 유기발광층(120)에 전자를 공급해주는 역할을 한다. 이를테면 상기 제 2 전극(130)은 Mg, Ca, Al, Ag, Ba 및 이들의 합금으로 이루어진 군에서 선택된 적어도 하나로 형성될 수 있다.

이때, 상기 제 2 전극(130)은 상기 스페이서(155) 상부에도 형성되는 바, 상기 스페이서(155)에 의해 상기 제 2 전극(130)의 일부분은 상부로 노출되어, 후술할 제 2 기판(도 3g의 200)의 소자와 전기적으로 연결되는 제 2 전극 연결부(130a)가 형성될 수 있다.

더 나아가, 상기 제 2 전극(130) 상부에 흡습막(도면에는 도시하지 않음.)을 더 형성할 수 있다. 이는 상기 유기 발광층(120)이 수분 또는 산소와 반응하여, 상기 유기 발광층(120)을 이루는 물질의 화학 구조식이 변하게 되어 발광 특성이 소멸될 수 있다. 이로써, 화소의 한 부분이 발광하지 않는 흑점이 발생한다. 더군다나, 상기 흑점은 시간이 지남에 따라 증가하게 되어, 결국에는 한 서브픽셀은 광이 나오지 않게 되어 완성된 유기 전계 발광 표시 장치의 불량율을 일으킬 수 있으며, 수명이 줄어든다. 이로써, 상기 흡습막을 더 형성하여 이를 해결하고자 함이다. 이때, 상기 흡습막은 산화바륨, 산화칼슘, 산화알루미늄, 황산리튬, 황산나트륨, 황산칼슘, 황산마그네슘, 황산코발트, 황산갈륨, 황산티타늄, 염화칼슘, 질산 칼슘으로 이루어진 군에서 선택된 하나 이상의 물질로 이루어질 수 있다.

또한, 상기 흡습막은 상기 제 2전극의 연결부(130a), 즉, 스페이서(155)에 의해 도출된 제 2 전극의 일부분에는 형성하지 않는 것이 바람직하다.

한편, 도 3e를 참조하면, 박막트랜지스터(Tr)가 형성된 제 2 기판(200)을 제공한다. 자세하게, 상기 제 2 기판(200)상에 박막트랜지스터를 형성하는 방법은 먼저, 제 2 기판(200)을 제공한다. 상기 제 2 기판(200)은 플라스틱, 유리 또는 금속으로 이루어질 수 있다. 상기 제 2 기판(200) 상에 게이트 전극(205)을 형성하고, 상기 게이트 전극을 포함하는 상기 제 2 기판(200) 전면에 걸쳐 게이트 절연막(210)을 형성한다. 상기 게이트 절연막(210)은 산화 실리콘 또는 질화 실리콘을 화학 기상증착법을 수행하여 증착하여 형성할 수 있다.

상기 게이트 전극(205)이 대응된 상기 게이트 절연막(210) 상에 액티브층(215)을 형성한다. 여기서, 상기 액티브층(215)은 비정질 실리콘막과, P형 또는 N형 불순물이 도핑된 비정질 실리콘막을 순차적으로 적층하여 형성한 뒤, 패터닝하여 형성된 채널층(215a)과 오믹콘택층(215b)을 포함한다.

상기 액티브층(215)상에 도전성 금속을 증착한 뒤 패터닝하여, 상기 액티브층(215)의 양단부 상에 위치하는 소스/드레인 전극(235a, 235b)을 형성한다.

이로써, 상기 제 2 기판(200) 상에 게이트 전극(205), 액티브층(215) 및 소스/드레인 전극(235a, 235b)을 포함하는 박막트랜지스터(Tr)를 형성할 수 있다. 여기서, 도면에서 상기 제 2 기판(200)상에 하나의 박막트랜지스터를 형성하는 것으로 한정하여 설명하였으나, 상기 제 2 기판(200)상에 적어도 하나의 박막트랜지스터 및 캐패시터를 더 형성할 수 있다.

또한, 여기서 상기 박막트랜지스터(Tr)는 비정질 실리콘을 이용한 바텀 게이트(bottom gate) 박막트랜지스터를 형성하는 것으로 제한하여 설명하였으나, 이에 한정되지 아니하고 공지된 여러 형태의 박막트랜지스터를 채용할 수 있다.

상기 박막트랜지스터(Tr)를 포함하는 제 2 기판(200) 전면에 걸쳐 보호막(220)을 형성한다. 여기서, 상기 보호막(220)은 질화실리콘 또는 산화실리콘으로 이루어질 수 있으며, 화학기상증착법을 수행하여 형성될 수 있다. 상기 보호막(220)에 상기 드레인 전극(235b)을 노출하기 위한 콘택홀을 형성한다. 더 나아가, 상기 콘택홀 통해 노출된 상기 드레인 전극(235b) 상부에 연결전극(130a)을 더 형성할 수 있다.

이후, 도 3f를 참조하면, 상술한 제조방법을 통해 각각 제조된 상기 제 1 기판(100) 또는 상기 제 2 기판(200)의 외곽부에 실 패턴을 도포한 뒤, 상기 제 1 기판(100)의 유기 전계 발광 다이오드 소자(E)와 상기 제 2 기판(200)의 박막 트랜지스터(Tr)가 서로 대향되도록, 상기 제 1 기판(100)과 상기 제 2 기판(200)을 합착하여, 유기 전계 발광 표시 장치를 제조할 수 있다. 여기서, 상기 유기 전계 발광 다이오드 소자(E)의 제 2 전극 연결부(130a)와 상기 박막 트랜지스터(Tr)의 드레인 전극(235b)은 서로 전기적으로 연결되어 있다.

이하, 도 4a 내지 도 4d를 참조하여, 제 1 기판상에 제 1 전극 및 버퍼층을 형성하는 공정을 더욱 상세하게 설명한다.

도 4a를 참조하면, 제 1 기판(100)을 제공한다. 상기 제 1 기판(100)상에 제 1 도전막(410)과 절연막(420)을 순차적으로 적층한다. 여기서, 상기 제 1 도전막(410)은 투명성의 도전물질로 이룰테면, ITO 또는 IZO로 형성할 수 있다. 또한, 상기 절연막(420)은 실리콘 산화물 또는 실리콘 질화물로 이루어질 수 있다.

이후, 상기 절연막(420)에 포토레지스트층(430) 형성하고, 상기 포토레지스트층(430)상부로 마스크(500)를 제공한다. 여기서, 상기 마스크(500)는 투과부(500a), 반투과부(500b), 비투과부(500c)를 구비한다. 즉, 상기 반투과부(500b)에는 슬릿을 구비하고 있어, 상기 슬릿으로 인해, 광의 투과율을 감소시킬수 있다. 또한, 상기 비투과부(500c)는 차광막을 구비하고 있어, 광이 투과하지 않는다.

상기 마스크(500)를 이용하여 노광 및 현상공정을 거쳐 포토레지스트 패턴(430)을 형성한다. 이때, 상기 포토레지스트 패턴(430)은 마스크의 투과부(500a)를 투과한 광이 조사된 제 1 영역(a), 상기 반투과부(500b)를 투과한 광이 조사된 제 2 영역(b), 상기 비투과부(500c)를 투과한 광이 조사된 제 3 영역(c)으로 구분된다. 이때, 상기 포토레지스트 패턴(430)은 상기 제 1 영역(a), 제 2 영역(b) 및 제 3 영역(c)에서 두께가 서로 다르다. 즉, 상기 제 1 영역(a)에는 포토레지스트층이 완전히 제거되어, 그 하부면에 위치하는 절연막이 노출된다. 상기 제 3영역(c)에는 포토레지스트층이 그대로 잔존하며, 상기 제 2 영역(b)은 상기 포토레지스트층이 일부분 제거된다.

이후, 도 4b를 참조하면, 상기 포토레지스트 패턴(430)에 따라 상기 제 1 영역(a)에 노출된 상기 절연막을 건식 식각하고, 이후에, 상기 절연막이 식각되면서 노출되는 제 1 도전막을 습식식각한다. 이로써, 상기 제 1 영역(a) 하부에 배치된 상기 제 1 도전막이 패터닝되면서 제 1 전극(410')을 형성할 수 있다.

이후, 도 4c를 참조하면, 상기 제 2 영역(b)에 잔존하는 포토레지스트층을 완전히 제거하여, 상기 제 2 영역(b)의 절연막이 노출되는 포토레지스트 패턴(430')을 형성한다. 이때, 상기 제 2 영역(b)에 잔존하는 포토레지스트층은 별도의 애싱 공정을 통하여 제거할 수 있다. 또는, 상기 제 1 전극(410')을 형성하는 공정, 즉, 외부로 노출된 상기 제 1 도전막을 습식하는 공정에서, 상기 제 1 도전막과 상기 포토레지스트층을 동시에 식각할 수 있는 식각액을 이용하여, 상기 제 2 영역(b)에 잔존하는 포토레지스트층이 완전히 제거될때까지 습식 식각공정을 수행하여 상기 제 1 전극(410')과 상기 제 2 영역(b)의 절연막을 노출하는 포토레지스트 패턴(430')을 형성할 수 있다.

이후, 도 4d를 참조하면, 상기 포토레지스 패턴(430')에 의해 노출된 절연막을 건식 식각하여, 상기 서브픽셀의 외곽부에 형성되는 버퍼층(420'')과, 상기 버퍼층(420'')에 상기 제 1 전극(410')의 일부분을 노출하는 트렌치(425)를 동시에 형성한다.

이로써, 하나의 슬릿 마스크를 이용하여 상기 제 1 전극(410') 및 버퍼층(430'')을 형성할 수 있다.

여기서, 상기 마스크 공정에서 슬릿 마스크를 이용하는 것에 대해 한정하여 설명하였으나, 이에 한정되지 않는다. 즉, 광의 투과율이 다른 유기막 또는 무기막을 영역별로 구비하는 하프톤 마스크를 이용하여, 상기 제 1 전극(410') 및 버퍼층(430'')을 동일한 마스크 공정을 통하여 형성할 수 있다.

발명의 효과

상기한 바와 같이 본 발명에 따르면, 본 발명은 박막트랜지스터와 유기 전계 발광 다이오드 소자를 서로 다른 기관에 각각 형성한뒤, 상기 두 기관을 합착하여 유기 전계 발광 표시 장치를 제조함으로써, 불량률의 감소와 함께 생산 수율의 향상을 기대할 수 있다.

또한, 하나의 마스크를 사용하여 제 1 전극 및 버퍼층을 형성할 수 있어, 마스크 공정 수를 절감시킬수 있어, 공정을 더욱 단순화시킬수 있다.

또한, 상기 유기 전계 발광 다이오드 소자의 제 1 전극의 저항차를 낮추기 위한 보조 전극과 격벽을 이용하여 유기 발광층과 제 2 전극을 자연적으로 패터닝함으로써, 별도의 패터닝 공정을 거치지 않는 단순한 공정을 통하여 유기 전계 발광 표시 장치를 제조할 수 있다.

상기에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 종래의 유기 전계 발광 표시 장치에 대한 개략적인 단면도이다.

도 2는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 단면을 도시한 단면도이다.

도 3a 내지 도 3f는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위한 공정도이다.

도 4a 내지 도 4d는 제 1전극과 버퍼층을 형성하는 공정을 설명하기 위한 공정도이다.

(도면의 주요 부분에 대한 부호의 설명)

100 : 제 1 기관 200 : 제 2 기관

110, 410' : 제 1 전극 115, 430" : 버퍼층

120 : 유기 발광층 130 : 제 2 전극

135' : 보조전극 145 : 격벽

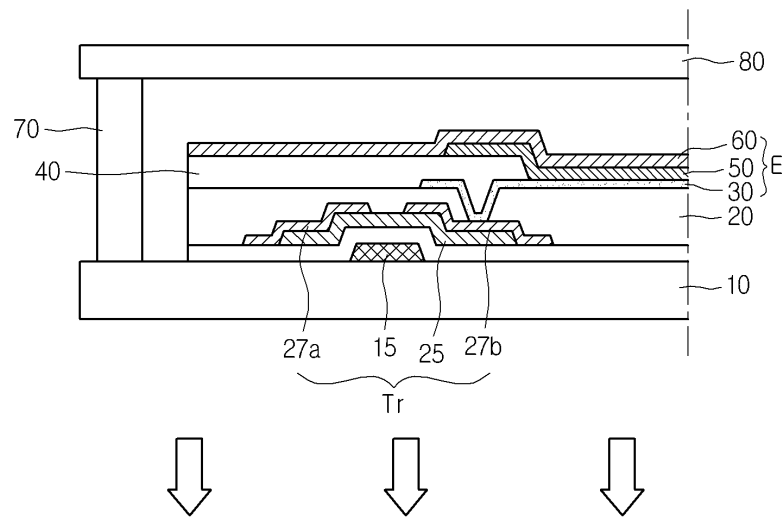
155 : 스페이서 125 : 트렌치

500 : 슬릿 마스크

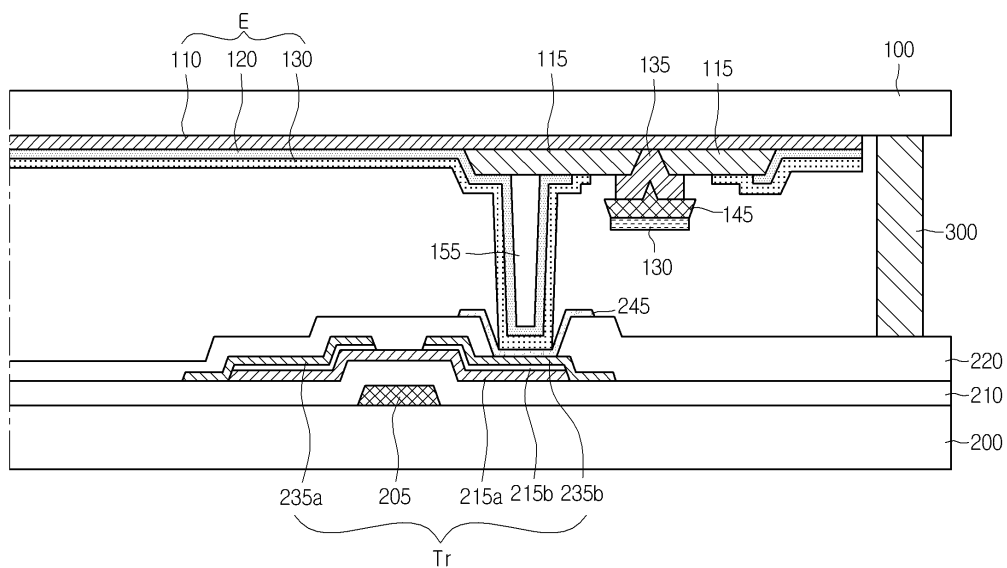
Tr : 박막트랜지스터 E : 유기 전계 발광 다이오드 소자

도면

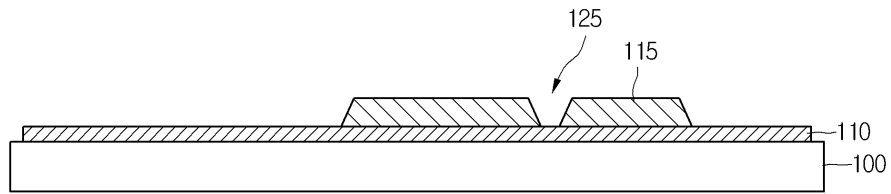
도면1



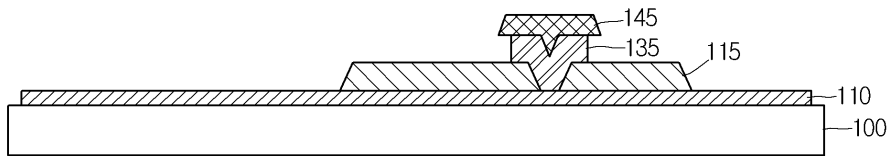
도면2



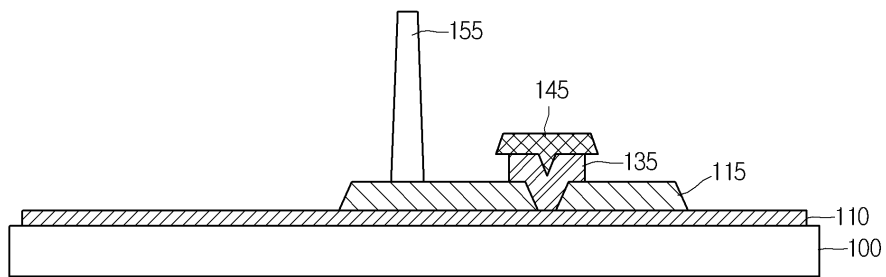
도면3a



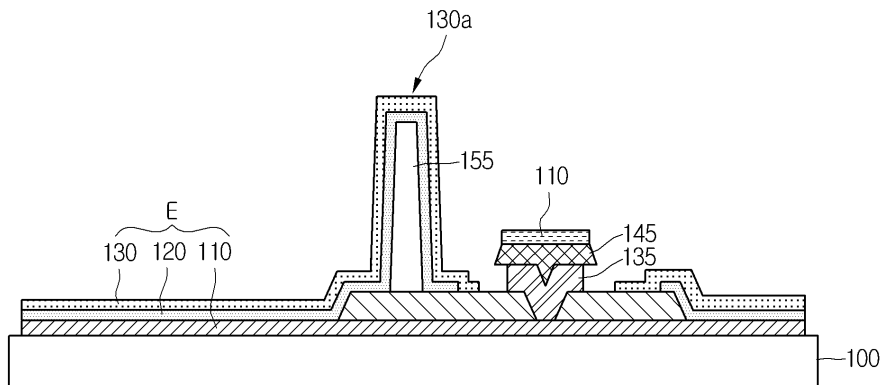
도면3b



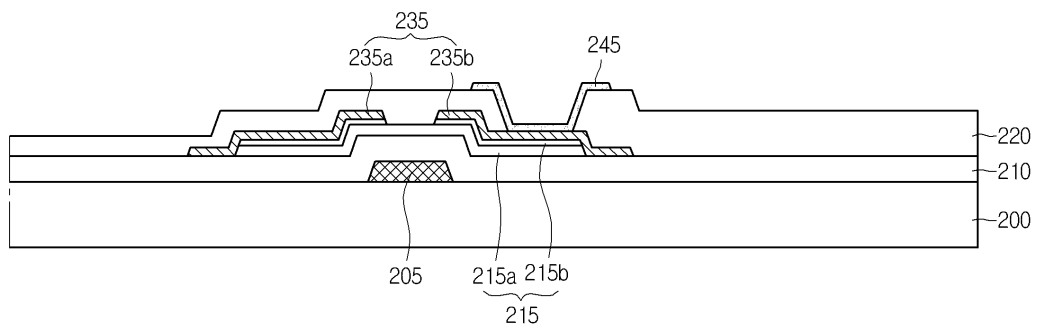
도면3c



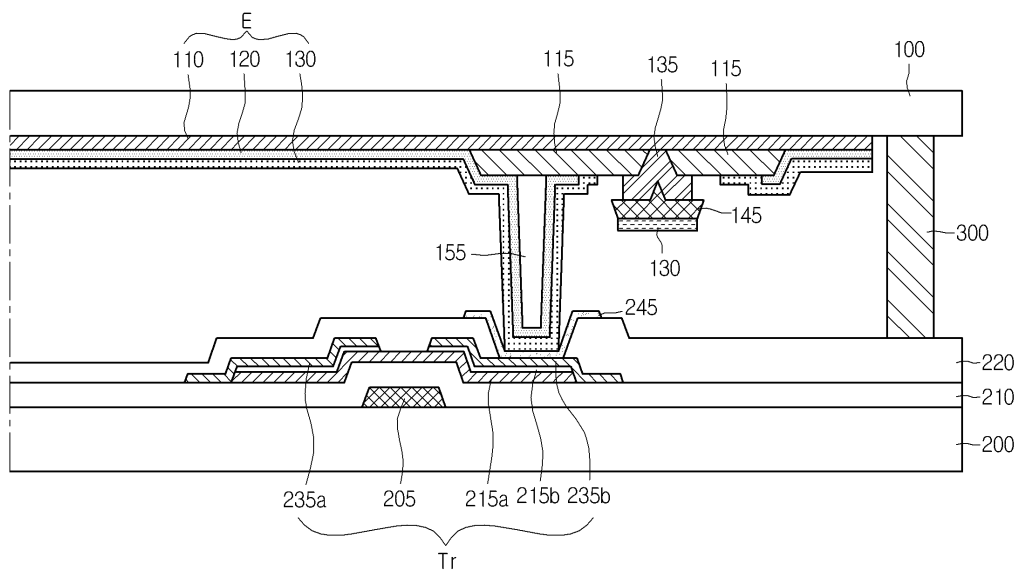
도면3d



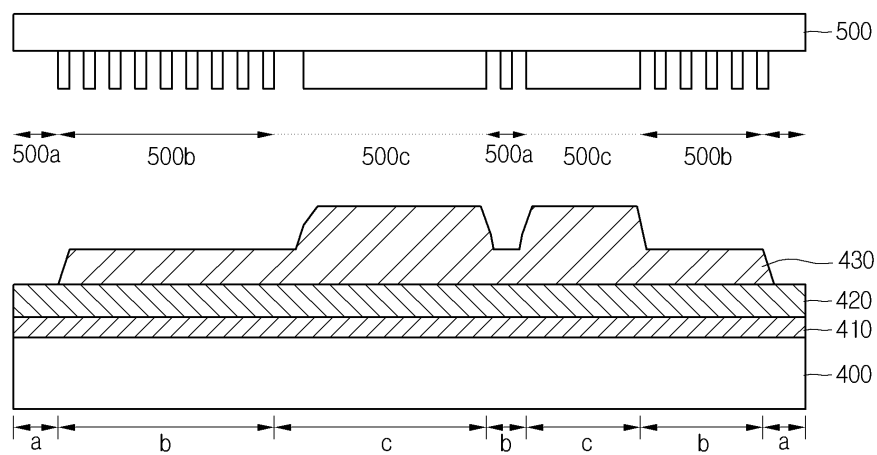
도면3e



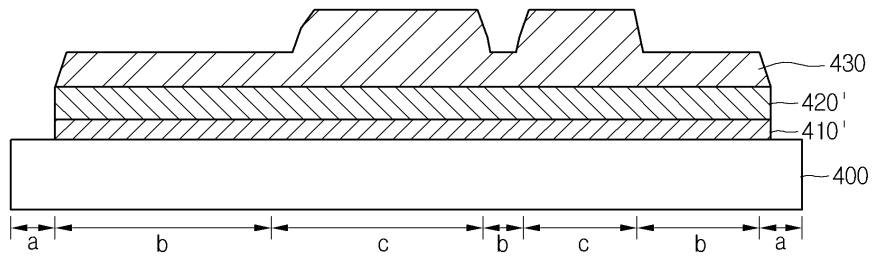
도면3f



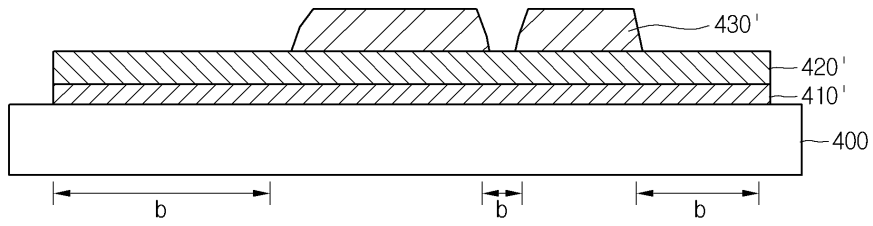
도면4a



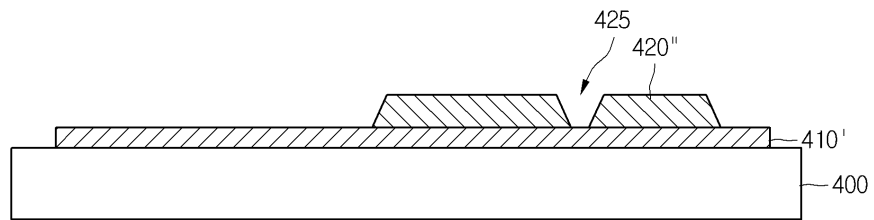
도면4b



도면4c



도면4d



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100654564B1	公开(公告)日	2006-12-06
申请号	KR1020050102959	申请日	2005-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG KWANG JO 황광조 YU HONG WOO 유홍우		
发明人	황광조 유홍우		
IPC分类号	H05B33/22 H05B33/10		
CPC分类号	H01L27/3246 H01L27/3251 H01L27/3253 H01L51/5259 H01L51/56		
外部链接	Espacenet		

摘要(译)

提供一种有机电致发光显示装置及其制造方法，以通过使用一个掩模形成第一电极和缓冲层来减少掩模工艺的数量。在有机电致发光显示装置中，第一基板（100）由多个子像素限定。第一电极（110）形成在第一基板（100）的下部。缓冲层（115）形成在分隔第一电极（110）的下部的每个子像素的外侧区域处，并且具有暴露第一电极（110）的一部分的沟槽。辅助电极通过沟槽电连接到第一电极（110）。隔板（145）形成在辅助电极的下部。间隔物（155）位于缓冲层（115）的下部，以与沟槽分离。有机发光层（120）位于包括间隔物（155）的第一电极（110）的下部，在由辅助电极和隔板（145）分开的区域中。第二电极（130）形成在有机发光层（120）的下部。第二基板（200）具有电连接到第二电极（130）的薄膜晶体管（Tr）。

