



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0127006
(43) 공개일자 2011년11월24일

(51) Int. Cl.

G09G 3/30 (2006.01)

(21) 출원번호 10-2010-0046610

(22) 출원일자 2010년05월18일

심사청구일자 2011년11월07일

(71) 출원인

엘지디스플레이 주식회사

서울특별시 용산구 한강로3가 65-228

(72) 발명자

타카스기 신지

경기도 파주시 월롱면 덕은리 1291번지 2호 203

하스미 타로

경기도 파주시 월롱면 덕은리 1291번지 2호 202

타니 료스케

경기도 파주시 월롱면 덕은리 1291번지 2호 201

(74) 대리인

박영복, 김용인

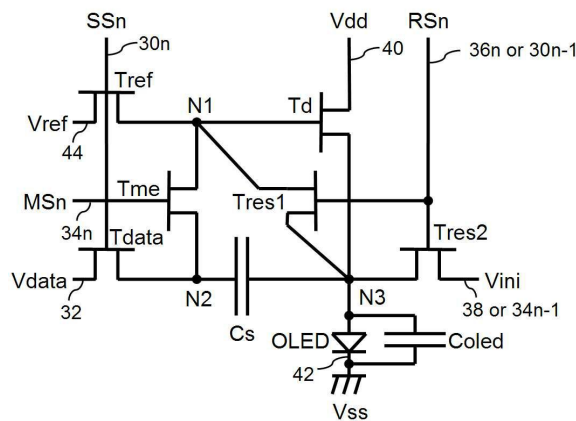
전체 청구항 수 : 총 15 항

(54) 액티브 매트릭스 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로

(57) 요약

본 발명은 포지티브 및 네거티브 문턱전압을 보상할 수 있을 뿐만 아니라 구동 트랜지스터가 항상 포화 영역에 동작할 수 있는 AMOLED 표시 장치의 전압 보상형 화소 회로에 관한 것으로, 고전위 전원 라인과 저전위 전원 라인 사이에 발광 소자와 직렬 접속되고, 제1 노드에 공급된 전압에 응답하여 상기 발광 소자를 구동하는 구동 트랜지스터와; 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제2 노드로 공급하는 제1 프로그램 트랜지스터와; 상기 스캔 라인의 스캔 신호에 응답하여 기준 전압 공급 라인으로부터의 기준 전압을 상기 제1 노드로 공급하는 제2 프로그램 트랜지스터와; 머지 라인의 머지 신호에 응답하여 상기 제1 노드와 제2 노드를 접속시키는 머지 트랜지스터와; 상기 구동 트랜지스터와 상기 발광 소자 사이의 제3 노드와 상기 제2 노드 사이에 접속되고, 상기 데이터 전압에 상응하고 상기 구동 트랜지스터의 문턱 전압이 보상된 전압을 저장하는 스토리지 커패시터와; 리셋 라인의 리셋 신호에 응답하여 상기 제1, 제2, 제3 노드 중 적어도 2개의노드를 초기화 전압 라인의 초기화 전압으로 초기화시키는 제1 및 제2 리셋 트랜지스터를 구비한다.

대표도 - 도1



특허청구의 범위

청구항 1

발광 소자를 구동하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로에 있어서,

고전위 전원 라인과 저전위 전원 라인 사이에 상기 발광 소자와 직렬 접속되고, 제1 노드에 공급된 전압에 응답하여 상기 발광 소자를 구동하는 구동 트랜지스터와;

스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제2 노드로 공급하는 제1 프로그램 트랜지스터와;

상기 스캔 라인의 스캔 신호에 응답하여 기준 전압 공급 라인으로부터의 기준 전압을 상기 제1 노드로 공급하는 제2 프로그램 트랜지스터와;

머지 라인의 머지 신호에 응답하여 상기 제1 노드와 제2 노드를 접속시키는 머지 트랜지스터와;

상기 구동 트랜지스터와 상기 발광 소자 사이의 제3 노드와 상기 제2 노드 사이에 접속되고, 상기 데이터 전압에 상응하고 상기 구동 트랜지스터의 문턱 전압이 보상된 전압을 저장하는 스토리지 커패시터와;

리셋 라인의 리셋 신호에 응답하여 상기 제1, 제2, 제3 노드 중 적어도 2개의 노드를 초기화 전압 라인의 초기화 전압으로 초기화시키는 제1 및 제2 리셋 트랜지스터를 구비하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 2

청구항 1에 있어서,

상기 화소 회로는 초기화 기간, 프로그램 기간 및 발광 기간의 순서로 구동되고;

상기 초기화 기간에서, 상기 제1 및 제2 리셋 트랜지스터와, 상기 머지 트랜지스터가 턴-온되어서 상기 제1, 제2, 제3 노드를 상기 초기화 전압으로 초기화시키고;

상기 프로그램 기간에서, 상기 제1 및 제2 프로그램 트랜지스터와 상기 구동 트랜지스터가 턴-온되고 상기 발광 소자를 커패시터로 사용하여 상기 제3 노드에서 상기 구동 트랜지스터의 문턱 전압을 검출함과 동시에 상기 스토리지 커패시터가 상기 문턱 전압이 보상된 상기 데이터 전압에 상응하는 전압을 저장하고;

상기 발광 기간에서, 상기 머지 트랜지스터가 턴-온되어서 상기 스토리지 커패시터에 저장된 전압에 응답하여 상기 구동 트랜지스터가 상기 발광 소자로 공급되는 전류를 제어하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 3

청구항 2에 있어서,

상기 초기화 기간에서, 상기 제1 리셋 트랜지스터는 상기 리셋 신호에 응답하여 상기 제3 노드와 상기 제1 노드 또는 제2 노드를 접속시키고, 상기 제2 리셋 트랜지스터는 상기 리셋 신호에 응답하여 상기 초기화 전압 라인과 상기 제2 노드 또는 제3 노드를 시키고, 상기 머지 트랜지스터는 상기 제1 및 제2 노드를 접속시키는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 4

청구항 3에 있어서,

상기 초기화 전압 라인은 이전단 머지 라인을 이용하여서 상기 초기화 전압으로 이전단 머지 신호의 게이트 오프 전압을 공급하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 5

청구항 4에 있어서,

상기 스캔 신호와 상기 머지 신호는 반대 극성을 갖고, 상기 스캔 신호에 게이트 온 전압이 공급되는 기간은 상기 머지 신호에 게이트 오프 전압이 공급되는 기간 보다 짧은 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

청구항 6

청구항 1에 있어서,

상기 화소 회로는 초기화 기간, 프로그램 기간 및 발광 기간의 순서로 구동되고;

상기 초기화 기간에서, 상기 제1 및 제2 리셋 트랜지스터가 턴-온되어서 상기 제1 및 제3 노드는 상기 초기화 전압으로 초기화되고, 제3 리셋 트랜지스터가 상기 리셋 신호에 응답하여 상기 제2 노드를 상기 고전위 전압으로 초기화시키고;

상기 프로그램 기간에서, 상기 제1 및 제2 프로그램 트랜지스터와 상기 구동 트랜지스터가 턴-온되고 상기 발광 소자를 커패시터로 사용하여 상기 제3 노드에서 상기 구동 트랜지스터의 문턱 전압을 검출함과 동시에 상기 스토리지 커패시터가 상기 문턱 전압이 보상된 상기 데이터 전압에 상응하는 전압을 저장하고;

상기 발광 기간에서, 상기 머지 트랜지스터가 턴-온되어서 상기 스토리지 커패시터에 저장된 전압에 응답하여 상기 구동 트랜지스터가 상기 발광 소자로 공급되는 전류를 제어하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 7

청구항 3 또는 청구항 6에 있어서,

상기 리셋 라인은 이전단 스캔 라인을 이용하여서 상기 리셋 신호로 이전단스캔 신호를 공급하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 8

청구항 3 또는 청구항 6에 있어서,

상기 기준 전압으로 상기 저전위 전압을 이용하는 것을 특징으로 하는 유기발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 9

발광 소자를 구동하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로에 있어서,

고전위 전원 라인과 저전위 전원 라인 사이에 상기 발광 소자와 직렬 접속되고, 제1 노드에 공급된 전압에 응답하여 상기 발광 소자를 구동하는 구동 트랜지스터와;

스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제2 노드로 공급하는 프로그램 트랜지스터와;

머지 라인의 머지 신호에 응답하여 상기 제1 노드와 제2 노드를 접속시키는 머지 트랜지스터와;

상기 구동 트랜지스터와 상기 발광 소자 사이의 제3 노드와 상기 제2 노드 사이에 접속되고, 상기 데이터 전압에 상응하고 상기 구동 트랜지스터의 문턱 전압이 보상된 전압을 저장하는 스토리지 커패시터와;

리셋 라인의 리셋 신호에 응답하여 상기 제1, 제2, 제3 노드 중 적어도 2개의노드를 초기화 전압 라인의 초기화 전압으로 초기화시키는 제1 및 제2 리셋 트랜지스터와;

상기 스캔 라인과 상기 제1 노드 사이에 접속되고, 상기 스캔 신호가 변동분을 따른 기준 전압을 상기 제1 노드로 공급하는 커패시터를 구비하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 10

청구항 3, 6, 9 중 어느 한 청구항에 있어서,

상기 발광 소자는 상기 초기화 기간 및 프로그램 기간에서 네거티브 바이어스가 인가되어 상기 커패시터로 이용되고, 상기 발광 기간에서만 포지티브 바이어스가 인가되어 발광하는 것을 특징으로 하는 유기 발광 다이오드

표시 장치의 전압 보상형 화소 회로.

청구항 11

청구항 10에 있어서,

상기 프로그램 기간에서 상기 발광 소자의 커패시터는 상기 제3 노드의 전위가 상기 기준 전압(Vref)과 상기 문턱 전압(Vth)의 차전압(Vref-Vth)가 될 때까지 상기 구동 트랜지스터를 통해 전하를 축적하고, 상기 스토리지 커패시터는 상기 프로그램 기간에서 상기 제2 및 제3 노드의 차전압(Vdata-Vref+Vth) 전압을 저장하고,

상기 발광 기간에서 상기 구동 트랜지스터는 상기 데이터 전압(Vdata)과 상기 기준 전압(Vref)의 차전압(Vdata-Vref)의 제공에 비례하는 전류를 상기 발광 소자에 공급하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 12

청구항 10에 있어서,

상기 화소 회로의 트랜지스터들은 n형으로 구성되고, 상기 프로그램 기간에서 포지티브 문턱 전압 또는 네거티브 문턱 전압을 검출하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 13

청구항 10에 있어서,

상기 화소 회로의 트랜지스터들은 p형으로 구성되고, 상기 프로그램 기간에서 포지티브 문턱 전압 또는 네거티브 문턱 전압을 검출하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 14

청구항 10에 있어서,

상기 기준 전압을 조절하여 상기 발광 소자의 블랙 휘도를 조정하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치의 전압 보상형 화소 회로.

청구항 15

청구항 10에 있어서,

상기 구동 트랜지스터는 항상 포화 영역에서 구동되는 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

명세서

기술분야

[0001] 본 발명은 액티브 매트릭스 유기 발광 다이오드(Active Matrix Organic Light Emitting Diode; 이하 AMOLED) 표시 장치에 관한 것으로, 특히 포지티브 문턱전압 및 네거티브 문턱전압을 보상할 수 있을 뿐만 아니라 구동 트랜지스터가 항상 포화 영역에 동작할 수 있는 AMOLED 표시 장치의 전압 보상형 화소 회로에 관한 것이다.

배경기술

[0002] AMOLED 표시 장치는 전자와 정공의 재결합으로 유기 발광층을 발광시키는 자발광 소자로 휘도가 높고 구동 전압이 낮으며 초박막화가 가능하여 차세대 표시 장치로 기대되고 있다.

[0003] AMOLED 표시 장치를 구성하는 다수의 화소들 각각은 애노드 및 캐소드 사이의 유기발광층으로 구성된 발광 소자와, 발광 소자를 독립적으로 구동하는 화소 회로를 구비한다. 화소 회로는 전압형과 전류형으로 분류할 수 있다. 전압형 화소 회로는 전류형 화소 회로 보다 외부 구동 회로가 간단하고 고속 동작에 적합하여 AMOLED TV용 화소 회로 적용 가능성이 높다.

[0004] 전압형 화소 회로는 주로 스위칭 박막 트랜지스터(Thin Film Transistor; 이하 TFT) 및 커패시터와 구동 TFT를 포함한다. 스위칭 TFT는 스캔 펄스에 응답하여 데이터 신호에 대응하는 전압을 커패시터에 충전하고, 구동 TFT는 커패시터에 충전된 전압의 크기에 따라 발광 소자로 공급되는 전류의 크기를 제어하여 발광 소자의 휘도를

조절한다. 일반적으로, 발광 소자의 광도는 구동 TFT로부터 공급되는 전류에 비례한다.

- [0005] 그러나, 종래의 전압형 화소 회로는 공정 편차 등의 이유로 위치별로 구동 TFT의 문턱 전압(V_{th})이 불균일하여 휘도가 불균일해지거나, 시간에 따라 문턱 전압이 가변하여 휘도 감소로 수명이 저하되는 문제점이 있다. 이를 해결하기 위하여, 전압형 화소 회로는 구동 TFT의 문턱 전압을 검출하여 보상하는 방법을 이용하고 있다.
- [0006] 예를 들면, 한국특허 제10-0636483호(미국특허 US 7,649,202)에 개시된 종래의 전압 보상형 화소 회로는 구동 TFT의 게이트와 드레인을 접속시켜서 드레인-소스간 전류가 충분히 작게 되는 소스-게이트간 전압을 문턱 전압으로 검출하고, 검출된 문턱 전압만큼 데이터 전압을 보상하여 이용한다. 또한, 종래의 전압 보상형 화소 회로는 상기 문턱 전압을 검출할 때 발광 소자의 발광을 오프시키기 위하여 구동 TFT와 발광 소자 사이에 직렬 접속된 발광 제어 TFT를 사용한다. 그러나, 상기 종래의 전압 보상형 화소 회로는 다음과 같은 문제점이 있다.
- [0007] 첫째, n형 TFT를 적용한 화소 회로에서 구동 TFT를 다이오드 구조로 접속시켜 문턱 전압을 검출할 때 구동 TFT의 문턱전압이 네거티브인 경우를 검출할 수 없다. 또한, p형 TFT를 적용한 화소 회로에서는 구동 TFT의 문턱전압이 포지티브인 경우를 검출할 수 없다. 이는 구동 TFT가 게이트와 드레인이 접속된 다이오드 구조가 되면 게이트-드레인간 전압이 '0V'가 됨으로써 검출 가능한 최소 또는 최대 문턱전압이 '0V'로 제한되기 때문이다.
- [0008] 둘째, 구동 TFT와 발광 소자 사이에 직렬 접속된 발광 제어 TFT는 발광시 항상 선형 영역에서 동작하기 때문에 바이어스 스트레스 영향이 크고 열화 또한 크다. 일반적으로, TFT에서 게이트-소스간 전압(V_{gs})에서 문턱전압(V_{th})을 차감한 값이 드레인-소스간 전압(V_{ds}) 보다 작거나 같은 경우, 즉 $V_{gs}-V_{th}=V_{ds}$ 인 상태를 포화 영역이라고 하고, 게이트-소스간 전압(V_{gs})에서 문턱전압(V_{th})을 차감한 값이 드레인-소스간 전압(V_{ds}) 보다 크거나 같은 경우, 즉 $V_{gs}-V_{th}=V_{ds}$ 인 상태를 선형 영역이라고 하는데, 선형 영역에서는 TFT의 열화가 빠른 것으로 알려져 있다. 그런데, 종래의 전압 보상형 화소 회로에서는 발광 기간 중에 발광 제어 TFT는 선형 영역에서 동작하고 구동 TFT는 포화 영역에서 동작하기 때문에 발광 제어 TFT는 바이어스 스트레스 영향으로 인하여 구동 TFT 보다 빨리 열화되는 문제점이 있다.
- [0009] 한편, 발광 제어 TFT의 문제점을 해결하기 위하여 발광 제어 TFT를 생략하는 경우, 발광 기간 이외에도 발광 소자가 발광함으로써 블랙 휘도가 상승하여 콘트라스트가 낮아지는 문제점이 있다.

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 한국특허 제10-0636483호(미국특허 US 7,649,202)

발명의 내용

해결하려는 과제

- [0011] 본 발명은 전술한 종래의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 해결하려는 과제는 구동 TFT의 극성과 상관없이 포지티브 문턱전압 뿐만 아니라 네거티브 문턱전압도 보상할 수 있는 AMOLED 표시 장치의 전압 보상형 화소 회로를 제공하는 것이다.
- [0012] 또한, 본 발명이 해결하려는 다른 과제는 구동 TFT와 발광 소자 사이에 직렬 접속되는 발광 TFT를 제거하면서도 발광 소자의 불필요한 발광을 방지할 수 있는 AMOLED 표시 장치의 전압 보상형 화소 회로를 제공하는 것이다.

과제의 해결 수단

- [0013] 상기 과제를 해결하기 위하여, 본 발명의 실시 예에 따른 AMOLED 표시 장치의 전압 보상형 화소 회로는, 고전위 전원 라인과 저전위 전원 라인 사이에 발광 소자와 직렬 접속되고, 제1 노드에 공급된 전압에 응답하여 상기 발광 소자를 구동하는 구동 트랜지스터와; 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제2 노드로 공급하는 제1 프로그램 트랜지스터와; 상기 스캔 라인의 스캔 신호에 응답하여 기준 전압 공급 라인으로부터의 기준 전압을 상기 제1 노드로 공급하는 제2 프로그램 트랜지스터와; 머지(merge) 라인의 머지 신호에 응답하여 상기 제1 노드와 제2 노드를 접속시키는 머지 트랜지스터와; 상기 구동 트랜지스터와 상기 발광 소자 사이의 제3 노드와 상기 제2 노드 사이에 접속되고, 상기 데이터 전압에 상응하고 상기 구동 트랜지스터의 문턱 전압이 보상된 전압을 저장하는 스토리지 커패시터와; 리셋 라인의 리셋 신호에 응답하여 상기 제1, 제2, 제3

노드 중 적어도 2개의노드를 초기화 전압 라인의 초기화 전압으로 초기화시키는 제1 및 제2 리셋 트랜지스터를 구비한다.

- [0014] 상기 화소 회로는 초기화 기간, 프로그램 기간 및 발광 기간의 순서로 구동되고; 상기 초기화 기간에서, 상기 제1 및 제2 리셋 트랜지스터와, 상기 머지 트랜지스터가 턴-온되어서 상기 제1, 제2, 제3 노드를 상기 초기화 전압으로 초기화시키고; 상기 프로그램 기간에서, 상기 제1 및 제2 프로그램 트랜지스터와 상기 구동 트랜지스터가 턴-온되고 상기 발광 소자를 커패시터로 사용하여 상기 제3 노드에서 상기 구동 트랜지스터의 문턱 전압을 검출함과 동시에 상기 스토리지 커패시터가 상기 문턱 전압이 보상된 상기 데이터 전압에 상응하는 전압을 저장하고; 상기 발광 기간에서, 상기 머지 트랜지스터가 턴-온되어서 상기 스토리지 커패시터에 저장된 전압에 응답하여 상기 구동 트랜지스터가 상기 발광 소자로 공급되는 전류를 제어한다.
- [0015] 상기 초기화 기간에서, 상기 제1 리셋 트랜지스터는 상기 리셋 신호에 응답하여 상기 제3 노드와 상기 제1 노드 또는 제2 노드를 접속시키고, 상기 제2 리셋 트랜지스터는 상기 리셋 신호에 응답하여 상기 초기화 전압 라인과 상기 제2 노드 또는 제3 노드를 시키고, 상기 머지 트랜지스터는 상기 제1 및 제2 노드를 접속시킨다.
- [0016] 상기 초기화 전압 라인은 이전단 머지 라인을 이용하여서 상기 초기화 전압으로 이전단 머지 신호의 게이트 오프 전압을 공급하기도 한다.
- [0017] 상기 스캔 신호와 상기 머지 신호는 반대 극성을 갖고, 상기 스캔 신호에 게이트 온 전압이 공급되는 기간은 상기 머지 신호에 게이트 오프 전압이 공급되는 기간 보다 짧다.
- [0018] 상기 화소 회로는 초기화 기간에서, 상기 제1 및 제2 리셋 트랜지스터가 턴-온되어서 상기 제1 및 제3 노드는 상기 초기화 전압으로 초기화되고, 제3 리셋 트랜지스터가 상기 리셋 신호에 응답하여 상기 제2 노드를 상기 고전위 전압으로 초기화시키고; 프로그램 기간에서, 상기 제1 및 제2 프로그램 트랜지스터와 상기 구동 트랜지스터가 턴-온되고 상기 발광 소자를 커패시터로 사용하여 상기 제3 노드에서 상기 구동 트랜지스터의 문턱 전압을 검출함과 동시에 상기 스토리지 커패시터가 상기 문턱 전압이 보상된 상기 데이터 전압에 상응하는 전압을 저장하고; 발광 기간에서, 상기 머지 트랜지스터가 턴-온되어서 상기 스토리지 커패시터에 저장된 전압에 응답하여 상기 구동 트랜지스터가 상기 발광 소자로 공급되는 전류를 제어한다.
- [0019] 상기 리셋 라인은 이전단 스캔 라인을 이용하여서 상기 리셋 신호로 이전단스캔 신호를 공급하기도 한다.
- [0020] 상기 기준 전압으로 상기 저전위 전압을 이용하기도 한다.
- [0021] 본 발명의 다른 특징에 다른 AMOLED의 전압 보상형 화소 회로는 상기 제2 프로그램 트랜지스터 대신 상기 스캔 라인과 상기 제1 노드 사이에 접속되고, 상기 스캔 신호가 변동분을 따른 기준 전압을 상기 제1 노드로 공급하는 커패시터를 구비한다.
- [0022] 상기 발광 소자는 상기 초기화 기간 및 프로그램 기간에서 네거티브 바이어스가 인가되어 상기 커패시터로 이용되고, 상기 발광 기간에서만 포지티브 바이어스가 인가되어 발광한다.
- [0023] 상기 프로그램 기간에서 상기 발광 소자의 커패시터는 상기 제3 노드의 전위가 상기 기준 전압(V_{ref})과 상기 문턱 전압(V_{th})의 차전압($V_{ref}-V_{th}$)이 될 때까지 상기 구동 트랜지스터를 통해 전하를 축적하고, 상기 스토리지 커패시터는 상기 프로그램 기간에서 상기 제2 및 제3 노드의 차전압($V_{data}-V_{ref}+V_{th}$) 전압을 저장하고, 상기 발광 기간에서 상기 구동 트랜지스터는 상기 데이터 전압(V_{data})과 상기기준 전압(V_{ref})의 차전압($V_{data}-V_{ref}$)의 제곱에 비례하는 전류를 상기 발광 소자에 공급한다.
- [0024] 상기 화소 회로의 트랜지스터들은 n형으로 구성되고, 상기 프로그램 기간에서 포지티브 문턱 전압 또는 네거티브 문턱 전압을 검출한다.
- [0025] 상기 화소 회로의 트랜지스터들은 p형으로 구성되고, 상기 프로그램 기간에서 포지티브 문턱 전압 또는 네거티브 문턱 전압을 검출한다.
- [0026] 상기 기준 전압을 조절하여 상기 발광 소자의 블랙 휘도를 조정한다.
- [0027] 상기 구동 트랜지스터는 항상 포화 영역에서 구동된다.

발명의 효과

- [0028] 본 발명에 따른 AMOLED 표시 장치의 전압 보상형 화소 회로는 프로그램 기간에서 구동 TFT(T_d)를 다이오드 구조로 접속시키지 않고도 발광 소자(OLED)를 커패시터(Coled)로 이용하여 문턱 전압(V_{th})을 검출함으로써, n형 TFT

와 p형 TFT와 상관없이 포지티브뿐만 아니라 네거티브 문턱 전압(V_{th})을 검출할 수 있으므로 광범위한 전압 영역에서 문턱 전압(V_{th})을 정확하게 검출할 수 있다.

[0029] 또한, 본 발명에 따른 AMOLED 표시 장치의 전압 보상형 화소 회로는 고전위 전원 라인(40)과 저전위 전원 라인(42) 사이에 구동 TFT(T_d)와 발광 소자(OLED)만 직렬 접속된 구조를 이용하면서도, 초기화 기간 및 프로그램 기간에서 발광 소자(OLED)에 네거티브 바이어스를 인가하여 발광 소자(OLED)를 커패시터(Coled)로 이용하고, 발광 기간에서만 발광 소자(OLED)를 발광시킴으로써 불필요한 발광을 방지하여 컨트라스트를 높일 수 있다.

[0030] 또한, 본 발명에 따른 AMOLED 표시 장치의 전압 보상형 화소 회로는 발광 기간에서 구동 TFT(T_d)가 항상 포화 영역에서 동작하므로 바이어스 스트레스로 인한 TFT 열화가 작은 장점이 있다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 제1 실시 예에 따른 AMOLED 표시 장치의 화소 회로를 나타내는 등가 회로도.
- 도 2는 도 1에 나타낸 화소 회로의 구동 파형도.
- 도 3은 도 1에 나타낸 화소 회로가 초기화 기간에서 구동되는 상태를 나타내는 등가 회로도.
- 도 4는 도 1에 나타낸 화소 회로가 프로그램 기간에서 구동되는 상태를 나타내는 등가 회로도.
- 도 5는 도 1에 나타낸 화소 회로가 발광 기간에서 구동되는 상태를 나타내는 등가 회로도.
- 도 6은 도 1에 나타낸 화소 회로가 p형 TFT로 구성된 경우를 나타내는 등가 회로도.
- 도 7은 도 6에 나타낸 화소 회로의 구동 파형도.
- 도 8은 본 발명의 제2 실시 예에 따른 AMOLED 표시 장치의 화소 회로를 나타내는 등가 회로도.
- 도 9는 본 발명의 제3 실시 예에 따른 AMOLED 표시 장치의 화소 회로를 나타내는 등가 회로도.
- 도 10은 본 발명의 제4 실시 예에 따른 AMOLED 표시 장치의 화소 회로를 나타내는 등가 회로도.
- 도 11은 본 발명의 제5 실시 예에 따른 AMOLED 표시 장치의 화소 회로를 나타내는 등가 회로도.
- 도 12는 도 11에 나타낸 화소 회로의 구동 파형도.
- 도 13은 본 발명의 제6 실시 예에 따른 AMOLED 표시 장치의 화소 회로를 나타내는 등가 회로도.

발명을 실시하기 위한 구체적인 내용

[0032] 도 1은 본 발명의 제1 실시 예에 따른 AMOLED 표시 장치의 화소 회로를 나타낸 등가 회로도이고, 도 2는 도 1에 나타낸 화소 회로의 구동 파형도이다.

[0033] 도 1에 나타낸 각 화소 회로는 발광 소자(OLED)를 독립적으로 구동하여 데이터 전압(V_{data})에 상응하는 휘도를 발생하게 하며, 6개의 n형 TFT와 1개의 스토리지 커패시터(C_s)로 구성된다.

[0034] 발광 소자(OLED)는 고전위 전원 라인(40)과, 저전위 전원 라인(42) 사이에 구동 TFT(T_d)와 직렬로 접속된다. 발광 소자(OLED)는 구동 TFT(T_d)와 접속된 애노드와, 저전위 전원 라인(42)과 접속된 캐소드와, 애노드 및 캐소드 사이의 발광층을 구비한다. 발광층은 캐소드와 애노드 사이에 순차 적층된 전자 주입층, 전자 수송층, 유기 발광층, 정공 수송층, 정공 주입층을 구비한다. 발광 소자(OLED)는 애노드와 캐소드 사이에 포지티브 바이어스가 인가되면 캐소드로부터의 전자가 전자 주입층 및 전자 수송층을 경유하여 유기 발광층으로 공급되고, 애노드로부터의 정공이 정공 주입층 및 정공 수송층을 경유하여 유기 발광층으로 공급된다. 이에 따라, 유기 발광층에서는 공급된 전자 및 정공의 재결합으로 형광 또는 인광 물질을 발광시킴으로써 전류 밀도에 비례하는 휘도를 발생한다. 한편, 발광 소자(OLED)는 네거티브 바이어스가 인가되면 전하를 축적하는 커패시터(Coled) 역할을 한다.

[0035] 화소 회로는 1개의 구동 TFT(T_d)와, 2개의 초기화 TFT(T_{res1} , T_{res2})와, 2개의 프로그램 TFT(T_{ref} , T_{data})와, 발광 개시를 위한 1개의 머지 TFT(T_{me})를 포함하는 6개의 n형 TFT와, 발광 소자(OLED)와 데이터 TFT(T_{data}) 사이에 접속된 1개의 스토리지 커패시터(C_s)를 구비한다.

[0036] 또한, 화소 회로는 n번째(여기서, n은 양의 정수) 스캔 신호(SS_n)를 공급하는 n번째 스캔 라인(30_n), n번째 머지 신호(Merge Signal)(MS_n)를 공급하는 n번째 머지 라인(34_n), n번째 리셋 신호(RS_n)를 공급하는 n번째 리셋

라인(36n)을 포함하는 3개의 제어 라인을 구비한다. 여기서, n번째 리셋 라인(36n)은 이전단 스캔 라인인 n-1번째 스캔 라인(30n-1)으로 대체될 수 있다. n번째 머지 신호(MSn)는 n번째 스캔 신호(SSn)와 상반된 극성을 갖는다.

- [0037] 또한, 화소 회로는 고전위 전압(Vdd)을 공급하는 고전위 전원 라인(40), 고전위 전압(Vdd) 보다 낮은 저전위 전압(Vss)을 공급하는 저전위 전원 라인(42), 고전위 전압(Vdd) 보다 낮고 저전위 전압(Vss) 보다 높거나 같은 기준 전압(Vref)을 공급하는 기준 전압 라인(44)을 포함하는 3개의 고정 전원 라인을 구비한다. 여기서, 기준 전압(Vref)은 저전위 전압(Vss)으로 대체될 수 있다.
- [0038] 또한, 화소 회로는 데이터 전압(Vdata)을 공급하는 데이터 라인(32)과 초기화 전압(Vini)을 공급하는 초기화 라인(38)을 구비한다. 초기화 전압(Vini)이 고정 전위일 필요하는 없으므로, 초기화 라인(38)은 이전단 머지 라인인 n-1번째 머지 라인(34n-1)으로 대체될 수 있다. 초기화 전압(Vini)은 저전위 전압(Vss) 보다 낮은 전압, 예를 들면 n-1번째 머지 라인(34n-1)에 공급되는 게이트 오프 전압(Voff)이 이용된다.
- [0039] 기준 TFT(Tref)는 n번째 스캔 라인(30n)에 게이트 전극이 접속되고, 기준 전압 라인(44)에 제1 전극이 접속되며, 구동 트랜지스터(Td)의 게이트 전극과 접속된 제1 노드(N1)에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 기준 TFT(Tref)는 n번째 스캔 라인(30n)으로부터의 스캔 신호(SSn)에 응답하여 프로그램 기간에서 제1 노드(N1)에 기준 전압(Vref)을 공급한다.
- [0040] 데이터 TFT(Tdata)는 n번째 스캔 라인(30n)에 게이트 전극이 접속되고, 데이터 라인(32)에 제1 전극이 접속되며, 스토리지 커패시터(Cs)와 접속된 제2 노드(N2)에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 데이터 TFT(Tdata)는 n번째 스캔 라인(30n)으로부터의 스캔 신호(SSn)에 응답하여 프로그램 기간에서 제2 노드(N2)에 데이터 전압(Vdata)을 공급한다.
- [0041] 머지 TFT(Tme)는 n번째 머지 라인(34n)에 게이트 전극이 접속되고, 제1 노드(N1)에 제1 전극이 접속되며, 제2 노드(N2)에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 머지 TFT(Tme)는 n번째 머지 라인(34n)으로부터의 머지 신호(MSn)에 응답하여 초기화 기간 및 발광 기간에서 제1 노드(N1)와 제2 노드(N2)를 접속시킨다.
- [0042] 제1 리셋 TFT(Tres1)는 n번째 리셋 라인(36n)에 게이트 전극이 접속되고, 발광 소자(OLED)의 애노드와 접속된 제3 노드(N3)에 제1 전극이 접속되며, 제1 노드(N1)에 제2 전극이 접속된다. 제2 리셋 TFT(Tres2)는 n번째 리셋 라인(36n)에 게이트 전극이 접속되고, 초기화 라인(38)에 제1 전극이 접속되며, 제3 노드(N3)에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 제1 및 제2 리셋 TFT(Tres1, Tres2)는 n번째 리셋 라인(36n)의 리셋 신호(RSn)에 응답하여 초기화 기간에서 화소 회로(20)의 노드(N1, N2, N3) 각각을 초기화 전압(Vini)으로 초기화시킨다. n번째 리셋 라인(36n)으로 n-1번째 스캔 라인(30n-1)로 이용되어 제1 및 제2 리셋 TFT(Tres1, Tres2)는 초기화 기간에서 n-1번째 스캔 라인(30n-1)의 스캔 신호(SSn-1)에 응답하여 스위칭될 수 있다. 초기화 라인(38)으로는 n-1번째 머지 라인(34n-1)이 이용되어 초기화 전압(Vini)으로는 초기화 기간에서 n-1번째 머지 라인(34n-1)에 공급되는 머지 신호(MSn-1)의 게이트 오프 전압(Voff)이 공급될 수 있다.
- [0043] 구동 TFT(Td)는 제1 노드(N1)에 게이트 전극이 접속되고, 고전위 전원 라인(40)에 제1 전극이 접속되며, 발광 소자(OLED)의 애노드와 접속된 제3 노드(N3)에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 구동 TFT(Td)는 제1 노드(N1)에 공급된 전압에 따라 고전위 전압 라인(40)으로부터 제3 노드(N3)을 경유하여 발광 소자(OLED)로 공급되는 전류를 제어하여 발광 소자(OLED)를 구동한다.
- [0044] 이러한 화소 회로(20)는 도 2에 나타난 바와 같이 초기화 기간, 프로그램 기간, 발광 기간으로 순차 구동된다. 초기화 기간은 제1, 제2 리셋 TFT(Tres1, Tres2)와 머지 TFT(Tme)의 액티브 구동으로 제1, 제2, 제3 노드(N1, N2, N3) 각각이 초기화 전압(Vini)으로 초기화되는 기간이다. 프로그램 기간은 기준 TFT(Tref), 데이터 TFT(Tdata), 구동 TFT(Td)의 액티브 구동으로 구동 TFT(Td)의 문턱 전압(Vth)을 검출함과 아울러 스토리지 커패시터(Cs)에 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)에 대응하는 전압을 저장하는 기간이다. 발광 기간은 머지 TFT(Tme) 및 구동 TFT(Td)의 액티브 구동으로 스토리지 커패시터(Cs)로부터 공급되는 전압에 응답하여 구동 TFT(Td)가 발광 소자(OLED)를 발광시키는 기간이다.
- [0045] 도 3은 도 1에 나타난 화소 회로가 초기화 기간에서 구동되는 상태를, 도 4는 프로그램 기간에서 구동되는 상태를, 도 5는 발광 기간에서 구동되는 상태를 나타내는 등가 회로도이다. 이하 도 2 내지 도 5를 참조하여 초기화

기간, 프로그램, 기간, 발광 기간에서 화소 회로(20)의 동작을 상세히 설명하기로 한다.

[0046] 도 1에 나타난 화소 회로(20)가 n형 TFT로 구성되므로, 도 2에 나타난 하이 상태의 게이트 하이 전압(Vgh), 즉 게이트 온 전압(Von)에 의해 턴-온되어 액티브되고, 로우 상태의 게이트 로우 전압(Vgl), 즉 게이트 오프 전압(Voff)에 의해 턴-오프된다.

[0047] 도 2 및 도 3에 나타난 초기화 기간에서 제1, 제2 리셋 TFT(Tres1, Tres2)와 머지 TFT(Tme)를 턴-온시켜서 제1, 제2, 제3 노드(N1, N2, N3) 각각을 초기화 전압(Vini)으로 초기화시킨다. 이를 위하여, n번째 리셋 라인(36n)에는 리셋 신호(RSn)의 게이트 온 전압(Von)이 공급되고, n번째 머지 라인(34n)에는 머지 신호(MSn)의 게이트 온 전압(Von)이 공급되며, n번째 스캔 라인(SLn)에는 스캔 신호(SSn)의 게이트 오프 전압(Voff)이 공급된다. 이에 따라, 도 3에 나타난 바와 같이 게이트 온 전압(Von)에 의해 응답하여 제1 리셋 TFT(Tres1), 제2 리셋 TFT(Tres2), 머지 TFT(Tme)가 턴-온되고, 게이트 로우 전압(Voff)에 응답하여 기준 TFT(Tref) 및 데이터 TFT(Tdata)는 턴-오프되고, 제1 노드(N1)에 공급된 로우 상태의 초기화 전압(Vini)에 의해 구동 TFT(Td)도 턴-오프된다. 따라서, 초기화 라인(38)에 공급된 초기화 전압(Vini)이 턴-온된 제1 리셋 TFT(Tres1), 제2 리셋 TFT(Tres2), 머지 TFT(Tme)를 경유하여 제1, 제2, 제3 노드(N1, N2, N3) 각각에 공급됨으로써 제1, 제2, 제3 노드(N1, N2, N3)는 동일한 초기화 전압(Vini)으로 초기화된다. 초기화 전압(Vini)으로 저전위 전압(Vss) 보다 낮은 로우 상태의 전압이 공급된다. 예를 들면, 초기화 라인(38)으로 n-1번째 머지 라인(34n-1)을 사용하여 초기화 전압(Vini)으로 n-1번째 머지 신호(MSn-1)의 게이트 오프 전압(Voff)을 공급할 수 있다. 이 결과, 초기화 기간에서 제3 노드(N3)에는 저전위 전압(Vss) 보다 낮은 초기화 전압(Vini)이 공급되어 발광 소자(OLED)에는 네거티브 바이어스가 인가됨으로써 발광 소자(OLED)는 발광되지 않고, 전하를 축적하는 커패시터(Coled) 역할을 한다. n번째 리셋 라인(36n)으로는 초기화 기간에서 게이트 온 전압(Von)의 스캔 신호(SSn-1)를 공급하는 n-1번째 스캔 라인(SLn-1)이 이용될 수 있다.

[0048] 한편, 이 초기화 기간에서 발광 소자(OLED)의 불필요한 발광을 방지하기 위하여 도 2에 나타난 바와 같이 리셋 라인(36n)에 게이트 온 전압(Von)이 공급되는 리셋 신호(RSn)의 액티브 기간이, 로우 상태의 초기화 전압(Vini=Voff)이 공급되는 기간내에서 짧게 설정된다. 즉, n-1번째 스캔 라인(30n-1)에 게이트 온 전압(Von)이 공급되는 n-1번째 스캔 신호(SSn-1)의 액티브 기간이, n-1번째 머지 라인(34n-1)에 게이트 오프 전압(Voff)이 공급되는 머지 신호(MSn-1)의 비액티브 기간내에서 그 비액티브 기간보다 짧게 설정된다.

[0049] 도 2 및 도 4에 나타난 프로그램 기간에서 기준 TFT(Tref), 데이터 TFT(Tdata), 구동 TFT(Td)를 턴-온시키고 발광 소자(OLED)를 커패시터(Coled)로 이용하여 구동 TFT(Td)의 문턱 전압(Vth)을 검출함과 동시에 스토리지 커패시터(Cs)에 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)에 대응하는 전압을 저장한다. 이를 위하여, n번째 스캔 라인(30n)에는 스캔 신호(SSn)의 게이트 온 전압(Von)이 공급되고, n번째 머지 라인(34n)에는 머지 신호(MSn)의 게이트 오프 전압(Voff)이, n번째 리셋 라인(RLn)에는 리셋 신호(RSn)의 게이트 오프 전압(Voff)이 공급된다. 이에 따라, 도 4에 나타난 바와 같이 게이트 온 전압(Von)에 응답하여 기준 TFT(Tref), 데이터 TFT(Tdata)가 턴-온되고, 제1 노드(N1)에 공급된 기준 전압(Vref)에 의해 구동 TFT(Td)도 소스-드레인 전류가 충분이 작게 될 때까지 턴-온되며, 게이트 오프 전압(Voff)에 의해 제1 리셋 TFT(Tres1), 제2 리셋 TFT(Tres2), 머지 TFT(Tme)가 턴-오프된다. 턴-온된 데이터 TFT(Tdata)를 통해 데이터 전압(Vdata)이 공급되면 제2 노드(N2) 전압은 초기화 전압(Vini=Voff)에서 데이터 전압(Vdata)으로 변동하고, 제2 노드(N2) 전압의 변동분(Vdata-Voff)에 비례하여 제3 노드(N3)의 전압(VN3)도 다음 수학적 식 1과 같이 변동한다.

수학적 식 1

$$V_{N3} = V_{ini} + (V_{data} - V_{ini})S \left(\frac{C_s}{C_{oled} + C_s} \right)$$

[0050]

[0051] 이때, 제3 노드(N3)의 전압(VN3)은 저전위 전압(Vss) 보다 낮으므로, 발광 소자(OLED)는 네거티브 바이어스 인가에 의해 커패시터(Coled) 역할을 하게 된다. 커패시터(Coled)로 이용되는 발광 소자(OLED)는 제3 노드(N3)의 전위가 기준 전압(Vref)에서 구동 TFT(Td)의 문턱 전압(Vth)을 차감한 값(Vref-Vth)이 될 때까지, 즉 구동 TFT(Td)의 소스-드레인 전류(Ids)가 충분히 작게 될 때까지 구동 TFT(Td)를 통해 전하를 축적한다. 이에 따라,

제3 노드(N3)에서는 기준 전압(Vref)에서 문턱 전압(Vth)을 차감한 전압(Vref-Vth), 즉 구동 TFT(Td)의 문턱 전압(Vth)을 검출할 수 있다. 특히, 구동 TFT(Td)의 게이트-드레인이 접속된 다이오드 구조를 이용하지 않고 발광 소자(OLED)를 커패시터(Coled)로 이용하여 문턱 전압(Vth)을 검출하므로 포지티브 문턱 전압(Vth)뿐만 아니라 네거티브 문턱 전압(Vth)도 정확히 검출할 수 있다. 이 결과, 스토리지 커패시터(Cs)는 턴-온된 데이터 TFT(Tdata)를 경유하여 공급된 데이터 전압(Vdata)과, 제3 노드(N3)에 공급된 전압(Vref-Vth)의 차전압(Vdata-Vref+Vth)를 저장함으로써, 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)에 상응하는 전압(Vdata-Vref+Vth)을 저장한다.

[0052] 한편, 도 2에서 n번째 스캔 라인(30n)에 공급되는 스캔 신호(SSn)의 액티브 기간이, n번째 머지 라인(34n)에 공급되는 머지 신호(MSn)의 비액티브 기간 보다 짧게 설정된다. n번째 리셋 라인(36n)으로는 프로그램 기간에서 게이트 오프 전압(Voff)의 스캔 신호(SSn-1)를 공급하는 n-1번째 스캔 라인(SLn-1)이 이용될 수 있다.

[0053] 도 2 및 도 5에 나타난 발광 기간에서 머지 TFT(Tme)가 턴-온되어 스토리지 커패시터(Cs)의 전압에 응답하여 구동 TFT(Td)가 발광 소자(OLED)를 발광시킨다. 이를 위하여, n번째 머지 라인(34n)에는 머지 신호(MSn)의 게이트 온 전압(Von)이 공급되고, n번째 리셋 라인(36n)에는 리셋 신호(RSn)의 게이트 오프 전압(Voff)이, n번째 스캔 라인(30n)에는 스캔 신호(SSn)의 게이트 오프 전압(Voff)이 공급된다. 이에 따라, 도 5에 나타난 바와 같이 게이트 온 전압(Von)에 응답하여 머지 TFT(Tme)가 턴-온되어 제1 및 제2 노드(N1, N2)를 접속시키고, 게이트 오프 전압(Voff)에 응답하여 제1 리셋 TFT(Tres1), 제2 리셋 TFT(Tres2), 기준 TFT(Tref), 데이터 TFT(Tdata)가 턴-오프된다. 구동 TFT(Td)는 머지 TFT(Tme)를 경유하여 제1 노드(N1)에 공급된 스토리지 커패시터(Cs)의 전압(Vdata-Vref+Vth)에 응답하여 고전위 전압(VDD) 라인으로부터 발광 소자(OLED)로 공급되는 전류(Ids)를 제어하여 발광 소자(OLED)를 발광시키고, 발광 소자(OLED)는 구동 TFT(Td)의 출력 전류(Ids)의 밀도에 비례하는 휘도를 발생한다. 이때, 구동 TFT(Td)를 통해 발광 소자(OLED)로 공급되는 전류(Ids)는 다음 수학적 식 2와 같다.

수학적 식 2

$$I_{ds} = \frac{\beta}{2} S (V_{gs} - V_{th})^2 = \frac{\beta}{2} S [(V_{data} - V_{ref} + V_{th}) - V_{th}]^2$$

$$= \frac{\beta}{2} S (V_{data} - V_{th})^2$$

[0054]

[0055] 여기서, β는 구동 TFT(Td)의 구조(채널 폭 및 길이)와 물리 특성으로 결정되는 비례 계수이다. 상기 수학적 식 2를 참조하면, 구동 TFT(Td)의 출력 전류(Ids)를 결정하는 전압에서 문턱 전압(Vth)의 항목이 상쇄되므로 출력 전류(Ids)는 구동 TFT(Td)의 문턱 전압(Vth) 편차의 영향을 받지 않음을 알 수 있다. 또한, 상기 수학적 식 2를 참조하면, 출력 전류(Ids)는 데이터 전압(Vdata)과 기준 전압(Vref)의 차전압(Vdata-Vref)에 비례하므로 기준 전압(Vref)를 조절하여 발광 소자(OLED)의 블랙 휘도를 조정할 수 있다. 또한, 발광 기간에서 구동 TFT(Td)는 항상 게이트-소스간 전압(Vgs)에서 문턱전압(Vth)을 차감한 값이 드레인-소스간 전압(Vds) 보다 작거나 같은, 즉 Vgs-Vth=Vds 상태인 포화 영역에서 동작하므로 바이어스 스트레스에 의한 열화가 대단히 작다.

[0056] 도 6은 도 1에 나타난 화소 회로에 p형 TFT를 적용한 경우를 나타낸 등가 회로도이고, 도 7은 도 6에 나타난 화소 회로의 구동 파형도이다.

[0057] 도 1에 나타난 화소 회로는 n형 TFT로만 구성되었으나, 도 6에 나타난 화소 회로와 같이 p형 TFT도 적용할 수 있다. 도 1에 도시된 화소 회로와 도 6에 나타난 화소 회로를 대비하면, 도 6에 도시된 구동 TFT(Td)와, 이 구동 TFT(Td)를 제어하는 제1 리셋 TFT(Tres1), 제2 리셋 TFT(Tres2), 머지 TFT(Tme), 기준 TFT(Tref), 데이터 TFT(Tdata)가 p형 TFT로 구성된 점과, 발광 소자(OLED)의 접속 구조가 반대가 되어서 발광 소자(OLED)의 애노드가 고전위 전원 라인(40)과 접속되고, 캐소드가 구동 TFT(Td)와 접속된 제3 노드(N3)에 접속되며, 구동 TFT(Td)의 소스 전극이 저전위 전원 라인(42)과 접속된 점에서만 차이가 있으므로, 중복 구성에 대한 설명은 생략한다.

[0058] 도 6에 나타난 화소 회로가 p형 TFT로 구성되므로, 도 7에 나타난 구동 파형은 도 2에 나타난 n형 TFT의 구동 파형과는 상반된 극성을 갖는다. 즉, 도 7에 나타난 구동 파형도에서는 로우 상태의 게이트 로우 전압(Vg1)이

게이트 온 전압(Von)으로 이용되고, 하이 상태의 게이트 하이 전압(Vgh)이 게이트 오프 전압(Voff)으로 이용된다.

- [0059] 도 7의 초기화 기간에서, n번째 리셋 신호(RSn)와 n번째 머지 신호(MSn)의 게이트 온 전압(Von)에 응답하여 제1, 제2 리셋 TFT(Tres1, Tres2)와 머지 TFT(Tme)가 턴-온됨으로써 제1, 제2, 제3 노드(N1, N2, N3)가 초기화 전압(Vini=Voff+Vgh>Vss)으로 초기화된다. 이때, 발광 소자(OLED)는 네거티브 바이어스에 의해 발광되지 않고 커패시터(Coled) 역할을 한다.
- [0060] 도 7의 프로그램 기간에서, n번째 스캔 신호(SSn)의 게이트 온 전압(Von)에 응답하여 기준 TFT(Tref), 데이터 TFT(Tdata)가 턴-온되고, 기준 전압(Vref)에 응답하여 구동 TFT(Td)가 소스-드레인 전류가 충분히 작게 될 때까지 턴-온되어서, 발광 소자(OLED)를 커패시터(Coled)로 이용하여 제3 노드(N3)에서 구동 TFT(Td)의 문턱 전압(Vth)을 검출함과 동시에 스토리지 커패시터(Cs)에 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)에 상응하는 전압(Vdata-Vref+Vth)을 저장한다. 이때, 구동 TFT(Td)는 게이트-드레인이 접속된 다이오드 구조가 아니므로, p형 구동 TFT(Td)의 네거티브 문턱전압(Vth)뿐만 아니라 포지티브 문턱 전압(Vth)도 정확하게 검출할 수 있다.
- [0061] 도 7의 발광 기간에서, n번째 머지 신호(MSn)의 게이트 온 전압(Von)에 응답하여 머지 TFT(Tme)가 턴-온되고, 머지 TFT(Tme)를 통해 스토리지 커패시터(Cs)로부터 제2 노드(N2)에 공급된 전압(Vdata-Vref+Vth)에 응답하여 구동 TFT(Td)가 발광 소자(OLED)를 발광시킨다. 이때, 구동 TFT(Td)는 포화 영역에서만 동작하므로 바이어스 스트레스로 인한 열화가 작다.
- [0062] 도 8은 본 발명의 제2 실시예에 따른 AMOLED 표시 장치의 화소 회로를 나타낸 등가 회로도이다.
- [0063] 도 8에 나타낸 제2 실시예에 따른 화소 회로는 도 1에 나타낸 제1 실시예에 따른 화소 회로와 대비하여, 제1 리셋 TFT(Tres1)의 제2 전극이 제1 노드(N1)가 아닌 제2 노드(N2)에 접속된 점에서만 차이가 있고, 나머지 구성은 동일하므로, 동일 구성에 대한 설명은 생략한다. 도 8의 화소 회로에서도 초기화 기간에서 리셋 신호(RSn) 및 머지 신호(MSn)의 게이트 온 전압(Von)에 의해 제1 및 제2 리셋 TFT(Tres1, Tres2)와, 머지 TFT(Tme)가 턴-온되어 제1, 제2, 제3 노드(N1, N2, N3)를 초기화 전압(Vini)으로 초기화시킨다.
- [0064] 도 9는 본 발명의 제3 실시예에 따른 AMOLED의 화소 회로를 나타낸 등가 회로도이다.
- [0065] 도 9에 나타낸 제3 실시예에 따른 화소 회로는 도 1에 나타낸 제1 실시예에 따른 화소 회로와 대비하여, 제1 리셋 TFT(Tres1)의 제2 전극이 제1 노드(N1)가 아닌 제2 노드(N2)에 접속되고, 제2 리셋 TFT(Tres2)의 제2 전극이 제3 노드(N3)가 아닌 제2 노드(N2)에 접속된 점에서만 차이가 있고, 나머지 구성은 동일하므로, 동일 구성에 대한 설명은 생략한다. 도 9의 화소 회로에서도 초기화 기간에서 리셋 신호(RSn) 및 머지 신호(MSn)의 게이트 온 전압(Von)에 의해 제1 및 제2 리셋 TFT(Tres1, Tres2)와, 머지 TFT(Tme)가 턴-온되어 제1, 제2, 제3 노드(N1, N2, N3)를 초기화 전압(Vini)으로 초기화시킨다.
- [0066] 도 10은 본 발명의 제4 실시예에 따른 AMOLED의 화소 회로를 나타낸 등가 회로도이다.
- [0067] 도 10에 나타낸 제4 실시예에 따른 화소 회로는 도 1에 나타낸 제1 실시예에 따른 화소 회로와 대비하여, 제1 리셋 TFT(Tres1)의 제2 전극이 제1 노드(N1)가 아닌 제2 노드(N2)에 접속되고, 제2 리셋 TFT(Tres2)의 제2 전극이 제3 노드(N3)가 아닌 제1 노드(N1)에 접속된 점에서만 차이가 있고, 나머지 구성은 동일하므로, 동일 구성에 대한 설명은 생략한다. 도 10의 화소 회로에서도 초기화 기간에서 리셋 신호(RSn) 및 머지 신호(MSn)의 게이트 온 전압(Von)에 의해 제1 및 제2 리셋 TFT(Tres1, Tres2)와, 머지 TFT(Tme)가 턴-온됨으로써 제1, 제2, 제3 노드(N1, N2, N3)를 모두 초기화 전압(Vini)으로 초기화시킨다.
- [0068] 도 11은 본 발명의 제5 실시예에 따른 AMOLED의 화소 회로를 나타낸 등가 회로도이고, 도 12는 도 11에 나타낸 화소 회로의 구동 파형도이다.
- [0069] 도 11에 나타낸 제5 실시예에 따른 화소 회로는 도 1에 나타낸 제1 실시예에 따른 화소 회로와 대비하여, 제3 리셋 TFT(Tres3)를 추가로 구비한 점에서만 차이가 있고, 나머지 구성은 동일하므로, 동일 구성에 대한 설명은 생략한다. 제3 리셋 TFT(Tres3)는 n번째 리셋 라인(36n)에 게이트 전극이 접속되고, 고전위 전원 라인(40)에 소스 전극이 접속되며, 제2 노드(N2)에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라 소스 전극과 드레인 전극이 된다. 제3 리셋 TFT(Tres3)는 n번째 리셋 라인(36n)에 공급되는 리셋 신호(RSn) 또는 n-1번째 스캔 라인(30n-1)에 공급되는 스캔 신호(SSn-1)의 게이트 온 전압(Von)에 응답하여 초기화 기간에서 제2 노드(N2)를 고전위 전압(Vdd)으로 초기화시킨다.
- [0070] 도 2에 나타낸 구동 파형도와 도 12에 나타낸 구동 파형도를 대비하면, n번째 머지 라인(34n)에 공급되는 머지

신호(MSn)가, 도 2에서는 프로그램 기간에서만 게이트 오프 전압(Voff)이 공급된 반면에 도 12에서는 초기화 기간 및 프로그램 기간에서 게이트 오프 전압(Voff)을 공급한다는 점과, 도 2에서는 초기화 전압(Vini)으로 이전 단 n-1번째 머지 신호(MSn-1)의 게이트 오프 전압(Voff)을 이용한 반면에, 도 12에서는 초기화 전압(Vini)이 직류 전압으로 고정되어 공급된다는 점에서 차이가 있다.

[0071] 도 12의 초기화 기간에서, n번째 리셋 라인(36n)에 공급되는 리셋 신호(RSn) 또는 n-1번째 스캔 라인(30n-1)에 공급되는 스캔 신호(SSn-1)의 게이트 온 전압(Von)에 응답하여 제1 및 제2 리셋 TFT(Tres1, Tres2)는 제1 및 제2 노드(N1, N2)를 초기화 전압(Vini)으로 초기화시키고, 제3 리셋 TFT(Tres3)는 고전위 전압(Vdd)로 제2 노드(N2)를 초기화시킨다. 이때, n번째 머지 라인(34n)에 공급되는 머지 신호(MSn)의 게이트 오프 전압(Voff)에 응답하여 머지 TFT(Tme)는 턴-오프된다.

[0072] 도 12의 프로그램 기간에서, n번째 스캔 라인(30n)에 공급되는 스캔 신호(SSn)의 게이트 온 전압(Von)에 응답하여 기준 TFT(Tref)는 제1 노드(N1)에 기준 전압(Vref)을 공급하고, 데이터 TFT(Tdata)는 제2 노드(N2)에 데이터 전압(Vdata)를 공급한다. 턴-온된 데이터 TFT(Tdata)를 통해 데이터 전압(Vdata)이 공급되면 제2 노드(N2) 전압은 고전위 전압(Vdd)에서 데이터 전압(Vdata)으로 변동하고, 제2 노드(N2) 전압의 변동분(Vdata-Vdd)에 비례하여 제3 노드(N3)의 전압(VN3)도 다음 수학적 식 3과 같이 변동한다.

수학적 식 3

$$V_{N3} = V_{ini} + (V_{data} - V_{dd})S\left(\frac{C_s}{C_{oled} + C_s}\right)$$

[0073]

[0074] 이때, 제3 노드(N3)의 전압(VN3)은 저전위 전압(Vss) 보다 낮으므로, 커패시터(Coled)로 이용되는 발광 소자(OLED)는 제3 노드(N3)의 전위가 기준 전압(Vref)에서 구동 TFT(Td)의 문턱 전압(Vth)을 차감한 값(Vref-Vth)이 될 때까지, 즉 구동 TFT(Td)의 출력 전류(Ids)가 충분히 작게 될 때까지 구동 TFT(Td)를 통해 전하를 축적한다. 이 결과, 스토리지 커패시터(Cs)는 턴-온된 데이터 TFT(Tdata)를 경유하여 공급된 데이터 전압(Vdata)과, 제3 노드(N3)에 공급된 전압(Vref-Vth)의 차전압(Vdata-Vref+Vth)을 저장함으로써, 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)에 상응하는 전압(Vdata-Vref+Vth)을 저장한다.

[0075] 도 12에 나타난 발광 기간에서, n번째 머지 라인(34n)에 공급된 머지 신호(MSn)의 게이트 온 전압(Von)에 응답하여 머지 TFT(Tme)가 턴-온되고, 턴-온된 머지 TFT(Tme)를 통해 제1 노드(N1)에 공급된 스토리지 커패시터(Cs)의 전압(Vdata-Vref+Vth)에 응답하여 구동 TFT(Td)가 소스-드레인간 전류(Ids)를 제어함으로써 발광 소자(OLED)를 발광시킨다.

[0076] 도 13은 본 발명의 제6 실시예에 따른 AMOLED의 화소 회로를 나타낸 등가 회로도이다.

[0077] 도 13에 나타난 제6 실시예에 따른 화소 회로는 도 1에 나타난 제1 실시예에 따른 화소 회로와 대비하여, 도 1의 기준 TFT(Tref) 대신 커패시터(Cd)를 사용한 점에서만 차이가 있고, 나머지 구성은 동일하므로, 동일 구성에 대한 설명은 생략한다. 커패시터(Cd)는 n번째 스캔 라인(30n)과 제1 노드(N1) 사이에 접속된다. 커패시터(Cd)는 도 2에 나타난 프로그램 기간에서 n번째 스캔 신호(SSn)가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 변동하면, 그 변동분과, 기생 커패시터를 포함한 전체 용량(Ctotal)에 대한 커패시터(Cd)의 용량비(Cd/Ctotal)의 곱에 비례하여 제1 노드(N1)의 전압도 상승된다. 이에 따라, 프로그램 기간에서 커패시터(Cd)도 1의 기준 TFT(Tref)와 유사하게 기준 전압(Vref)과 유사한 전압을 제1노드(N1)에 공급함으로써 구동 TFT(Td)의 소스-드레인간 전류(Ids)가 충분히 작게 될 때까지 구동 TFT(Td)를 구동시켜서 문턱 전압(Vth)을 검출할 수 있게 한다.

[0078] 이와 같이, 본 발명에 따른 AMOLED 표시 장치의 전압 보상형 화소 회로는 프로그램 기간에서 구동 TFT(Td)를 다이오드 구조로 접속시키지 않고도 발광 소자(OLED)를 커패시터(Coled)로 이용하여 문턱 전압(Vth)을 검출함으로써, n형 TFT와 p형 TFT와 상관없이 포지티브뿐만 아니라 네거티브 문턱 전압(Vth)을 검출할 수 있으므로 광범위한 전압 영역에서 문턱 전압(Vth)을 정확하게 검출할 수 있다.

[0079] 또한, 본 발명에 따른 AMOLED 표시 장치의 전압 보상형 화소 회로는 고전위 전원 라인(40)과 저전위 전원 라인

(42) 사이에 구동 TFT(Td)와 발광 소자(OLED)만 직렬 접속된 구조를 이용하면서도, 초기화 기간 및 프로그램 기간에서 발광 소자(OLED)에 네거티브 바이어스를 인가하여 발광 소자(OLED)를 커패시터(Coled)로 이용하고, 발광 기간에서만 발광 소자(OLED)를 발광시킴으로써 불필요한 발광을 방지하여 컨트라스트를 높일 수 있다.

[0080] 또한, 본 발명에 따른 AMOLED 표시 장치의 전압 보상형 화소 회로는 발광 기간에서 구동 TFT(Td)가 항상 포화 영역에서 동작하므로 바이어스 스트레스로 인한 TFT 열화가 작은 장점이 있다.

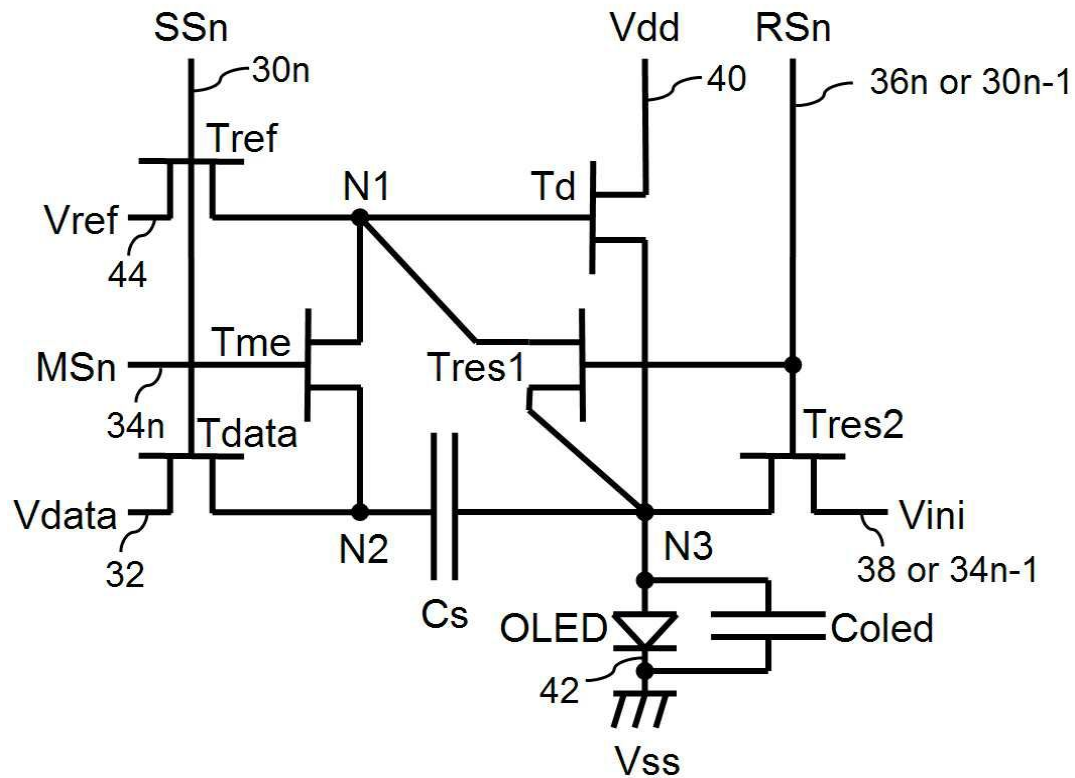
[0081] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

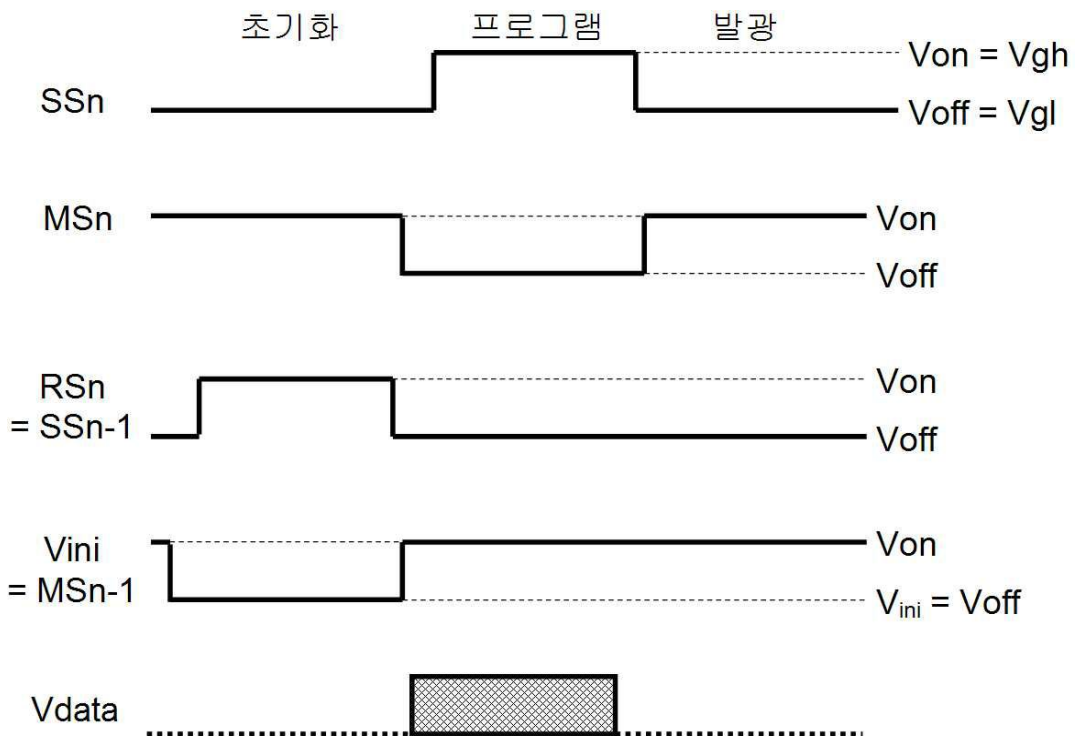
- | | | |
|--------|-----------------------------|-------------------|
| [0082] | 30n, 30n-1: 스캔 라인 | 32: 데이터 라인 |
| | 34n, 34n-1: 머지 라인 | 36n: 리셋 라인 |
| | 38: 초기화 전압 라인 | 40: 고전위 전원 라인 |
| | 42: 저전위 전원 라인 | 44: 기준 전압 라인 |
| | SSn, SSn-1: 스캔 신호 | MSn, MSn-1: 머지 신호 |
| | RSn: 리셋 신호 | Vdd: 고전위 전압 |
| | Vss: 저전위 전압 | Vref: 기준 전압 |
| | Vini: 초기화 전압 | Vdata: 데이터 전압 |
| | Tref: 기준 TFT | Tdata: 데이터 TFT |
| | Tme: 머지 TFT | Td: 구동 TFT |
| | Tres1, Tres2, Tres3: 리셋 TFT | OLED: 발광 소자 |
| | Cs, Cd, Coled: 커패시터 | Von: 게이트 온 전압 |
| | Voff: 게이트 오프 전압 | Vgh: 게이트 하이 전압 |
| | Vgl: 게이트 로우 전압 | Vth: 구동 TFT의 문턱전압 |

도면

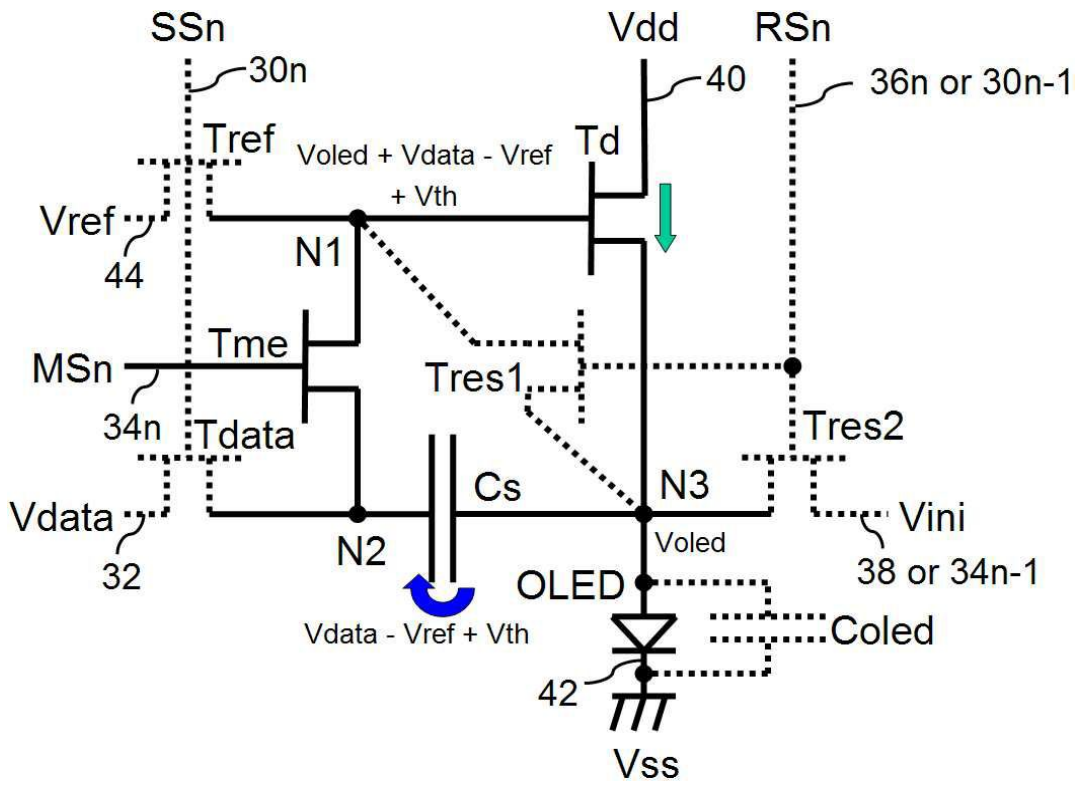
도면1



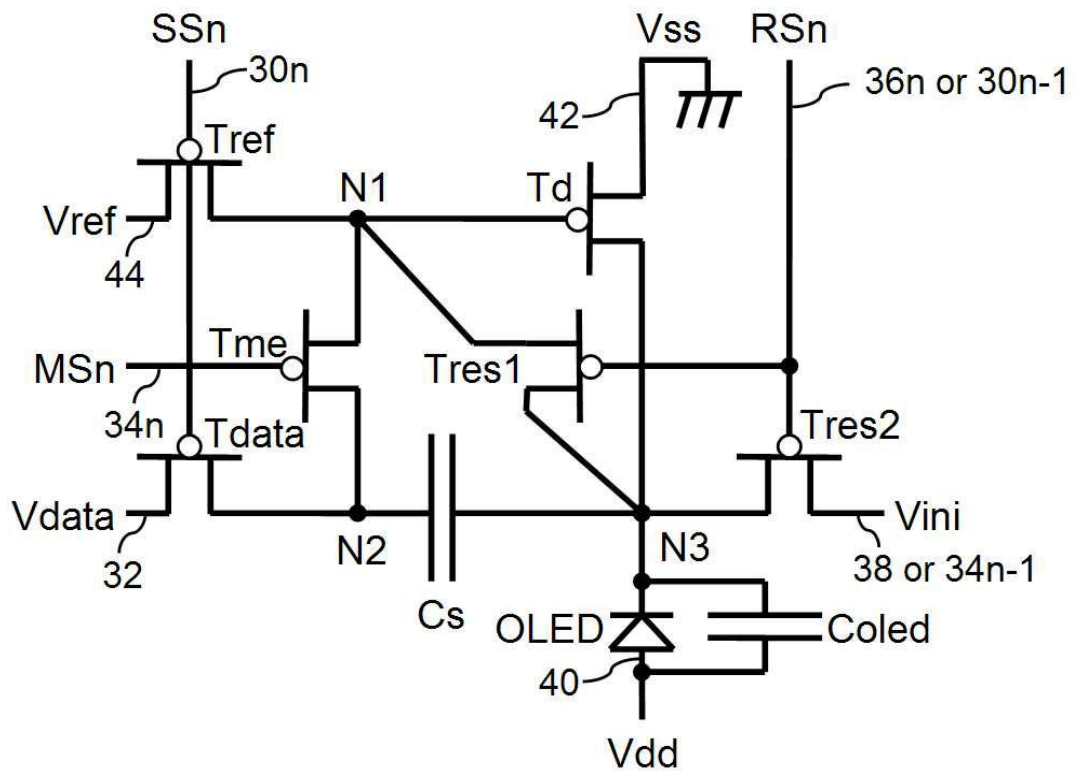
도면2



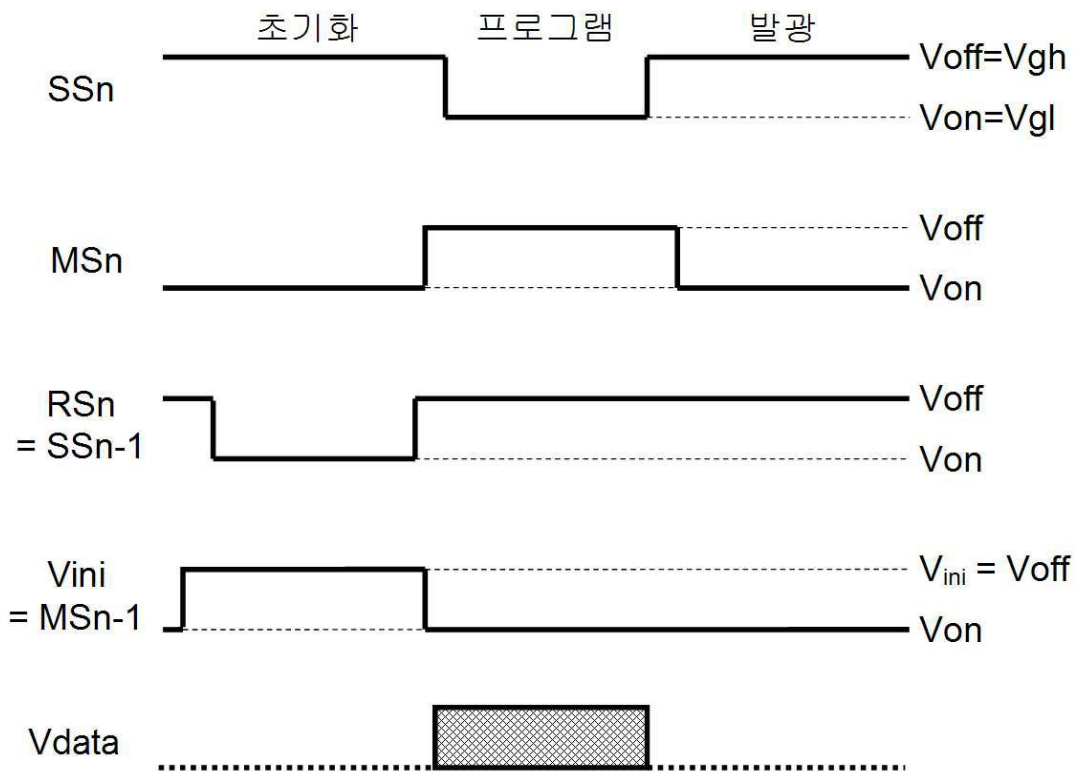
도면5



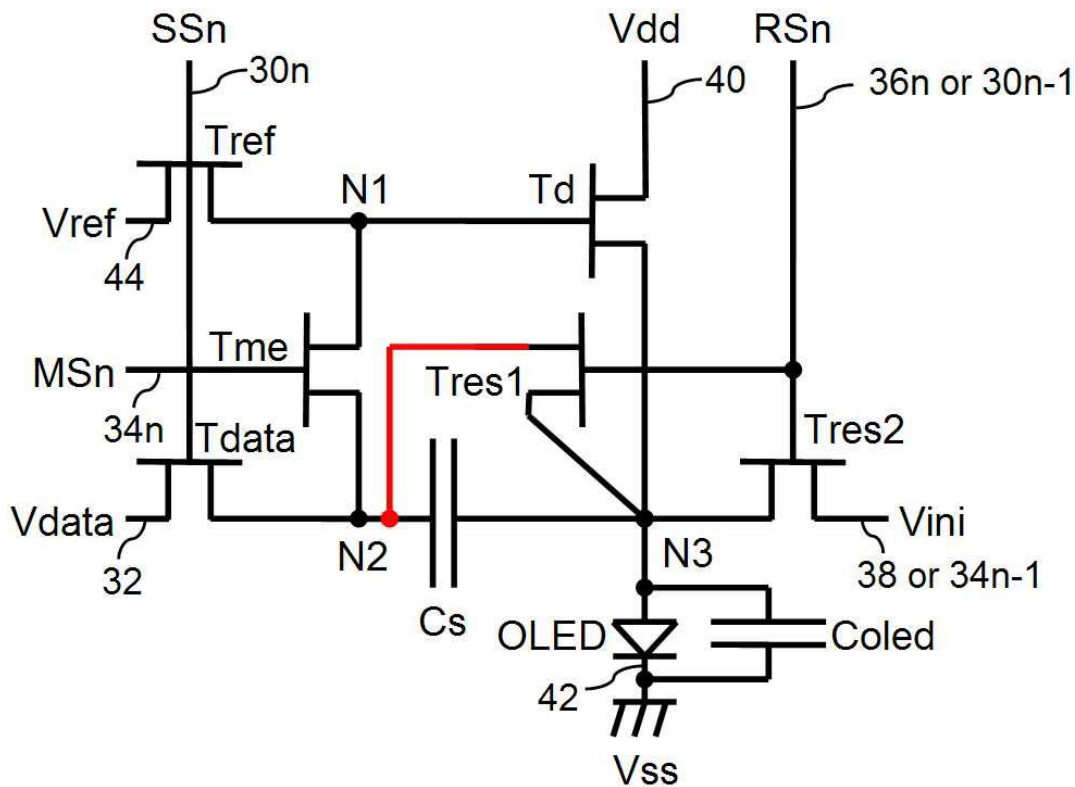
도면6



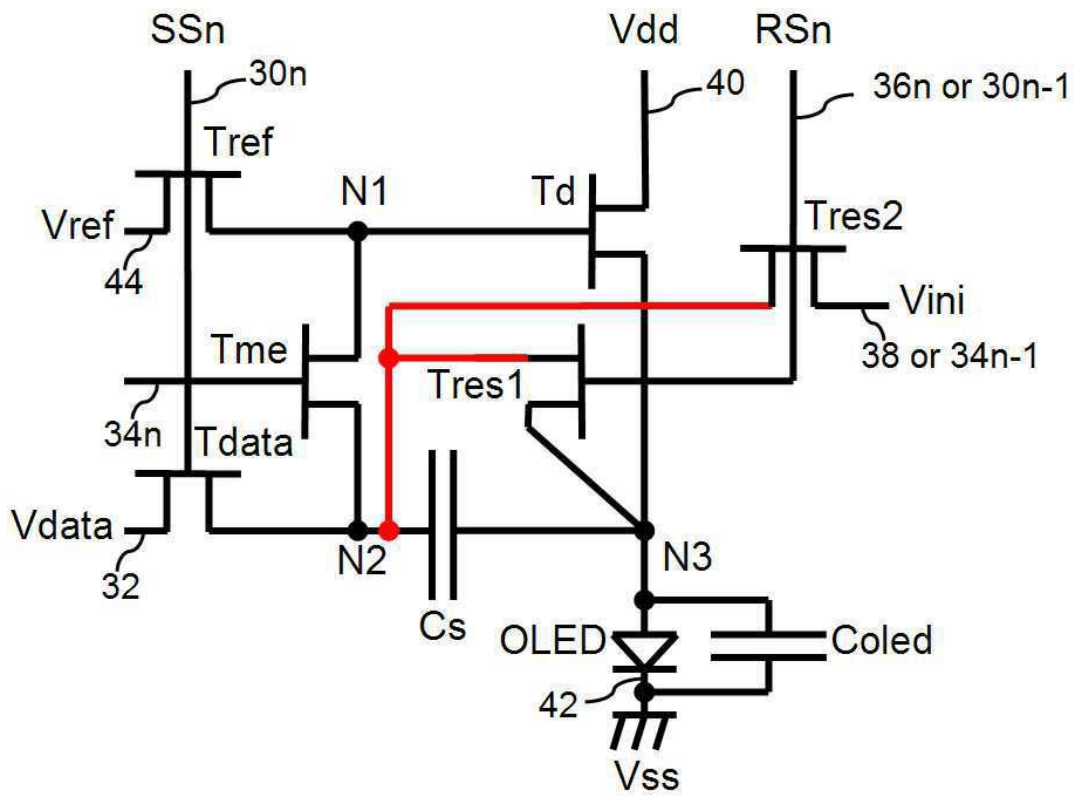
도면7



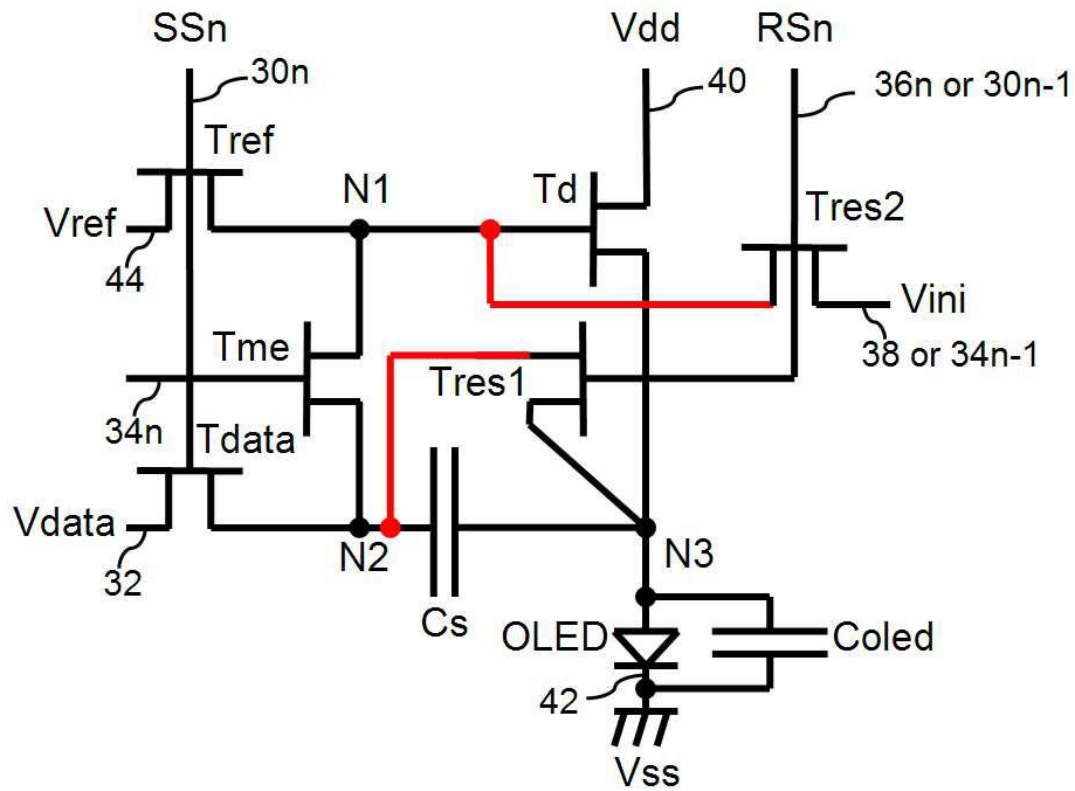
도면8



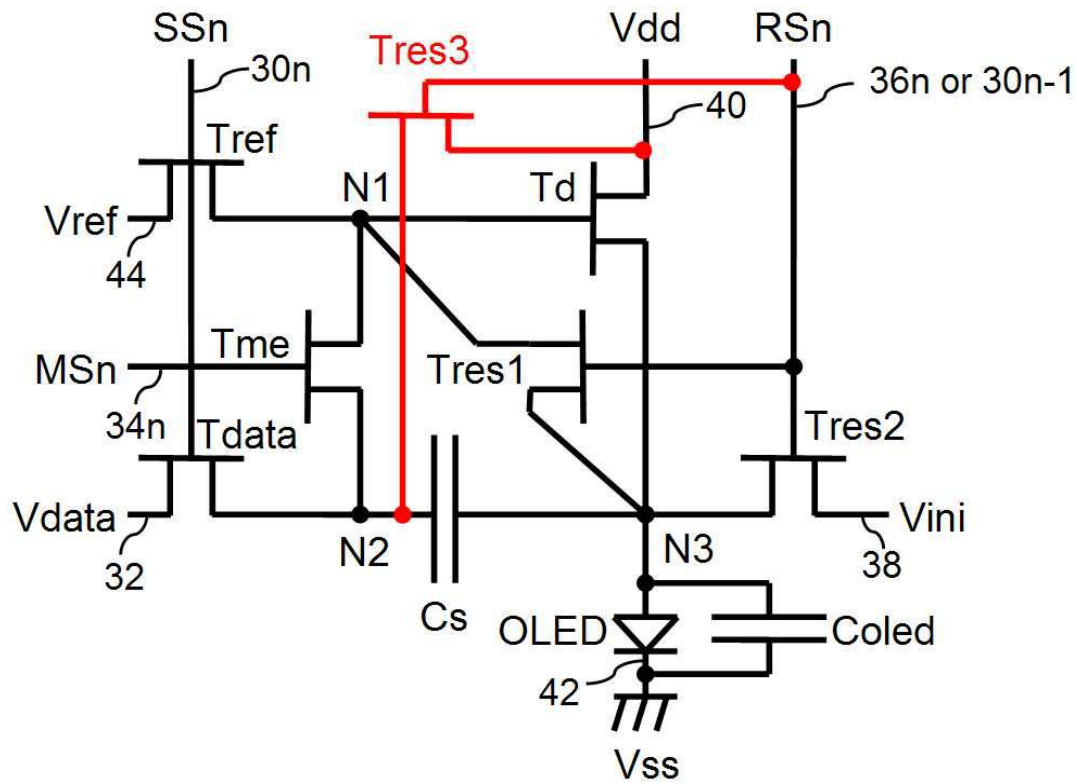
도면9



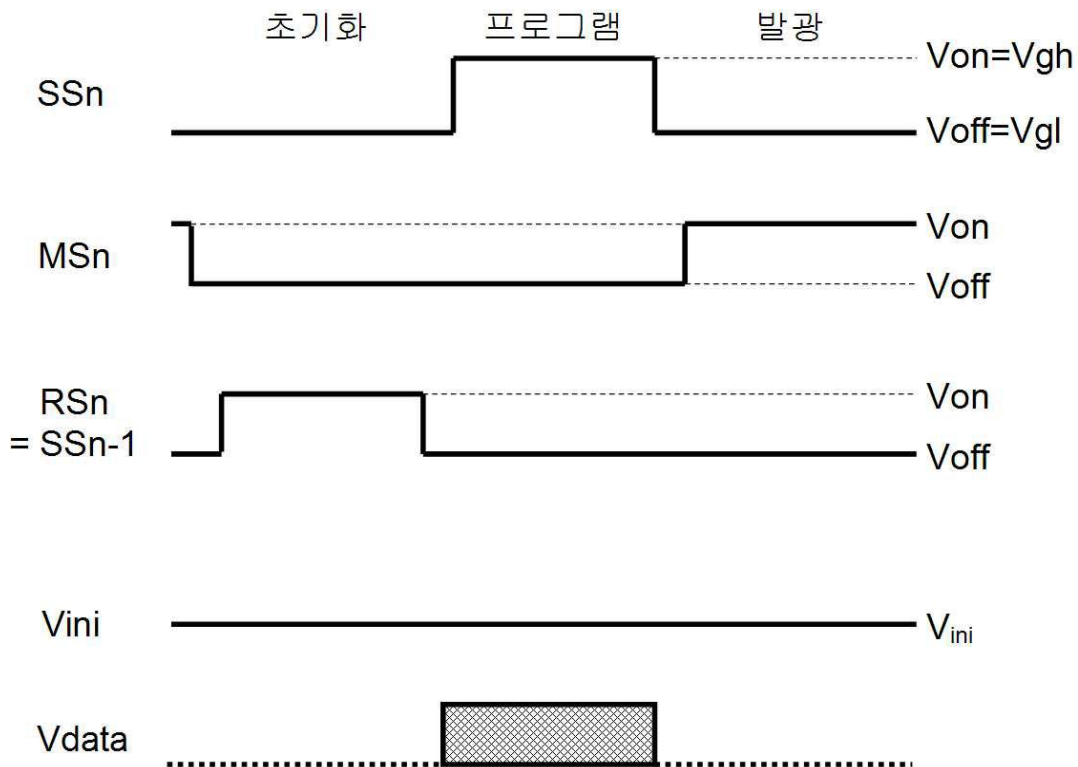
도면10



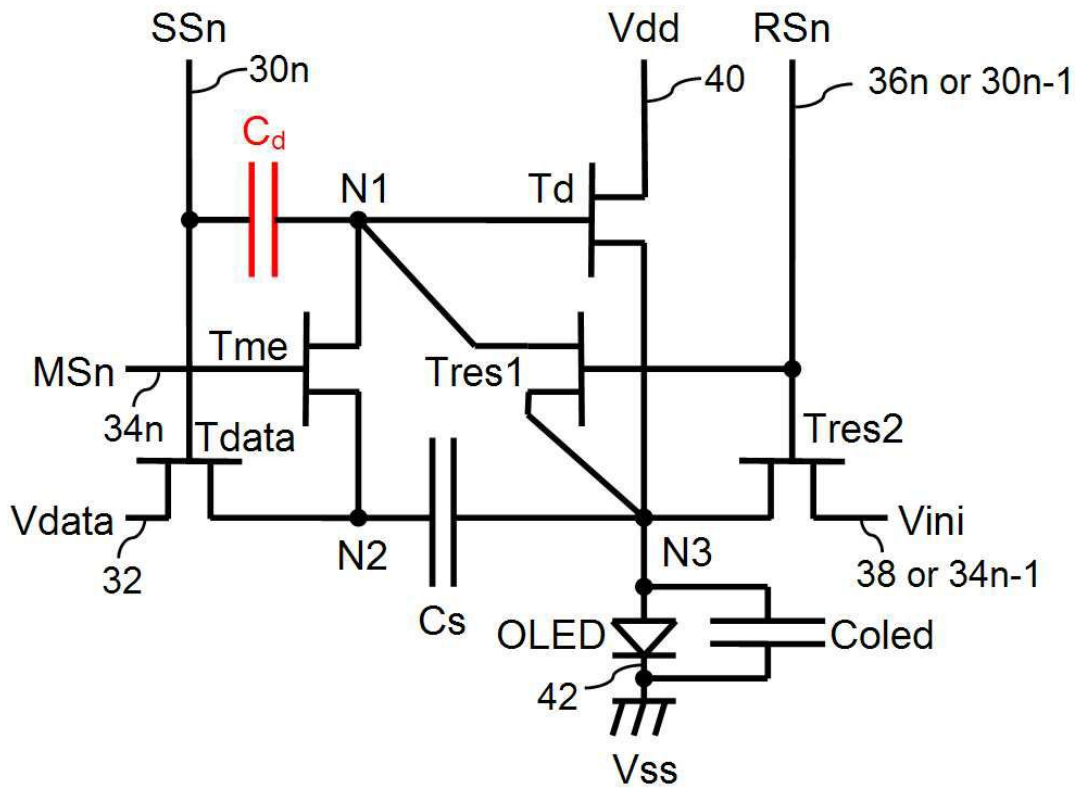
도면11



도면12



도면13



专利名称(译)	一种有源矩阵有机发光二极管显示装置的电压补偿像素电路		
公开(公告)号	KR1020110127006A	公开(公告)日	2011-11-24
申请号	KR1020100046610	申请日	2010-05-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	TAKASUGI SHINJI 타카스기신지 HASUMI TARO 하스미타로 TANI RYOSUKE 타니료스케		
发明人	타카스기신지 하스미타로 타니료스케		
IPC分类号	G09G3/30		
CPC分类号	G09G2300/0861 G09G2310/0251 G09G3/3233 G09G3/3291 H01L27/3244		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101351416B1		
外部链接	Espacenet		

摘要(译)

之间的本发明涉及可以实现所述AMOLED显示装置，其能够补偿阈值电压的正的和负的电压补偿像素电路，但该驱动器晶体管将总是在饱和区中操作时，高电位侧电源线和低电位侧电源线和发光元件和串联连接，并用于驱动光响应于提供给第一节点处的电压的发光元件驱动晶体管；第一编程晶体管，用于响应扫描线的扫描信号将数据线的的数据电压提供给第二节点；和第二编程晶体管，用于响应于在第一节点的扫描线的扫描信号供给从基准电压提供线的参考电压；合并晶体管，用于响应合并线的合并信号连接第一节点和第二节点；它被连接在发光元件与所述驱动晶体管和所述第二节点，和对应于数据电压和存储驱动晶体管的该补偿电压的阈值电压的存储电容器之间的第三节点之间；响应于所述复位线的复位信号和第一和第二复位晶体管，以所述第一，第二和第三初始化节点的至少两个节点中，所述初始化电压线的初始化电压。

