



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0080040
(43) 공개일자 2011년07월12일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2010-0000188

(22) 출원일자 2010년01월04일

심사청구일자 2010년01월04일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

정보용

경기도 용인시 기흥구 농서동 산24

박용성

경기도 용인시 기흥구 농서동 산24

(74) 대리인

리엔목특허법인

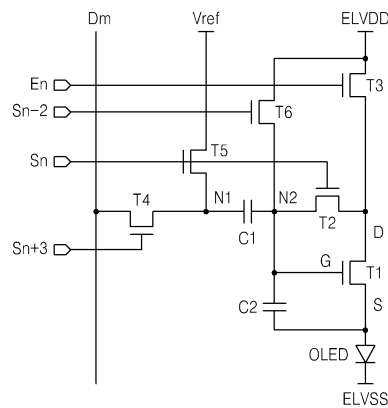
전체 청구항 수 : 총 19 항

(54) 화소 회로, 유기 전계 발광 표시 장치 및 그 구동 방법

(57) 요약

본 발명의 일 실시예는 화소 회로, 이를 포함하는 유기 전계 발광 표시 장치 및 그 구동 방법에 대한 것으로, 화소 회로 내의 모든 트랜지스터는 n형 트랜지스터로 이루어지고 초기화 시간을 분리하여 구동하며, 구동 트랜지스터의 문턱 전압 보상 시간을 제어할 수 있는 화소 회로, 유기 전계 발광 표시 장치 및 그 구동 방법을 제공한다.

대표도 - 도4



특허청구의 범위

청구항 1

제1전극 및 제2전극을 구비하는 발광 소자;

제1전극 및 제2전극을 구비하고 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터;

제1단과, 상기 구동 트랜지스터의 게이트 전극에 연결된 제2단을 구비하는 제1 커패시터;

상기 구동 트랜지스터의 게이트 전극에 연결된 제1단과 상기 발광 소자의 제1전극에 연결된 제2단을 구비하는 제2 커패시터;

상기 구동 트랜지스터의 게이트 전극과 연결된 제1전극 및 상기 구동 트랜지스터의 제1전극과 연결된 제2전극을 구비하는 제2 트랜지스터;

에미션 제어 신호에 응답하여 상기 제1전원 전압을 상기 구동 트랜지스터의 제1전극으로 인가하는 제3 트랜지스터;

상기 데이터 신호에 연결된 제1전극 및 상기 제1 커패시터의 제1단에 연결된 제2전극을 구비하는 제4 트랜지스터;

레퍼런스 전압에 연결된 제1전극 및 상기 제1 커패시터의 1단에 연결된 제2전극을 구비하는 제5 트랜지스터; 및

상기 제1전원 전압에 연결된 제1전극 및 상기 상기 구동 트랜지스터의 게이트 전극에 연결된 제2전극을 구비하는 제6 트랜지스터;

를 포함하며,

상기 구동 트랜지스터 및 상기 제2 내지 제6 트랜지스터들은 n형 트랜지스터인 화소 회로.

청구항 2

제1항에 있어서,

상기 제6트랜지스터는

게이트 전극으로 인가되는 제1 주사 신호에 응답하여 제1전원 전압을 상기 구동 트랜지스터의 게이트 전극으로 인가하는 화소 회로.

청구항 3

제1항에 있어서,

상기 제5 트랜지스터는

게이트 전극으로 인가되는 제2 주사 신호에 응답하여 레퍼런스 전압을 상기 제1커패시터의 제1단으로 인가하며,

상기 제2 트랜지스터는

게이트 전극으로 인가되는 상기 제2 주사 신호에 응답하여 상기 구동 트랜지스터를 다이오드 연결시키는 화소 회로.

청구항 4

제1항에 있어서

상기 제4 트랜지스터는

게이트 전극으로 인가되는 제3 주사 신호에 응답하여 데이터 신호를 상기 제1 커패시터의 상기 제1단으로 전달하는 화소 회로.

청구항 5

제2항 내지 제4항 중 어느 한 항에 있어서

상기 제1 주사 신호는 $n-2$ 번째 주기의 주사 신호며,

상기 제2 주사 신호는 n 번째 주기의 주사 신호며,

상기 제3 주사 신호는 $n+3$ 번째 주기의 주사 신호며,

상기 제1 주사 신호와 상기 제2 주사 신호는 하이 레벨에서 오버랩되는 구간이 존재하는 화소 회로.

청구항 6

제2항 내지 제4항 중 어느 한 항에 있어서

상기 제2 주사 신호가 하이 레벨로 유지되는 구간을 증가시킬 수 있는 화소 회로.

청구항 7

제1항에 있어서,

상기 발광 소자는 유기 전계 발광 다이오드(OLED, Organic Light Emitting Diodes)인 화소 회로.

청구항 8

제1항에 있어서

상기 구동 트랜지스터 및 상기 제2 내지 6 트랜지스터는 N형 MOSFET(metal-oxide semiconductor field effect transistor)인 화소 회로.

청구항 9

제1항에 있어서,

상기 구동 트랜지스터의 상기 제1 전극은 드레인 전극이고, 상기 구동 트랜지스터의 상기 제2 전극은 소스 전극인 화소 회로.

청구항 10

제1항에 있어서

상기 제6 트랜지스터의 제1전극에 상기 제1전원 전압 대신 이니셜 전압이 인가되는 화소 회로.

청구항 11

제1항에 있어서

상기 제6 트랜지스터의 제1전극에 상기 제1전원 전압 대신, 상기 레퍼런스 전압이 인가되는 화소 회로.

청구항 12

애노드 전극과 캐소드 전극을 구비하는 OLED, 구동 트랜지스터, 제1 내지 제3 주사 신호 및 에미션 제어 신호에 응답하여 턴 온되는 복수개의 스위칭 트랜지스터, 복수개의 스토리지 커패시터를 구비하며, 상기 부스팅 트랜지스터의 제1 전극 사이에 연결되는 부스팅 커패시터를 구비하며, 상기 구동 트랜지스터, 복수의 스위칭 트랜지스터, 및 부스팅 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 화소 회로의 구동방법으로서,

상기 제1 주사 신호가 하이 레벨일 때 상기 화소 회로를 초기화 하는 단계;

상기 제2 주사 신호가 하이레벨일 때 상기 구동 트랜지스터를 다이오드 연결시켜 상기 구동 트랜지스터의 문턱 전압을 보상하는 단계;

상기 제3 주사 신호가 하이 레벨일 때 상기 화소 회로에 데이터 신호를 기입하는 단계; 및

상기 에미션 신호가 하이 레벨일 때 기입된 상기 데이터 신호에 대응하여 상기 OLED에 전류가 흘러 발광되는 단계;

를 포함하는 화소 회로의 구동 방법.

청구항 13

제12항에 있어서

상기 제1 주사 신호와 상기 제2 주사 신호는 하이 레벨에서 오버랩되는 구간이 존재하는 화소 회로의 구동 방법.

청구항 14

제12항에 있어서

상기 제2 주사 신호가 하이 레벨로 유지되는 구간을 증가시킬 수 있는 화소 회로.

청구항 15

복수의 주사선들에 주사 신호를 공급하는 주사 구동부;

복수의 에미션 제어선들에 에미션 제어 신호를 공급하는 에미션 구동부;

복수의 데이터선들에 데이터 신호를 공급하는 데이터 구동부; 및

상기 주사선들, 에미션 제어선들, 및 데이터선들의 교차부마다 구비되는 복수의 화소 회로들;을 포함하며,

상기 화소 회로들 각각은

애노드 전극, 및 캐소드 전극을 구비하는 OLED;

제1전극 및 제2전극을 구비하고 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터;

제1단과, 상기 구동 트랜지스터의 게이트 전극에 연결된 제2단을 구비하는 제1 커패시터;

상기 구동 트랜지스터의 게이트 전극에 연결된 제1단과 상기 발광 소자의 제1전극에 연결된 제2단을 구비하는 제2 커패시터;

상기 구동 트랜지스터의 게이트 전극과 연결된 제1전극 및 상기 구동 트랜지스터의 제1전극과 연결된 제2전극을 구비하는 제2 트랜지스터;

에미션 제어 신호에 응답하여 상기 제1전원 전압을 상기 구동 트랜지스터의 제1전극으로 인가하는 제3 트랜지스터;

상기 데이터 신호에 연결된 제1전극 및 상기 제1 커패시터의 제1단에 연결된 제2전극을 구비하는 제4 트랜지스터;

레퍼런스 전압에 연결된 제1전극 및 상기 제1 커패시터의 1단에 연결된 제2전극을 구비하는 제5 트랜지스터; 및

상기 제1전원 전압에 연결된 제1전극 및 상기 상기 구동 트랜지스터의 게이트 전극에 연결된 제2전극을 구비하는 제6 트랜지스터;

를 포함하며,

상기 구동 트랜지스터 및 상기 제2 내지 제6 트랜지스터들은 n형 트랜지스터인 유기 전계 발광 표시 장치.

청구항 16

제15항에 있어서

상기 제6트랜지스터의 게이트 전극은 n-2번째 주사선에 연결되고,

게이트 전극으로 인가되는 주사 신호에 응답하여 제1전원 전압을 상기 구동 트랜지스터의 게이트 전극으로 인가하는 유기 전계 발광 표시 장치.

청구항 17

제15항에 있어서

상기 제5 트랜지스터의 게이트 전극은 n번째 주사선에 연결되고,

게이트 전극으로 인가되는 주사 신호에 응답하여 레퍼런스 전압을 상기 제1커패시터의 제1단으로 인가하는 유기 전계 발광 표시 장치.

청구항 18

제15항에 있어서

상기 제2 트랜지스터의 게이트 전극은 n번째 주사선에 연결되고

게이트 전극으로 인가되는 주사 신호에 응답하여 상기 구동 트랜지스터를 다이오드 연결시키는 유기 전계 발광 표시 장치.

청구항 19

제15항에 있어서

상기 제4 트랜지스터의 게이트 전극은 n+3번째 주사선에 연결되고,

게이트 전극으로 인가되는 제3 주사 신호에 응답하여 데이터 신호를 상기 제1 커패시터의 상기 제1단으로 전달하는 유기 전계 발광 표시 장치.

명세서

기술 분야

[0001] 본 발명의 실시예들은 n형 트랜지스터를 이용하여 구현된 화소 회로, 유기 전계 발광 표시 장치 및 그 구동방법에 대한 것이다.

배경 기술

[0002] 평판표시장치 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)를 이용하여 화상을 표시한다. 이러한, 유기 전계 발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동된다. 유기 전계 발광 표시 장치는 기본적으로 입력 데이터에 대응되는 데이터 구동 신호를 복수의 화소 회로들에 인가하여 각 화소들의 휘도를 조절함으로써, 입력 데이터를 영상으로 변환하여 사용자에게 제공한다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시 예가 해결하고자 하는 기술적 과제는 n형 트랜지스터를 이용하여 화소 회로 및 유기 전계 발광 표시 장치를 구현할 때, 충분한 초기화 시간 및 충분한 구동 트랜지스터의 문턱 전압 보상 시간을 제공하는데 있다.

과제의 해결 수단

[0004] 본 발명의 일측면에 따르면, 제1전극 및 제2전극을 구비하는 발광 소자;

[0005] 제1전극 및 제2전극을 구비하고 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터; 제1단과, 상기 구동 트랜지스터의 게이트 전극에 연결된 제2단을 구비하는 제1 커패시터; 상기 구동 트랜지스터의 게이트 전극에 연결된 제1단과 상기 발광 소자의 제1전극에 연결된 제2단을 구비하는 제2 커패시터; 상기 구동 트랜지스터의 게이트 전극과 연결된 제1전극 및 상기 구동 트랜지스터의 제1전극과 연결된 제2전극을 구비하는 제2 트랜지스터; 에미션 제어 신호에 응답하여 상기 제1전원 전압을 상기 구동 트랜지스터의 제1전극으로 인가하는 제3 트랜지스터; 상기 데이터 신호에 연결된 제1전극 및 상기 제1 커패시터의 제1단에 연결된 제2전극을 구비하는 제4 트랜지스터; 레퍼런스 전압에 연결된 제1전극 및 상기 제1 커패시터의 1단에 연결된 제2전극을 구비하는 제5 트랜지스터; 및 상기 제1전원 전압에 연결된 제1전극 및 상기 상기 구동 트랜지스터의 게이트 전극에 연결된 제2전극을 구비하는 제6 트랜지스터; 를 포함하며, 상기 구동 트랜지스터 및 상기 제2 내지 제6 트랜

지스터들은 n형 트랜지스터인 화소 회로를 개시한다.

- [0006] 여기서 상기 제6트랜지스터는 게이트 전극으로 인가되는 제1 주사 신호에 응답하여 제1전원 전압을 상기 구동 트랜지스터의 게이트 전극으로 인가한다.
- [0007] 여기서 상기 제5 트랜지스터는 게이트 전극으로 인가되는 제2 주사 신호에 응답하여 레퍼런스 전압을 상기 제1 커패시터의 제1단으로 인가하며, 상기 제2 트랜지스터는 게이트 전극으로 인가되는 상기 제2 주사 신호에 응답하여 상기 구동 트랜지스터를 다이오드 연결시킨다.
- [0008] 여기서 상기 제4 트랜지스터는 게이트 전극으로 인가되는 제3 주사 신호에 응답하여 데이터 신호를 상기 제1 커패시터의 상기 제1단으로 전달한다.
- [0009] 여기서 상기 제1 주사 신호는 n-2번째 주기의 주사 신호며, 상기 제2 주사 신호는 n번째 주기의 주사 신호며, 상기 제3 주사 신호는 n+3번째 주기의 주사 신호며, 상기 제1 주사 신호와 상기 제2 주사 신호는 하이 레벨에서 오버랩되는 구간이 존재한다.
- [0010] 여기서 상기 제2 주사 신호가 하이 레벨로 유지되는 구간을 증가시킬 수 있다.
- [0011] 여기서 상기 발광 소자는 유기 전계 발광 다이오드(OLED, Organic Light Emitting Diodes)이다.
- [0012] 여기서 상기 구동 트랜지스터 및 상기 제2 내지 6 트랜지스터는 N형 MOSFET(metal-oxide semiconductor field effect transistor)이다.
- [0013] 여기서 상기 구동 트랜지스터의 상기 제1 전극은 드레인 전극이고, 상기 구동 트랜지스터의 상기 제2 전극은 소스 전극이다.
- [0014] 여기서 상기 제6 트랜지스터의 제1전극에 상기 제1전원 전압 대신 이니셜 전압이 인가된다.
- [0015] 여기서 상기 제6 트랜지스터의 제1전극에 상기 제1전원 전압 대신, 상기 레퍼런스 전압이 인가된다.
- [0016] 본 발명의 다른 측면에 따르면, 애노드 전극과 캐소드 전극을 구비하는 OLED, 구동 트랜지스터, 제1 내지 제3 주사 신호 및 에미션 제어 신호에 응답하여 턴 온되는 복수개의 스위칭 트랜지스터, 복수개의 스토리지 커패시터를 구비하며, 상기 부스팅 트랜지스터의 제1 전극 사이에 연결되는 부스팅 커패시터를 구비하며, 상기 구동 트랜지스터, 복수의 스위칭 트랜지스터, 및 부스팅 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 화소 회로의 구동방법으로서, 상기 제1 주사 신호가 하이 레벨일 때 상기 화소 회로를 초기화 하는 단계; 상기 제2 주사 신호가 하이레벨일 때 상기 구동 트랜지스터를 다이오드 연결시켜 상기 구동 트랜지스터의 문턱 전압을 보상하는 단계; 상기 제3 주사 신호가 하이 레벨일 때 상기 화소 회로에 데이터 신호를 기입하는 단계; 및 상기 에미션 신호가 하이 레벨일 때 기입된 상기 데이터 신호에 대응하여 상기 OLED에 전류가 흘러 발광되는 단계; 를 포함하는 화소 회로의 구동 방법을 제공한다.
- [0017] 여기서 상기 제1 주사 신호와 상기 제2 주사 신호는 하이 레벨에서 오버랩되는 구간이 존재한다.
- [0018] 여기서 상기 제2 주사 신호가 하이 레벨로 유지되는 구간을 증가시킬 수 있다.
- [0019] 본 발명의 또 다른 측면에 따르면, 복수의 주사선들에 주사 신호를 공급하는 주사 구동부; 복수의 에미션 제어선들에 에미션 제어 신호를 공급하는 에미션 구동부; 복수의 데이터선들에 데이터 신호를 공급하는 데이터 구동부; 및 상기 주사선들, 에미션 제어선들, 및 데이터선들의 교차부마다 구비되는 복수의 화소 회로들;을 포함하며, 상기 화소 회로들 각각은 애노드 전극, 및 캐소드 전극을 구비하는 OLED; 제1전극 및 제2전극을 구비하고 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터; 제1단과, 상기 구동 트랜지스터의 게이트 전극에 연결된 제2단을 구비하는 제1 커패시터; 상기 구동 트랜지스터의 게이트 전극에 연결된 제1단과 상기 발광 소자의 제1전극에 연결된 제2단을 구비하는 제2 커패시터; 상기 구동 트랜지스터의 게이트 전극과 연결된 제1전극 및 상기 구동 트랜지스터의 제1전극과 연결된 제2전극을 구비하는 제2 트랜지스터; 에미션 제어 신호에 응답하여 상기 제1전원 전압을 상기 구동 트랜지스터의 제1전극으로 인가하는 제3 트랜지스터; 상기 데이터 신호에 연결된 제1전극 및 상기 제1 커패시터의 제1단에 연결된 제2전극을 구비하는 제4 트랜지스터; 레퍼런스 전압에 연결된 제1전극 및 상기 제1 커패시터의 1단에 연결된 제2전극을 구비하는 제5 트랜지스터; 및 상기 제1전원 전압에 연결된 제1전극 및 상기 상기 구동 트랜지스터의 게이트 전극에 연결된 제2전극을 구비하는 제6 트랜지스터; 를 포함하며, 상기 구동 트랜지스터 및 상기 제2 내지 제6 트랜지스터들은 n형 트랜지스터인 유기 전계 발광 표시 장치를 제공한다.

- [0020] 여기서 상기 제6트랜지스터의 게이트 전극은 n-2번째 주사선에 연결되고, 게이트 전극으로 인가되는 주사 신호에 응답하여 제1전원 전압을 상기 구동 트랜지스터의 게이트 전극으로 인가한다.
- [0021] 여기서 상기 제5 트랜지스터의 게이트 전극은 n번째 주사선에 연결되고, 게이트 전극으로 인가되는 주사 신호에 응답하여 레퍼런스 전압을 상기 제1커패시터의 제1단으로 인가한다.
- [0022] 여기서 상기 제2 트랜지스터의 게이트 전극은 n번째 주사선에 연결되고 게이트 전극으로 인가되는 주사 신호에 응답하여 상기 구동 트랜지스터를 다이오드 연결시킨다.
- [0023] 여기서 상기 제4 트랜지스터의 게이트 전극은 n+3번째 주사선에 연결되고, 게이트 전극으로 인가되는 제3 주사 신호에 응답하여 데이터 신호를 상기 제1 커패시터의 상기 제1단으로 전달한다.

발명의 효과

- [0024] 본 발명의 실시예들에 의하면, 유기 전계 발광 소자에 출력되는 구동 전류가 구동 트랜지스터의 문턱 전압 및 유기 전계 발광 소자의 캐소드 전원 전압에 관계없이 결정되기 때문에, 종래 구동 트랜지스터의 문턱 전압 편차 및 유기 전계 발광 소자의 캐소드 전원 전압을 전달하는 배선의 기생 저항 성분으로 인한 IR 드롭(drop)을 제거할 수 있다. 또한 초기화 시간을 분리함으로써 대형 패널에서도 명암비를 개선하고, 문턱 전압의 보상 시간을 제어함으로써 고속 구동에 적합한 특징이 있다.

도면의 간단한 설명

- [0025] 도 1은 유기 전계 발광 다이오드의 구조를 도시한 도면이다.
- 도 2는 p형 트랜지스터로 구현된 예시적인 화소 회로를 나타낸 도면이다.
- 도 3은 본 발명에 따른 유기 전계 발광 표시 장치(300)의 일 실시예를 나타낸 도면이다.
- 도 4는 도 3에 채용된 본 발명에 대한 화소 회로(P)의 일 실시예를 나타낸 회로도이다.
- 도 5는 본 발명의 일 실시예에 따른 구동 신호들의 타이밍도이다.
- 도 6 내지 도 10은 도 5의 타이밍도에 따른 도 4의 화소 회로의 동작을 순차적으로 나타낸 도면이다.
- 도 11 및 도 12는 본 발명의 다른 실시예에 따른 화소 회로의 구조를 나타낸 도면이다.
- 도 13은 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치 구동 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 일반적으로 유기 전계 발광 표시 장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, 행렬 형태로 배열된 복수개의 화소들을 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 화소에 포함된 유기 발광 소자는 다이오드 특성을 가져서 유기 전계 발광 다이오드(OLED)로 불린다.
- [0027] 도 1은 유기 전계 발광 다이오드의 구조를 도시한 도면이다.
- [0028] 유기 전계 발광 다이오드(OLED)는 ITO로 이루어진 애노드 전극층(Anode), 유기 박막, 및 금속으로 이루어진 캐소드 전극층(Cathode)이 적층된 구조를 가진다. 상기 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한다. 이외에도 상기 유기 박막은 정공 주입층(Hole Injecting Layer, HIL) 또는 전자 주입층(Electron Injecting Layer, EIL)을 더 포함할 수 있다.
- [0029] 이러한 OLED는 박막 트랜지스터를 상기 OLED의 애노드 전극에 연결하고 상기 박막 트랜지스터의 게이트 전극에 연결된 커패시터의 용량에 의해 유지된 데이터 전압에 따라 구동할 수 있다.
- [0030] 도 2는 p형 트랜지스터로 구현된 예시적인 화소 회로를 나타낸 도면이다.
- [0031] 도 2를 참조하면, 선택주사선(Sn)의 선택신호에 의해 스위칭 트랜지스터(M2)가 턴 온되고, 상기 턴 온에 의해 데이터선(Dm)으로부터의 데이터 전압이 구동 트랜지스터(M1)의 게이트 단에 전달되며, 데이터 전압과 제1전원 전압(ELVDD)의 전위차가 구동 트랜지스터(M1)의 게이트 단과 소스 전극 사이에 연결된 커패시터(C1)에 저장된다. 상기 전위차에 의해 구동전류(I_{OLED})가 유기 전계 발광 다이오드(OLED)에 흘러, 유기 전계 발광 다이

오드(OLED)가 발광하게 된다. 이때, 인가되는 데이터 전압의 전압 레벨에 따라 소정의 명암 계조 표시가 가능하게 된다.

[0032] 그러나 이와 같이 복수 개의 화소 회로들의 구동 트랜지스터(M1)들은 문턱 전압이 서로 다르게 형성될 수 있다. 구동 트랜지스터(M1)의 문턱 전압이 다르면, 각 화소 회로들의 구동 트랜지스터(M1)들로부터 출력되는 전류량이 달라져 균일한 화상을 구현할 수 없는 문제가 있다. 이와 같은 구동 트랜지스터(M1)의 문턱 전압 편차는 유기 발광 표시장치가 대면적화 될수록 더욱 심각해 질 수 있으며, 이는 유기 발광 표시장치의 화질 저하를 야기할 수 있다. 따라서 유기 발광 표시장치의 화소 회로는 균일한 화질을 갖기 위해서는 화소 회로 내 구동 트랜지스터(M1)의 문턱 전압을 보상해 주어야 한다.

[0033] 도 2의 화소 회로를 살펴보면, 스위칭 트랜지스터(M2) 및 구동 트랜지스터(M1)는 PMOS 트랜지스터로 구성되어 있으며, 커패시터(C1)의 일측 단자가 제1전원 전압(ELVDD)에 접속되어 있고 타측 단자가 A 노드에 접속되어 있다. 구동 트랜지스터(M1)의 소스 전극은 제1전원 전압(ELVDD)에 접속되어 있고, 드레인 전극은 발광 다이오드(OLED)의 애노드 전극에 접속되어 있다.

[0034] 이 경우에는 항상 커런트 소스로 동작하게 되는데, 구동 트랜지스터(M1)의 게이트 단은 데이터 전압을 가지며, 구동 트랜지스터(M1)의 소스 전극은 제1전원 전압(ELVDD)을 가진다. 즉 구동 트랜지스터(M1)의 소스 단이 항상 제1전원 전압(ELVDD)로 고정되므로, 유기 발광 다이오드의 발광시 전압이 V_{gs} 에 영향을 미치지 않는다.

[0035] 이와 같은 도 2의 스위칭 트랜지스터(M2) 및 구동 트랜지스터(M1)를 n형 트랜지스터로 구성하는 경우를 가정해 보자. 이 경우, 커패시터(C1)는 구동 트랜지스터(M1)의 게이트 단과 드레인 전극 사이에 연결되게 된다.

[0036] 이 경우에는 구동 트랜지스터(M1)의 소스(Source) 전극이 고정되어 있지 않고, 로드가 연결된 소스 팔로워(source follower)타입이 된다. 따라서 V_{gs} 는 유기 전계 발광 다이오드의 캐소드 전압(ELVSS) 및 유기 전계 발광 다이오드의 발광시 전압에 영향을 받게 된다.

[0037] 캐소드 전원 전압(ELVSS)은 전원으로부터 캐소드 전원 전압을 전달하는 배선의 기생 저항 성분으로 인한 IR 전압 강하, 각각의 화소로 유입되는 전류로 인한 전압 강하 등의 문제 때문에 그 크기가 변화하게 된다. 결국 n형 트랜지스터로 구현한 화소 회로는 소스 단의 전압이 불안정하여 영상의 휘도가 일정하지 않은 문제가 발생할 수 있다.

[0038] 또한 n형 트랜지스터로 구현한 화소 회로는 유기 발광 다이오드(OLED)의 발광시 전압이 V_{gs} 에 영향을 미치게 된다. 따라서 유기 발광 다이오드의 온도에 따른 특성 및 편차와 열화에 따른 변화 등에 민감해 질 수 밖에 없다.

[0039] 이하, 본 발명의 실시예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0040] 도 3은 본 발명에 따른 유기 전계 발광 표시 장치(300)의 일 실시예를 나타낸 도면이다.

[0041] 도 3을 참조하여 설명하면, 본 발명에 따른 유기 발광 표시장치(300)는 화소부(310), 에미션 구동부(302), 주사 구동부(304), 데이터 구동부(306), 및 전원 공급부(308)를 포함한다.

[0042] 상술한 에미션 구동부(302), 주사 구동부(304), 데이터 구동부(306), 및 전원 공급부(308)는 하나의 IC 칩으로 구현될 수도 있다.

[0043] 화소부(310)는 유기 전계 발광 다이오드 OLED (미도시)를 각각 구비하는 $n \times m$ 개의 화소 회로(P; P11, P12, ..., Pnm)와, 행방향으로 형성되어 주사 신호(S1, S2, ..., Sn, ..., Sn+3)를 전달하는 n+3 개의 주사선, 열 방향으로 형성되어 데이터 신호(D1, D2, ..., Dm), 를 전달하는 m 개의 데이터 선, 행방향으로 형성되어 에미션 제어 신호(E1, E2, ..., En)를 전달하는 n개의 에미션 제어선을 포함한다.

[0044] 상기 화소 회로(P)는 상기 주사 신호, 상기 데이터 신호 및 상기 에미션 제어 신호 외에도, 제1 전원 전압(ELVDD), 제 2 전원 전압(ELVSS), 레퍼런스 전압(V_{ref}), 이니셜 전압(V_{init})을 인가받아 화소 회로에 구비된 유기 전계 발광 다이오드 OLED (미도시)를 발광시켜 화상을 표시한다.

[0045] 에미션 구동부(302)는 에미션 제어선과 접속되어 화소부(310)에 에미션 제어 신호(E1, E2, ..., En)를 인가하는 수단이다. 주사 구동부(304)는 주사선과 접속되어 화소부(310)에 주사 신호(S1, S2, ..., Sn)를 인가하는 수단이다. 데이터 구동부(306)는 데이터 선과 접속되어 화소부(310)에 데이터 신호(D1, D2, ..., Dm)를 인가하는 수단이다. 이 때, 데이터 구동부(306)는 프로그래밍(programming) 기간 동안 복수의 화소 회로(P)에 데이터 전류를 공급한다. 전원 공급부(308)는 화소 회로(P)에 공급되는 제1 전원 전압(ELVDD), 제 2 전원 전압(ELVSS), 레퍼

런스 전압(Vref) 및 이니셜 전압(Vinit) 등을 공급한다.

- [0046] 도 4는 도 3에 채용된 본 발명에 대한 화소 회로(P)의 일 실시예를 나타낸 회로도이다.
- [0047] 도 4에서는 n형 m열에 위치한 화소 회로(Pnm)를 예로 들어 설명하기로 하며, 상기 화소 회로(Pnm)는 데이터 구동부(306)로부터 데이터선을 통해 데이터 신호(Dm)를 인가받고, 데이터 신호(Dm)에 따른 구동 전류를 OLED에 출력한다. 또한 상기 화소 회로(Pnm)는 n-2번째, n번째 및 n+3번째 주사 선과 라인과 연결되어 주사 신호를 인가받는다.
- [0048] 본 발명의 일 실시예에 따른 화소 회로(Pnm)는 구동 트랜지스터(T1), 제2 내지 제6 트랜지스터(T2, T3, T4, T5, 및 T6), 발광소자, 제1 커패시터(C1) 및 제2 커패시터(C2)를 포함한다.
- [0049] 발광 소자는 유기 전계 발광 다이오드(OLED)이며, 도 1에서 설명한 구조를 가진다. OLED는 애노드 전극에 대응하는 제1 전극 및 캐소드 전극에 대응하는 제2 전극을 구비한다. 본 발명의 일 실시예에 의하면 OLED의 애노드 전극은 구동 트랜지스터(T1)의 소스 전극에 연결되어 있으며, 캐소드 전극은 제2 전원 전압(ELVSS)에 연결되어 있다.
- [0050] 제1 커패시터(C1)는 제1단이 상기 제1노드(N1)에 연결되어 있으며, 제2단이 상기 구동 트랜지스터(T1)의 게이트 전극(제2 노드; N2)에 연결된다.
- [0051] 제2 커패시터(C2)는 제1단이 상기 제2 노드(N2)에 연결되어 있으며, 제2단이 상기 구동 트랜지스터(T1)의 소스 전극에 연결된다.
- [0052] 본 발명의 화소 회로(Pnm)에 포함되는 구동 트랜지스터(T1), 제2 내지 제6 트랜지스터(T2, T3, T4, 및 T6)는 n형 트랜지스터이며, N타입 MOSFET(metal-oxide semiconductor field effect transistor)일 수 있다. n형 트랜지스터는 게이트 전극에 인가되는 신호가 하이 레벨이면 턴 온 되고, 로우 레벨이면 턴 오프된다. 산화물 또는 비정질-실리콘(amorphous-Si)을 이용한 트랜지스터 공정은 폴리-실리콘(Poly-Si)에 비하여 저비용으로 구현할 수 있다. 그런데 산화물 또는 비정질-실리콘(amorphous-Si) 트랜지스터를 백본으로 사용하는 디스플레이 패널에서는 소자의 특성 산포가 보상되는 n형 트랜지스터로만 화소 회로를 구현해야 한다. 따라서 본 발명의 일 실시예에서는 n형 트랜지스터로만 구성된 화소 회로를 제시한다.
- [0053] 구동 트랜지스터(T1)는 드레인 전극에 대응하는 제1전극(D) 및 소스 전극에 대응하는 제2전극(S)을 구비하고, 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력한다.
- [0054] 제2 트랜지스터(T2)는 제1전극이 상기 구동 트랜지스터(T1)의 게이트 전극에 연결되어 있으며, 제2전극은 상기 구동 트랜지스터(T1)의 드레인 전극(D)에 연결되어 있다. 제2 트랜지스터(T2)는 게이트 전극으로 인가되는 n번째 주사선의 주사 신호(Sn)에 응답하여, 상기 구동 트랜지스터(T1)를 다이오드 연결(diode connection)시킨다.
- [0055] 제3 트랜지스터(T3)는 제1전극이 제1전원 전압(ELVDD)와 연결되어 있으며, 제2전극은 상기 구동 트랜지스터(T1)의 드레인 전극(D)에 연결되어 있다. 제3 트랜지스터(T3)는 에미션 제어 신호(En)에 응답하여 상기 제1전원 전압(ELVDD)을 상기 구동 트랜지스터(T1)의 드레인 전극(D)으로 인가한다.
- [0056] 제4 트랜지스터(T4)는 제1전극이 데이터 신호(Dm)를 인가하는 데이터 선에 연결되어 있고 제2전극이 제1노드(N1)에 연결되어 있다. 여기서 제1 노드(N1)에는 제1 커패시터(C1)의 제1 단이 연결되어 있다. 상기 제4 트랜지스터(T4)는 n+3번째 주사선의 주사 신호 (Sn+3)에 응답하여 데이터 신호(Dm)를 상기 제1 노드(N1)으로 인가한다.
- [0057] 제5 트랜지스터(T5)는 제1 전극이 레퍼런스 전압(Vref)에 연결되며, 제2전극이 상기 제1 노드(N1)에 연결된다. 상기 제5 트랜지스터(T5)는 n 번째 주사선의 주사 신호(Sn)에 응답하여 상기 레퍼런스 전압(Vref)을 상기 제1 노드(N1)로 인가한다.
- [0058] 제6 트랜지스터(T6)는 제1전극이 상기 제1전원 전압(ELVDD)에 연결되며, 제2전극이 상기 구동 트랜지스터(T1)의 게이트 전극에 연결된다. 상기 제6 트랜지스터(T6)의 제2전극과 상기 구동 트랜지스터(T1)의 게이트 전극이 연결된 노드를 제2 노드(N2)라고 할 때, 상기 제2 노드(N2)에는 상기 제1 커패시터의 제2 단 및 상기 제2 커패시터(C2)의 제1 단이 연결된다. 상기 제6 트랜지스터(T6)는 n-2 번째 주사선의 주사 신호 (Sn-2)에 응답하여 상기 제1전원 전압(ELVDD)을 상기 제2 노드(N2)에 인가한다.
- [0059] 본 발명의 다양한 실시예에 의하면 상기 제6 트랜지스터(T6)의 제1전극에는 상기 제1전원 전압(ELVDD) 대신에 이니셜 전압(Vinit) 또는 상기 레퍼런스 전압(Vref)이 인가될 수도 있다.

- [0060] 도 5는 본 발명의 일 실시예에 따른 구동 신호들의 타이밍도이다.
- [0061] 도 6 내지 도 10는 도 5의 타이밍도에 따른 도 4의 화소 회로의 동작을 순차적으로 나타낸 도면이다.
- [0062] 도 5를 참고하면, (A) 구간 동안, 초기화 동작이 수행된다. 본 발명의 일 실시예에 의하면 초기화 신호인 $n-2$ 번째 주사선의 주사 신호(S_{n-2})를 통하여 분리된 초기화 기간을 갖는다. 유기 발광 표시장치가 대면적화 될수록 초기화 시간에 대한 로드가 커지기 때문에 초기화와 트랜지스터 문턱 전압 보상을 동시에 실시하는 경우 실질적으로 초기화에 필요한 시간이 상대적으로 짧아질 수 있다. 따라서 본 발명에 의하면, 초기화를 분리함으로써, 이러한 문제점을 해소할 수 있다.
- [0063] (A) 구간 동안, $n-2$ 번째 주사선의 주사 신호(S_{n-2})는 하이 레벨이며, n 번째 주사선의 주사 신호(S_n), $n+3$ 번째 주사선의 주사 신호(S_{n+3})은 로우 레벨이다. 또한 에미션 제어 신호(E_n)는 로우 레벨이다. 따라서 제6 트랜지스터(T_6)만 턴 온 되고, 구동 트랜지스터(T_1)를 비롯한 제2 내지 제5 트랜지스터(T_2, T_3, T_4 , 및 T_5)는 턴 오프 된다.
- [0064] 도 6은 (A) 구간에서 화소 회로의 동작을 나타낸 도면이다.
- [0065] (A)구간 동안, 제6 트랜지스터(T_6)가 턴 온 되어 제2 노드(N_2)의 전압 즉, 제1 커패시터 (C_1)의 제2단 및 구동 트랜지스터(T_1)의 게이트 전극이 제1전원 전압($ELVDD$)로 초기화 된다. (A) 구간 동안 제2 노드(N_2)의 전압은 $ELVDD$ 이며, OLED의 애노드 전극의 전압은 제2 전원 전압($ELVSS$)과 OLED의 문턱 전압(V_{to})을 더한 값이 $ELVSS+V_{to}$ 이다.
- [0066] 다음으로, (A') 구간 동안, $n-2$ 번째 주사선의 주사 신호(S_{n-2})는 하이 레벨을 유지하고, $n+3$ 번째 주사선의 주사 신호(S_{n+3}) 및 에미션 제어 신호(E_n)는 로우 레벨을 유지한다. 다만, n 번째 주사선의 주사 신호(S_n)는 하이 레벨로 변화한다. 이에 따라 $n-2$ 번째 주사선의 주사 신호(S_{n-2})와 n 번째 주사선의 주사 신호(S_n)이 하이 레벨에서 오버랩되는 (A')구간이 존재한다. 이에 따라 제2 트랜지스터(T_2), 제5 트랜지스터(T_5) 및 제6 트랜지스터(T_6)는 턴 온 된다. 구동 트랜지스터(T_1) 및 제3 및 제4 트랜지스터(T_3 , 및 T_4)는 턴 오프 된다.
- [0067] 도 7은 (A') 구간에서 화소 회로의 동작을 나타낸 도면이다.
- [0068] (A') 구간 동안, 초기화 및 구동 트랜지스터(T_1)의 문턱 전압(V_{th}) 보상이 이루어 진다. 제5 트랜지스터(T_5)가 턴 온되어 제1 노드(N_1)가 레퍼런스 전압(V_{ref})으로 초기화된다. 즉 제1 커패시터(C_1)의 제1단이 레퍼런스 전압(V_{ref})로 초기화 되는 것이다. 또한 제 6 트랜지스터(T_6)가 여전히 턴 온 되어 있으므로 제1 커패시터(C_1)의 제 2 단이 제1 전원 전압($ELVDD$)로 초기화된다.
- [0069] 본 발명에 의하면 $n-2$ 번째 주사선의 주사 신호(S_{n-2})와 n 번째 주사선의 주사 신호(S_n)이 하이 레벨에서 오버랩되는 (A')구간이 존재함에 따라서, 제1 커패시터를 보다 안정적으로 초기화 할 수 있는 특징이 있다. (A) 구간에서 제1 커패시터(C_1)의 제2단을 제1 전원 전압($ELVDD$)으로 초기화할 때 제1 커패시터(C_1)의 제1 단은 플로팅 상태에 있다. 따라서 제1 커패시터(C_1)의 제2단을 고정하지 않고, n 번째 주사선의 주사 신호(S_n)을 인가하여 제1 커패시터(C_1)의 제1단에 레퍼런스 전압(V_{ref})을 인가하게 될 경우 제1커패시터(C_1)에 저장된 전압에 영향을 주게 된다. 따라서 오버랩 구간(A')을 두어 보다 제1 커패시터(C_1)의 양 단이 플로팅 상태가 되지 않게 하여, 안정적으로 제1 커패시터(C_1)를 초기화 할 수 있는 특징이 있다.
- [0070] 또한 (A')구간 동안, 구동 트랜지스터(T_1)가 다이오드 연결되어 구동 트랜지스터(T_1)의 문턱 전압을 보상한다. 즉, 구동 트랜지스터(T_1)는 제2 트랜지스터(T_2)에 의해 다이오드 연결되어, 제2 트랜지스터(T_2)의 제1 전극과 제2 전극 사이에, 구동 트랜지스터(T_1)의 문턱 전압(V_{th})만큼의 전압이 걸린다.
- [0071] 다음으로, (B) 구간 동안, n 번째 주사선의 주사 신호(S_n)만 하이 레벨로 유지된다. $n-2$ 번째 주사선의 주사 신호(S_{n-2}) 및 $n+3$ 번째 주사선의 주사 신호(S_{n+3})는 로우 레벨이다. 에미션 제어 신호(E_n)도 로우 레벨을 유지한다. 이에 따라 제2 및 제5 트랜지스터(T_2 및 T_5)가 턴 온 된다. 제3, 제4 및 제6 트랜지스터(T_3, T_4 , 및 T_6)는 턴 오프 된다.
- [0072] 도 8은 (B) 구간에서 화소 회로의 동작을 나타낸 도면이다.
- [0073] (B) 구간 동안, 구동 트랜지스터(T_1)의 문턱 전압 보상이 이루어진다. 즉, (A')과 같이 제2 트랜지스터(T_2)에 의하여 구동 트랜지스터(T_1)가 다이오드 연결되어 구동 트랜지스터(T_1)의 문턱 전압(V_{th})을 보상한다. (A) 구간 동안 제1노드의 전압은 레퍼런스 전압(V_{ref})이며, 제2 노드(N_2)의 전압은 문턱 전압이 보상된 $ELVSS+V_{to}+V_{th}$ 이다. OLED의 애노드 전극의 전압은 제2 전원 전압($ELVSS$)과 OLED의 문턱 전압(V_{to})을 더한 값이 $ELVSS+V_{to}$ 이다.

- [0074] 도 5에 나타난 본 발명의 일 실시예에 의하면, 구동 트랜지스터(T1)의 문턱 전압(V_{th})을 보상하는 시간인 n 번째 주사선의 주사 신호라 하이 레벨인 구간은 3H일 수 있다. 여기서 1H는 1로우 라인 타이밍을 의미하며, 3H는 1H의 세 배에 해당하는 시간을 의미한다. 본 발명의 다른 실시예에 의하면 구동 트랜지스터(T1)의 문턱 전압(V_{th})을 보상하는 시간은 4H 또는 5H로 증가할 수 있다. 왜냐하면, 대형 패널에서 고속 구동을 통하여 영상을 디스플레이할 경우, 1로우 라인 타이밍에 해당하는 1H가 짧아질 수 있다. 이 경우에는 충분한 문턱 전압 보상 시간을 확보할 수 없다. 따라서, 본 발명에서 개시한 바와 같이, (B)구간에 해당하는 문턱 전압 보상 시간을 늘림으로써, 대형 패널에서 고속 구동을 수행할 때 문턱 전압을 보상하는 시간을 확보할 수 있다.
- [0075] 다음으로 (C) 구간 동안, $n+3$ 번째 주사선의 주사 신호(S_{n+3})는 하이 레벨로 변화한다. n 번째 주사선의 주사 신호(S_n)는 로우 레벨로 변화한다. $n-2$ 번째 주사선의 주사 신호(S_{n-2}) 및 에미션 제어 신호(E_n)는 로우 레벨을 유지한다. 따라서 제4 트랜지스터(T4)가 턴 온되며, 제2, 제3, 제5 및 제6 트랜지스터(T2, T3, T5, 및 T6)는 턴 오프된다.
- [0076] 도 9는 (C) 구간에서 화소 회로의 동작을 나타낸 도면이다.
- [0077] (C) 구간 동안, 데이터 기입이 이루어진다. 제4 트랜지스터(T4)가 턴 온되면서 현재 프레임의 데이터 신호(D_m)가 인가되어 제1노드(N1)의 전압은 데이터 전압(V_{data})이 된다. 제1 노드(N1)의 전압이 종래 V_{ref} 에서 V_{data} 로 변화함에 따라, 제1노드(N1)의 전압 변화량인 ($V_{data}-V_{ref}$) 만큼 제1 커패시터(C1)를 통하여 제2 노드(N2)의 전압을 변화시킨다. 즉, 제2 노드(N2)의 전압은 $(ELVSS+V_{to}+V_{th})+(\Delta V_1)$ 으로 변화한다. 여기서 ΔV_1 은 데이터 전압과 레퍼런스 전압의 차인 ($V_{data}-V_{ref}$) 에 해당한다.
- [0078] 다음으로 (D) 구간 동안, 에미션 제어 신호(E_n)는 하이 레벨로 변화한다. $n-2$ 번째 주사선의 주사 신호(S_{n-2}), n 번째 주사선의 주사 신호 및 $n+3$ 번째 주사선의 주사 신호(S_{n+3})는 로우 레벨이다. 따라서 제3 트랜지스터(T3)가 턴 온되며, 제2, 제4 내지 제6 트랜지스터(T2, T4, T5 및 T6)는 턴 오프된다.
- [0079] 도 10은 (D) 구간에서 화소 회로의 동작을 나타낸 도면이다.
- [0080] (D) 구간 동안, OLED에 전류를 흘려 발광시킨다. (D) 구간 동안 구동 트랜지스터(T1)의 게이트 전압과 소스 전압의 차에 해당하는 전압 레벨에 따른 구동 전류가 구동 트랜지스터(T1)에서 발생하고 제4 트랜지스터(T4)가 턴 온 되어 있으므로, 구동 트랜지스터(T1)와 OLED를 통하여 OLED 구동 전류가 흐르게 된다. 구동 트랜지스터(T1)의 소스 전극의 전압은 OLED의 애노드 전극의 전압과 동일하고, OLED의 애노드 전극의 전압은 $ELVSS+V_{oled}$ 이다. 여기서 V_{oled} 는 OLED의 발광시 OLED 양단에 걸리는 전압이다.
- [0081] 또한 구동 트랜지스터(T1)의 게이트 전압은 다음과 같다. 먼저 OLED 애노드 전극의 전압이 종래 ($ELVSS+V_{to}$) 에서 OLED가 발광함에 따라 ($ELVSS+V_{oled}$)로 변화함에 따라, OLED 애노드 전극의 전압 변화량인 ($V_{oled}-V_{to}$) 만큼 제2 커패시터(C2)를 통하여 제2 노드(N2)의 전압(즉, 구동 트랜지스터(T1)의 게이트 전압(G))을 변화시킨다. 따라서 구동 트랜지스터(T1)의 게이트 전극(G)의 수학적 1과 같이 변화한다.

수학식 1

[0082]
$$V_g=(V_{data}-V_{ref})+(ELVSS+V_{to}+V_{th})+(V_{oled}-V_{to})$$

- [0083] 그러므로 (D)구간 동안, 구동 트랜지스터(T1)의 V_{gs} 는 수학식 2와 같다.

수학식 2

[0084]
$$V_{gs}=\{(V_{data}-V_{ref})+(ELVSS+V_{to}+V_{th})+(V_{oled}-V_{to})\}-(ELVSS+V_{olrd})$$

- [0085] V_{gs} 에 의해 결정되는 구동 전류(I_{oled})는 수학식 3 및 수학식 4와 같이 결정된다. 여기서, $k=\beta/2$ 이고, k 는 상수이며, β 는 이득계수(gain factor)에 해당한다.

수학식 3

$$I_{oled} = k \left[\{ (V_{data} - V_{ref}) + (ELVSS + V_{to} + V_{th}) + (V_{oled} - V_{to}) - (ELVSS + V_{oled}) \} - V_{th} \right]^2$$

$$= k \left[(V_{data} - V_{ref} + V_{th}) - V_{th} \right]^2$$

수학식 4

$$I_{oled} = k (V_{data} - V_{ref})^2$$

따라서 본 발명의 일 실시예에 따른 화소 회로에서 출력되는 구동 전류(I_{oled})는 제1 전원 전압($ELVDD$), 제2 전원 전압($ELVSS$), 및 구동 트랜지스터($T1$)의 문턱 전압(V_{th})에 무관하게 결정된다. 즉 수학식 4와 같이 계조표현은 V_{data} 와 V_{ref} 전압의 차이로 구현되기 때문에 제2 전원 전압($ELVSS$)에 무관한 전류를 흘려 보냄으로써, IR-Drop 에 의해 화질이 저하되는 문제를 해결할 수 있다. 또한 트랜지스터의 문턱 전압(V_{th})과 무관하게 균일한 휘도의 영상을 표시할 수 있다. 또한 본 발명에 의하면, n-2번째 주사선의 주사 신호를 초기화 신호로 분리함으로써, 대면적 유기 발광 표시장치에서 초기화 시간을 충분히 확보하여 명암비를 개선하는 장점이 있다.

수학식 4를 참조하면, 계조 표현을 위하여 레퍼런스 전압(V_{ref})과 데이터 전압(V_{data})의 차이가 중요함을 알 수 있다. 예를 들어, 데이터 전압(V_{data})을 0~5V로 가정할 때, 레퍼런스 전압(V_{ref})은 2V 정도로 인가하면 된다. 이 경우는, 블랙(Black) 계조시 데이터 전압(V_{data_black})은 0V 이거나, 2V 이하의 전압을 인가하는 경우이고, 화이트(White) 계조시 데이터 전압(V_{data_white})은 5V를 인가하는 경우이다. ($V_{data_black}(0V) = V_{ref}(2V) < V_{data_white}(5V)$)

도 11은 본 발명의 다른 실시예에 따른 화소 회로의 구조를 나타낸 도면이다.

본 실시 예에 따르면, 제6 트랜지스터($T6$)의 제1전극은 이니셜 전압(V_{init})에 연결된다. 따라서 제6 트랜지스터($T6$)는 초기화 기간 중, n-2번째 주사선의 주사 신호(S_{n-2})에 응답하여 이니셜 전압(V_{init})을 제1커패시터($C1$)의 제2단 (구동 트랜지스터($T1$)의 게이트 전극)으로 인가한다. 여기서 초기전압(V_{init})은 제2전원 전압과 OLED 문턱 전압 및 구동 트랜지스터($T1$)의 문턱 전압의 합인 $ELVSS + V_{to} + V_{th}$ 보다 큰 전압이다. 즉, 제2 전원 전압($ELVSS$)을 기준으로 구동 트랜지스터($T1$)의 문턱 전압(V_{th})과 OLED의 문턱 전압(V_{to})를 더한 값보다 최소한 커야 한다. ($V_{init} = ELVSS + V_{to} + V_{th}$)

도 12는 본 발명의 다른 실시예에 따른 화소 회로의 구조를 나타낸 도면이다.

본 실시 예에 따르면, 제6 트랜지스터($T6$)의 제1전극은 레퍼런스 전압(V_{ref})에 연결된다. 따라서 제6 트랜지스터($T6$)는 초기화 기간 중, n-2번째 주사선의 주사 신호(S_{n-2})에 응답하여 레퍼런스 전압(V_{ref})을 제1커패시터($C1$)의 제2단 (구동 트랜지스터($T1$)의 게이트 전극)으로 인가한다. 본 실시예에 따르면 배선의 개수가 도 11에 비하여 감소되는 효과가 있다.

도 13은 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치 구동 방법의 흐름도이다.

여기서 제1주사 신호는 n-2번째 주사선의 주사 신호(S_{n-2})를 의미하며, 제2 주사 신호는 n번째 주사선의 주사 신호(S_n)을 의미한다. 또한 제3 주사 신호는 n+3번째 주사선의 주사 신호(S_{n+3})을 의미한다.

S101 단계는 초기화 기간이다. 초기화 신호인 제1주사 신호(S_{n-2})가 하이 레벨일 때 제6 트랜지스터($T6$)가 턴 온되어 제1 커패시터($C1$)의 제2 단 및 구동 트랜지스터($T1$)의 게이트 전극이 연결되어 있는 제2 노드($N2$)를 초기화 한다. 이 때 초기화되는 제2 노드($N2$)의 전압은 제6 트랜지스터($T6$)의 제1 전극에 연결된 전압의 종류에 따라 제1전원 전압($ELVDD$), 이니셜 전압(V_{int}) 또는 레퍼런스 전압(V_{ref}) 일 수 있다.

S102 단계는 문턱 전압 보상 기간이다. 제2 주사 신호(S_n)가 하이 레벨일 때, 제2 트랜지스터($T2$)가 턴 온 되어 구동 트랜지스터($T1$)가 다이오드 연결된다.

S101 단계의 초기화 기간 및 S102 단계의 문턱 전압 보상 기간은 일부 오버랩 될 수 있다. S102 단계에서 제5 트랜지스터($T5$)가 턴 온 되면서 제1 노드($N1$)의 전압을 레퍼런스 전압(V_{ref})으로 고정하게 되는데, S101 단계의 제2 노드($N2$) 초기화와 동시에 수행될 경우, 제1 커패시터($C1$)가 플로팅 상태로 되지 않고 안정적으로 초기화될

수 있기 때문이다. 또한 S102 단계는 대형 패널 및 고속 구동시 필요에 따라 그 기간을 증가시킬 수도 있다. 이에 따라 충분한 문턱 전압 보상 기간을 확보할 수 있는 특징이 있다.

[0100] S103 단계는 데이터 기입 기간이다. 제3 주사 신호(S_{n+3})가 하이 레벨일 때 제1 노드(N1)로 데이터 전압(V_{data})이 인가되고, 제1 커패시터(C1)에 데이터 전압에 대응하는 전압이 기입된다.

[0101] 다음으로, S104단계는 OLED 발광 기간이다. 에미션 제어 신호가 하이 레벨일 때, OLED의 애노드 전극으로 구동 전류(I_{oled})가 출력된다. 구동 전류(I_{oled})는 수식식 4에 나타난 바와 같이, 제1 커패시터(C1)에 기입된 데이터 신호(D_m)의 전압 레벨(V_{data})에 따라 그 크기가 결정되며, OLED는 구동 전류(I_{oled})의 크기에 따른 휘도의 빛을 방출한다.

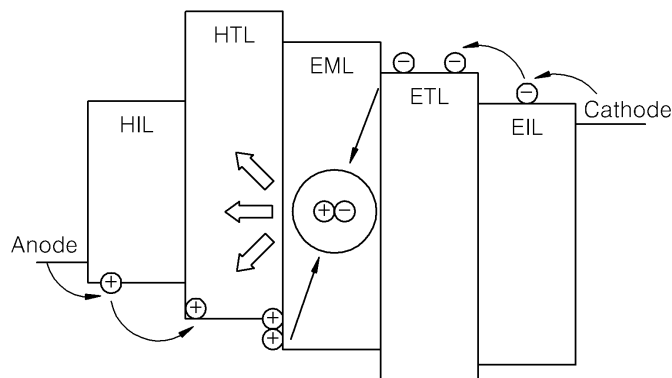
[0102] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

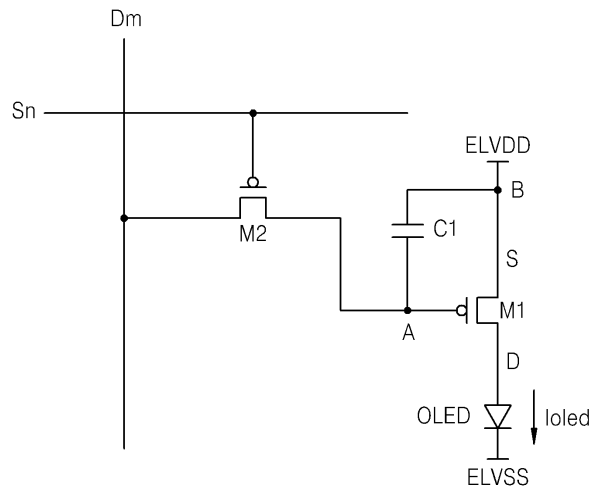
- [0103] 300 : 유기 발광 표시장치
 302 : 에미션 구동부
 304 : 주사 구동부
 306 : 데이터 구동부
 308 : 전원 공급부
 310 : 화소부

도면

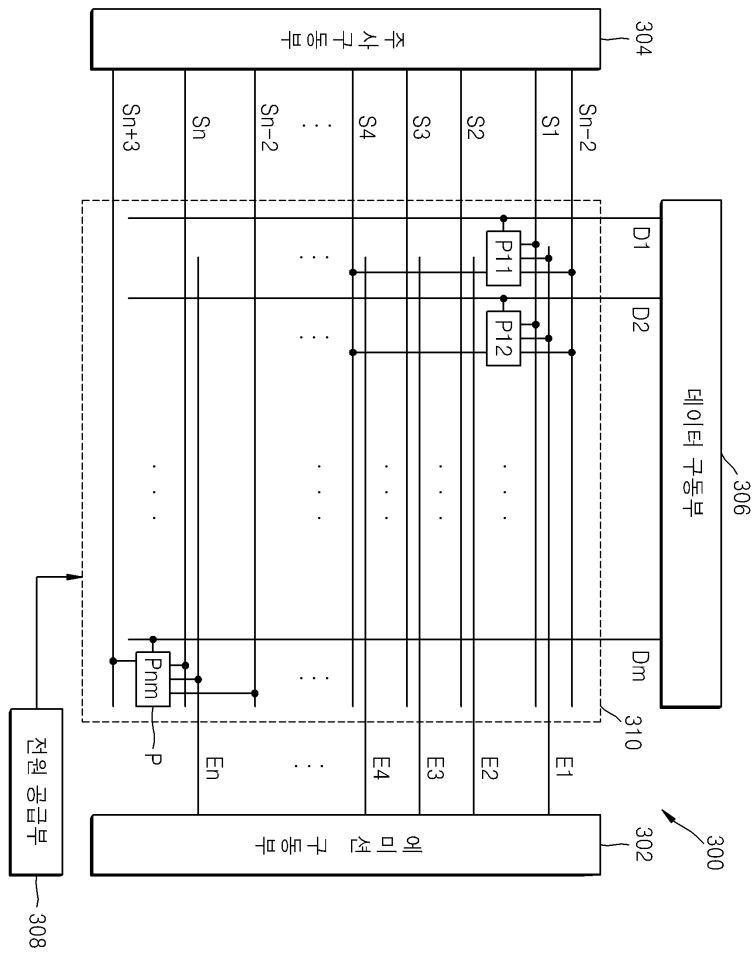
도면1



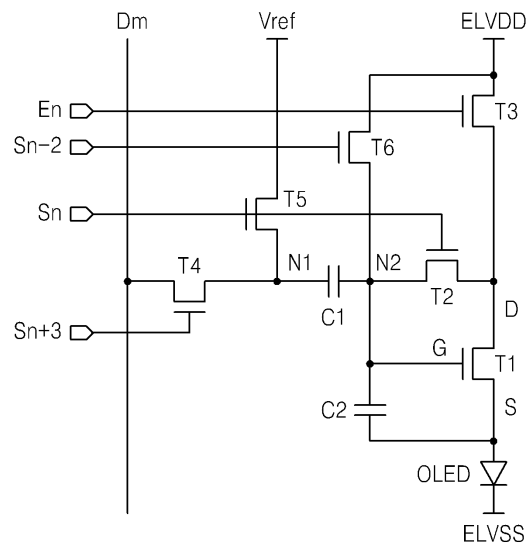
도면2



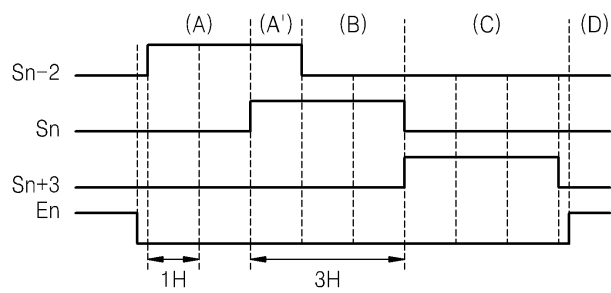
도면3



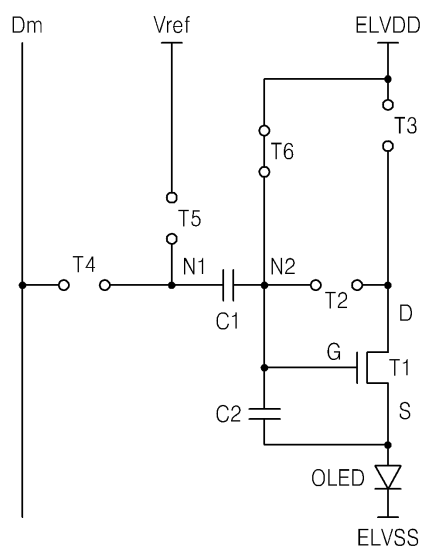
도면4



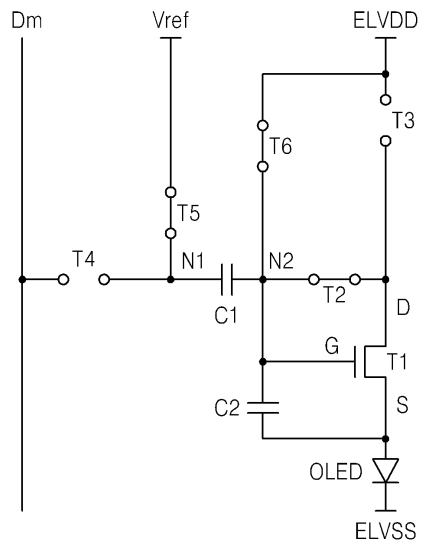
도면5



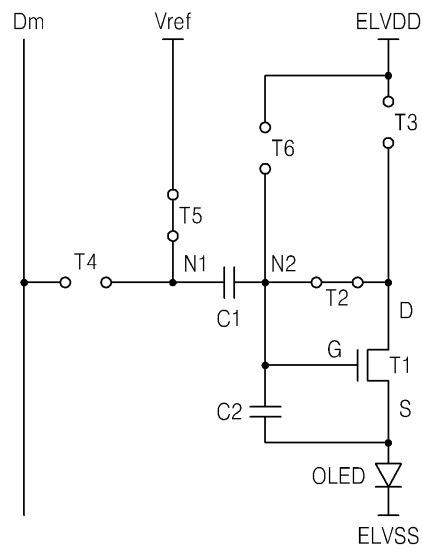
도면6



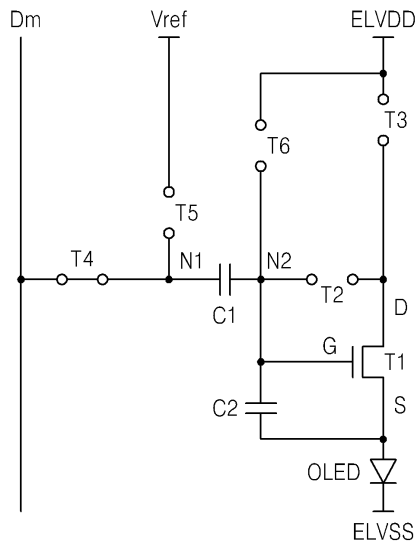
도면7



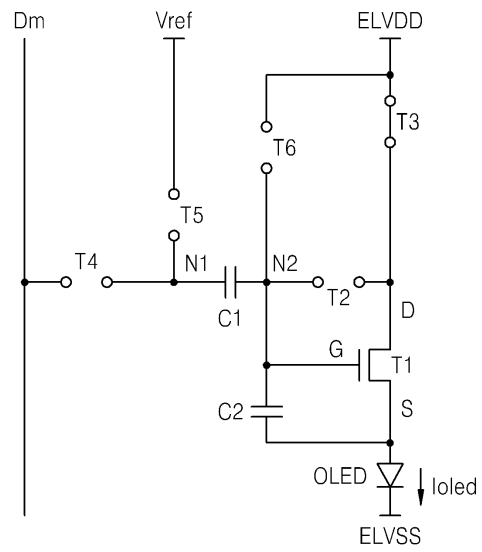
도면8



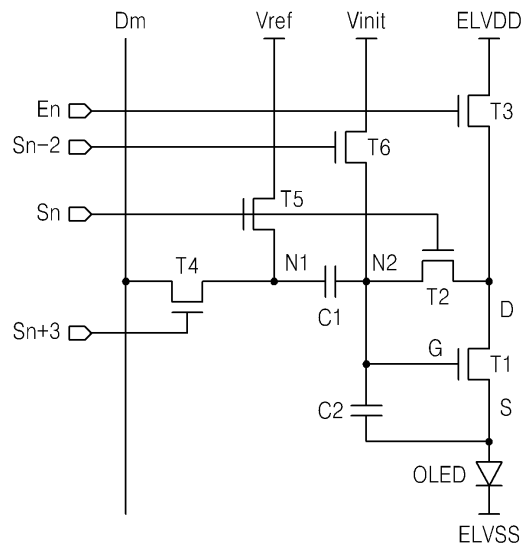
도면9



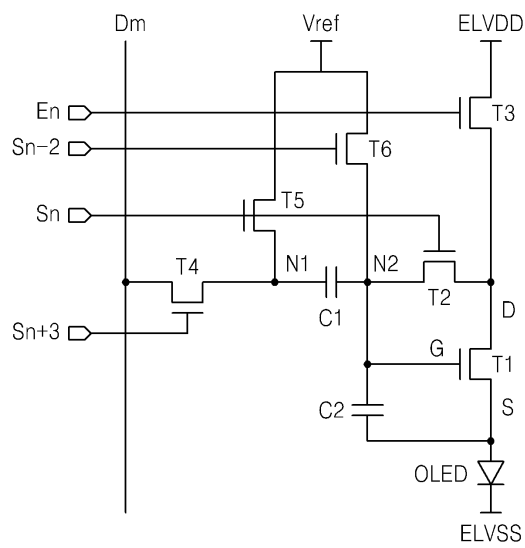
도면10



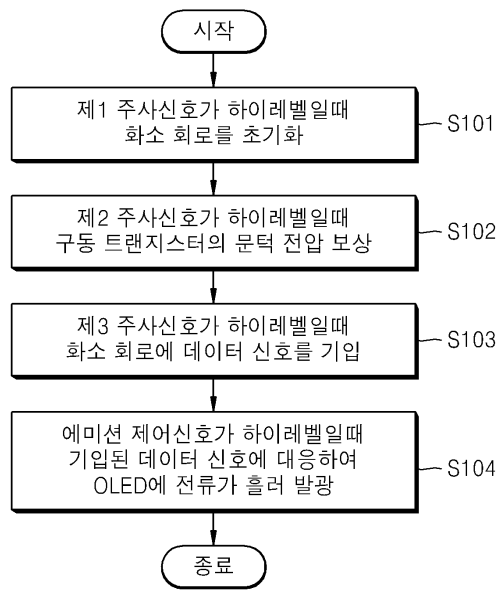
도면11



도면12



도면13



专利名称(译)	像素电路，有机发光显示装置及其驱动方法		
公开(公告)号	KR1020110080040A	公开(公告)日	2011-07-12
申请号	KR1020100000188	申请日	2010-01-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	CHUNG BO YONG 정보용 PARK YONG SUNG 박용성		
发明人	정보용 박용성		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2300/0852 G09G3/3208 H05B33/0896 G09G2310/0262 G09G3/3266 G09G3/3233 G09G2300/0819 H05B45/60		
其他公开文献	KR101127582B1		
外部链接	Espacenet		

摘要(译)

像素电路内的所有晶体管都包括NMOS，并且本发明的优选实施例分离了首先固定像素电路的时间，以及有机发光显示装置及其驱动方法，用于包括该像素电路并驱动它。并且提供了p像素电路，有机电致发光显示装置及其控制方法，用于控制驱动晶体管的阈值电压校准时间。

