



## 특허청구의 범위

### 청구항 1

유기 발광 다이오드;

게이트 전극이 제3 주사 선에 접속되고 제1 전극이 제1 노드에 접속된 제5 NMOS 트랜지스터;

상기 제1 노드와 제2 노드 사이에 연결된 제1 커패시터;

상기 제1 노드와 상기 유기 발광 다이오드의 애노드 전극 사이에 연결된 제2 커패시터;

게이트 전극이 제2 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 상기 제1 노드에 접속된 제4 NMOS 트랜지스터;

게이트 전극이 제1 주사 선에 접속되고 제1 전극이 제1 전원에 연결되고 제2 전극이 상기 제2 노드에 접속된 제6 NMOS 트랜지스터;

게이트 전극이 상기 제2 주사 선에 접속되고 제1 전극이 상기 제2 노드에 접속되고 제2 전극이 제3 노드에 접속된 제2 NMOS 트랜지스터;

게이트 전극이 발광 제어 선에 접속되고 제1 전극이 상기 제1 전원에 연결되고 제2 전극이 상기 제3 노드에 접속된 제3 NMOS 트랜지스터; 및

게이트 전극이 상기 제2 노드에 접속되고 제1 전극이 상기 제3 노드에 접속되고 제2 전극은 상기 유기 발광 다이오드의 애노드 전극에 접속되어 상기 유기 발광 다이오드에 구동 전류를 공급하는 제1 NMOS 트랜지스터를 포함하는 화소 회로.

### 청구항 2

제 1 항에 있어서,

게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 상기 제1 노드에 접속된 제7 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 화소 회로.

### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제6 NMOS 트랜지스터는,

상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 상기 제1 전원의 전압 신호를 상기 제2 노드에 전달하는 것을 특징으로 하는 화소 회로.

### 청구항 4

제 3 항에 있어서,

상기 제4 NMOS 트랜지스터는,

상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 데이터 선으로부터 데이터 신호를 상기 제1 노드에 전달하는 것을 특징으로 하는 화소 회로.

### 청구항 5

제 4 항에 있어서,

상기 제5 NMOS 트랜지스터는,

상기 제3 주사 선으로부터 제3 주사 신호에 응답하여 기준 전원의 전압 신호를 상기 제1 노드에 전달하는 것을 특징으로 하는 화소 회로.

### 청구항 6

제 5 항에 있어서,

상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호는 순차적으로 출력되는 신호인 것을 특징으로 하는 화소 회로.

#### 청구항 7

제 2 항에 있어서,

상기 제7 NMOS 트랜지스터는,

상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 기준 전원의 전압 신호를 상기 제 1 노드에 전달하는 것을 특징으로 하는 화소 회로.

#### 청구항 8

제 1 항에 있어서,

상기 제1 NMOS 트랜지스터의 제1 전극은 드레인 전극이고, 제2 전극은 소스 전극인 것을 특징으로 하는 화소 회로.

#### 청구항 9

유기 발광 다이오드;

게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 노드에 접속된 제5 NMOS 트랜지스터;

상기 제1 노드와 제2 노드 사이에 연결된 제1 커패시터;

상기 제1 노드와 상기 유기 발광 다이오드의 애노드 전극 사이에 연결된 제2 커패시터;

게이트 전극이 제3 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 상기 제1 노드에 접속된 제4 NMOS 트랜지스터;

게이트 전극이 제1 주사 선에 접속되고 제1 전극이 제1 전원에 연결되고 제2 전극이 상기 제2 노드에 접속된 제6 NMOS 트랜지스터;

게이트 전극이 상기 제2 주사 선에 접속되고 제1 전극이 상기 제2 노드에 접속되고 제2 전극이 제3 노드에 접속된 제2 NMOS 트랜지스터;

게이트 전극이 발광 제어 선에 접속되고 제1 전극이 상기 제1 전원에 연결되고 제2 전극이 상기 제3 노드에 접속된 제3 NMOS 트랜지스터; 및

게이트 전극이 상기 제2 노드에 접속되고 제1 전극이 상기 제3 노드에 접속되고 제2 전극은 상기 유기 발광 다이오드의 애노드 전극에 접속되어 상기 유기 발광 다이오드에 구동 전류를 공급하는 제1 NMOS 트랜지스터를 포함하는 화소 회로.

#### 청구항 10

제 9 항에 있어서,

게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 기준 전원에 접속되고 제2 전극이 상기 제1 노드에 접속된 제7 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 화소 회로.

#### 청구항 11

제 9 항 또는 제 10 항에 있어서,

상기 제6 NMOS 트랜지스터는,

상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 상기 제1 전원의 전압 신호를 상기 제2 노드에 전달하는 것을 특징으로 하는 화소 회로.

#### 청구항 12

제 11항에 있어서,

상기 제4 NMOS 트랜지스터는,

상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 데이터 선으로부터 데이터 신호를 상기 제1 노드에 전달하는 것을 특징으로 하는 화소 회로.

### 청구항 13

제 12 항에 있어서,

상기 제5 NMOS 트랜지스터는,

상기 제3 주사 선으로부터 제3 주사 신호에 응답하여 기준 전원의 전압 신호를 상기 제1 노드에 전달하는 것을 특징으로 하는 화소 회로.

### 청구항 14

제 13 항에 있어서,

상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호는 순차적으로 출력되는 신호인 것을 특징으로 하는 화소 회로.

### 청구항 15

주사 선들로 주사 신호를 공급하고, 발광 제어 선들로 발광 신호를 공급하는 주사 구동부;

데이터 선들로 데이터 신호를 공급하는 데이터 구동부; 및

상기 주사 선들, 발광 제어 선들 및 데이터 선들이 교차하는 위치에 배치된 화소 회로들을 포함하며,

상기 각각의 화소 회로는,

유기 발광 다이오드;

게이트 전극이 제3 주사 선에 접속되고 제1 전극이 제1 노드에 접속된 제5 NMOS 트랜지스터;

상기 제1 노드와 제2 노드 사이에 연결된 제1 커패시터;

상기 제1 노드와 상기 유기 발광 다이오드의 애노드 전극 사이에 연결된 제2 커패시터;

게이트 전극이 제2 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 상기 제1 노드에 접속된 제4 NMOS 트랜지스터;

게이트 전극이 제1 주사 선에 접속되고 제1 전극이 제1 전원에 연결되고 제2 전극이 상기 제2 노드에 접속된 제6 NMOS 트랜지스터;

게이트 전극이 상기 제2 주사 선에 접속되고 제1 전극이 상기 제2 노드에 접속되고 제2 전극이 제3 노드에 접속된 제2 NMOS 트랜지스터;

게이트 전극이 발광 제어 선에 접속되고 제1 전극이 상기 제1 전원에 연결되고 제2 전극이 상기 제3 노드에 접속된 제3 NMOS 트랜지스터; 및

게이트 전극이 상기 제2 노드에 접속되고 제1 전극이 상기 제3 노드에 접속되고 제2 전극은 상기 유기 발광 다이오드의 애노드 전극에 접속되어 상기 유기 발광 다이오드에 구동 전류를 공급하는 제1 NMOS 트랜지스터를 포함하는 유기전계발광 표시장치.

### 청구항 16

제 15 항에 있어서,

상기 화소 회로는,

게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 상기 제1 노드에 접속된 제7 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 17

제 15 항 또는 제 16 항에 있어서,

상기 제6 NMOS 트랜지스터는,

상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 상기 제1 전원의 전압 신호를 상기 제2 노드에 전달하고,

상기 제4 NMOS 트랜지스터는,

상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 데이터 선으로부터 데이터 신호를 상기 제1 노드에 전달하고,

상기 제2 NMOS 트랜지스터는,

상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 제1 NMOS 트랜지스터를 다이오드 연결시키고,

상기 제5 NMOS 트랜지스터는,

상기 제3 주사 선으로부터 제3 주사 신호에 응답하여 기준 전원의 전압 신호를 상기 제1 노드에 전달하는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 18

제 17 항에 있어서,

상기 주사 구동부는,

상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호를 순차적으로 상기 화소 회로에 공급하는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 19

주사 선들로 주사 신호를 공급하고, 발광 제어 선들로 발광 신호를 공급하는 주사 구동부;

데이터 선들로 데이터 신호를 공급하는 데이터 구동부; 및

상기 주사 선들, 발광 제어 선들 및 데이터 선들이 교차하는 위치에 배치된 화소 회로들을 포함하며,

상기 각각의 화소 회로는,

유기 발광 다이오드;

게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 노드에 접속된 제5 NMOS 트랜지스터;

상기 제1 노드와 제2 노드 사이에 연결된 제1 커패시터;

상기 제1 노드와 상기 유기 발광 다이오드의 애노드 전극 사이에 연결된 제2 커패시터;

게이트 전극이 제3 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 상기 제1 노드에 접속된 제4 NMOS 트랜지스터;

게이트 전극이 제1 주사 선에 접속되고 제1 전극이 제1 전원에 연결되고 제2 전극이 상기 제2 노드에 접속된 제6 NMOS 트랜지스터;

게이트 전극이 상기 제2 주사 선에 접속되고 제1 전극이 상기 제2 노드에 접속되고 제2 전극이 제3 노드에 접속된 제2 NMOS 트랜지스터;

게이트 전극이 발광 제어 선에 접속되고 제1 전극이 상기 제1 전원에 연결되고 제2 전극이 상기 제3 노드에 접속된 제3 NMOS 트랜지스터; 및

게이트 전극이 상기 제2 노드에 접속되고 제1 전극이 상기 제3 노드에 접속되고 제2 전극은 상기 유기 발광 다이오드의 애노드 전극에 접속되어 상기 유기 발광 다이오드에 구동 전류를 공급하는 제1 NMOS 트랜지스터를 포함하는 유기전계발광 표시장치.

## 청구항 20

제 19 항에 있어서,

상기 각각의 화소 회로는,

게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 기준 전원에 접속되고 제2 전극이 상기 제1 노드에 접속된 제7 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

## 청구항 21

제 19 항 또는 제 20 항에 있어서,

상기 제6 NMOS 트랜지스터는,

상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 상기 제1 전원의 전압 신호를 상기 제2 노드에 전달하고,

상기 제4 NMOS 트랜지스터는,

상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 데이터 선으로부터 데이터 신호를 상기 제1 노드에 전달하고,

상기 제2 NMOS 트랜지스터는,

상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 제1 NMOS 트랜지스터를 다이오드 연결시키고,

상기 제5 NMOS 트랜지스터는,

상기 제3 주사 선으로부터 제3 주사 신호에 응답하여 기준 전원의 전압 신호를 상기 제1 노드에 전달하는 것을 특징으로 하는 유기전계발광 표시장치.

## 청구항 22

제 21 항에 있어서,

상기 주사 구동부는,

상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호를 순차적으로 상기 화소 회로에 공급하는 것을 특징으로 하는 유기전계발광 표시장치.

## 명 세 서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 화소 회로 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.

#### 배경 기술

[0002] 음극선관 표시장치(CRT)의 단점을 극복한 LCD(liquid crystal display), PDP(Plasma display panel), FED(field emission display) 등 평판 표시장치가 개발되었다. 이와 같은 표시장치들 중에서도 특히 발광효율, 휘도 및 시야각이 뛰어나며 응답속도가 빠른 유기전계발광 표시장치(Organic light emitting display)가 차세대 디스플레이로 주목받고 있다.

[0003] 이러한 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)를 이용하여 화상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

#### 발명의 내용

#### 해결 하고자하는 과제

[0004] 본 발명의 일 실시 예는 화소 회로 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 초기화 시간을 분리하여 유기전계발광 표시장치의 대형화에 따라 발생하는 문제점을 해결하는 화소 회로 및 유기전계발광 표시장치를 제공하는 것이다.

### 과제 해결수단

- [0005] 상기 기술적 과제를 달성하기 위한, 본 발명의 일 실시 예에 따른 화소 회로는 유기 발광 다이오드; 게이트 전극이 제3 주사 선에 접속되고 제1 전극이 제1 노드에 접속된 제5 NMOS 트랜지스터; 상기 제1 노드와 제2 노드 사이에 연결된 제1 커패시터; 상기 제1 노드와 상기 유기 발광 다이오드의 애노드 전극 사이에 연결된 제2 커패시터; 게이트 전극이 제2 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 상기 제1 노드에 접속된 제4 NMOS 트랜지스터; 게이트 전극이 제1 주사 선에 접속되고 제1 전극이 제1 전원에 연결되고 제2 전극이 상기 제2 노드에 접속된 제6 NMOS 트랜지스터; 게이트 전극이 상기 제2 주사 선에 접속되고 제1 전극이 상기 제2 노드에 접속되고 제2 전극이 제3 노드에 접속된 제2 NMOS 트랜지스터; 게이트 전극이 발광 제어 선에 접속되고 제1 전극이 상기 제1 전원에 연결되고 제2 전극이 상기 제3 노드에 접속된 제3 NMOS 트랜지스터; 및 게이트 전극이 상기 제2 노드에 접속되고 제1 전극이 상기 제3 노드에 접속되고 제2 전극은 상기 유기 발광 다이오드의 애노드 전극에 접속되어 상기 유기 발광 다이오드에 구동 전류를 공급하는 제1 NMOS 트랜지스터를 포함하여 구성된다.
- [0006] 본 발명의 다른 실시 예에 따른 화소 회로는 게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 상기 제1 노드에 접속된 제7 NMOS 트랜지스터를 더 포함하여 구성할 수 있다.
- [0007] 바람직하게, 상기 제6 NMOS 트랜지스터는 상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 상기 제1 전원의 전압 신호를 상기 제2 노드에 전달하는 것을 특징으로 한다.
- [0008] 바람직하게, 상기 제4 NMOS 트랜지스터는 상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 데이터 선으로부터 데이터 신호를 상기 제1 노드에 전달하는 것을 특징으로 한다.
- [0009] 바람직하게, 상기 제5 NMOS 트랜지스터는 상기 제3 주사 선으로부터 제3 주사 신호에 응답하여 기준 전원의 전압 신호를 상기 제1 노드에 전달하는 것을 특징으로 한다.
- [0010] 바람직하게, 상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호는 순차적으로 출력되는 신호인 것을 특징으로 한다.
- [0011] 바람직하게, 상기 제7 NMOS 트랜지스터는 상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 기준 전원의 전압 신호를 상기 제1 노드에 전달하는 것을 특징으로 한다.
- [0012] 바람직하게, 상기 제1 NMOS 트랜지스터의 제1 전극은 드레인 전극이고, 제2 전극은 소스 전극인 것을 특징으로 한다.
- [0013] 본 발명의 또 다른 실시 예에 따른 화소 회로는 유기 발광 다이오드; 게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 노드에 접속된 제5 NMOS 트랜지스터; 상기 제1 노드와 제2 노드 사이에 연결된 제1 커패시터; 상기 제1 노드와 상기 유기 발광 다이오드의 애노드 전극 사이에 연결된 제2 커패시터; 게이트 전극이 제3 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 상기 제1 노드에 접속된 제4 NMOS 트랜지스터; 게이트 전극이 제1 주사 선에 접속되고 제1 전극이 제1 전원에 연결되고 제2 전극이 상기 제2 노드에 접속된 제6 NMOS 트랜지스터; 게이트 전극이 상기 제2 주사 선에 접속되고 제1 전극이 상기 제2 노드에 접속되고 제2 전극이 제3 노드에 접속된 제2 NMOS 트랜지스터; 게이트 전극이 발광 제어 선에 접속되고 제1 전극이 상기 제1 전원에 연결되고 제2 전극이 상기 제3 노드에 접속된 제3 NMOS 트랜지스터; 및 게이트 전극이 상기 제2 노드에 접속되고 제1 전극이 상기 제3 노드에 접속되고 제2 전극은 상기 유기 발광 다이오드의 애노드 전극에 접속되어 상기 유기 발광 다이오드에 구동 전류를 공급하는 제1 NMOS 트랜지스터를 포함하여 구성된다.
- [0014] 본 발명의 또 다른 실시 예에 따른 화소 회로는 게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 기준 전원에 접속되고 제2 전극이 상기 제1 노드에 접속된 제7 NMOS 트랜지스터를 더 포함하여 구성할 수 있다.
- [0015] 바람직하게, 상기 제6 NMOS 트랜지스터는 상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 상기 제1 전원의 전압 신호를 상기 제2 노드에 전달하는 것을 특징으로 한다.
- [0016] 바람직하게, 상기 제4 NMOS 트랜지스터는 상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 데이터 선으로부터 데이터 신호를 상기 제1 노드에 전달하는 것을 특징으로 한다.

- [0017] 바람직하게, 상기 제5 NMOS 트랜지스터는 상기 제3 주사 선으로부터 제3 주사 신호에 응답하여 기준 전원의 전압 신호를 상기 제1 노드에 전달하는 것을 특징으로 한다.
- [0018] 바람직하게, 상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호는 순차적으로 출력되는 신호인 것을 특징으로 한다.
- [0019] 상기 다른 기술적 과제를 달성하기 위한, 본 발명의 다른 실시 예에 따른 유기전계발광 표시장치는 주사 선들로 주사 신호를 공급하고, 발광 제어 선들로 발광 신호를 공급하는 주사 구동부; 데이터 선들로 데이터 신호를 공급하는 데이터 구동부; 및 상기 주사 선들, 발광 제어 선들 및 데이터 선들이 교차하는 위치에 배치된 화소 회로들을 포함하며, 상기 각각의 화소 회로는,
- [0020] 유기 발광 다이오드; 게이트 전극이 제3 주사 선에 접속되고 제1 전극이 제1 노드에 접속된 제5 NMOS 트랜지스터; 상기 제1 노드와 제2 노드 사이에 연결된 제1 커패시터; 상기 제1 노드와 상기 유기 발광 다이오드의 애노드 전극 사이에 연결된 제2 커패시터; 게이트 전극이 제2 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 상기 제1 노드에 접속된 제4 NMOS 트랜지스터; 게이트 전극이 제1 주사 선에 접속되고 제1 전극이 제1 전원에 연결되고 제2 전극이 상기 제2 노드에 접속된 제6 NMOS 트랜지스터; 게이트 전극이 상기 제2 주사 선에 접속되고 제1 전극이 상기 제2 노드에 접속되고 제2 전극이 제3 노드에 접속된 제2 NMOS 트랜지스터; 게이트 전극이 발광 제어 선에 접속되고 제1 전극이 상기 제1 전원에 연결되고 제2 전극이 상기 제3 노드에 접속된 제3 NMOS 트랜지스터; 및 게이트 전극이 상기 제2 노드에 접속되고 제1 전극이 상기 제3 노드에 접속되고 제2 전극은 상기 유기 발광 다이오드의 애노드 전극에 접속되어 상기 유기 발광 다이오드에 구동 전류를 공급하는 제1 NMOS 트랜지스터를 포함하여 구성된다.
- [0021] 바람직하게, 상기 화소 회로는 게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 상기 제1 노드에 접속된 제7 NMOS 트랜지스터를 더 포함하는 것을 특징으로 한다.
- [0022] 바람직하게, 상기 제6 NMOS 트랜지스터는 상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 상기 제1 전원의 전압 신호를 상기 제2 노드에 전달하고, 상기 제4 NMOS 트랜지스터는 상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 데이터 선으로부터 데이터 신호를 상기 제1 노드에 전달하고, 상기 제2 NMOS 트랜지스터는 상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 제1 NMOS 트랜지스터를 다이오드 연결시키고, 상기 제5 NMOS 트랜지스터는 상기 제3 주사 선으로부터 제3 주사 신호에 응답하여 기준 전원의 전압 신호를 상기 제1 노드에 전달하는 것을 특징으로 한다.
- [0023] 바람직하게, 상기 주사 구동부는 상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호를 순차적으로 상기 화소 회로에 공급하는 것을 특징으로 한다.
- [0024] 본 발명의 또 다른 실시 예에 따른 유기전계발광 표시 장치는, 주사 선들로 주사 신호를 공급하고, 발광 제어 선들로 발광 신호를 공급하는 주사 구동부; 데이터 선들로 데이터 신호를 공급하는 데이터 구동부; 및 상기 주사 선들, 발광 제어 선들 및 데이터 선들이 교차하는 위치에 배치된 화소 회로들을 포함하며, 상기 각각의 화소 회로는,
- [0025] 유기 발광 다이오드; 게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 노드에 접속된 제5 NMOS 트랜지스터; 상기 제1 노드와 제2 노드 사이에 연결된 제1 커패시터; 상기 제1 노드와 상기 유기 발광 다이오드의 애노드 전극 사이에 연결된 제2 커패시터; 게이트 전극이 제3 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 상기 제1 노드에 접속된 제4 NMOS 트랜지스터; 게이트 전극이 제1 주사 선에 접속되고 제1 전극이 제1 전원에 연결되고 제2 전극이 상기 제2 노드에 접속된 제6 NMOS 트랜지스터; 게이트 전극이 상기 제2 주사 선에 접속되고 제1 전극이 상기 제2 노드에 접속되고 제2 전극이 제3 노드에 접속된 제2 NMOS 트랜지스터; 게이트 전극이 발광 제어 선에 접속되고 제1 전극이 상기 제1 전원에 연결되고 제2 전극이 상기 제3 노드에 접속된 제3 NMOS 트랜지스터; 및 게이트 전극이 상기 제2 노드에 접속되고 제1 전극이 상기 제3 노드에 접속되고 제2 전극은 상기 유기 발광 다이오드의 애노드 전극에 접속되어 상기 유기 발광 다이오드에 구동 전류를 공급하는 제1 NMOS 트랜지스터를 포함하여 구성된다.
- [0026] 바람직하게, 상기 화소 회로는 게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 기준 전원에 접속되고 제2 전극이 상기 제1 노드에 접속된 제7 NMOS 트랜지스터를 더 포함하는 것을 특징으로 한다.
- [0027] 바람직하게, 상기 제6 NMOS 트랜지스터는 상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 상기 제1 전원의 전압 신호를 상기 제2 노드에 전달하고, 상기 제4 NMOS 트랜지스터는 상기 제2 주사 선으로부터 제2 주사 신호



에 응답하여 상기 데이터 선으로부터 데이터 신호를 상기 제1 노드에 전달하고, 상기 제2 NMOS 트랜지스터는 상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 제1 NMOS 트랜지스터를 다이오드 연결시키고, 상기 제5 NMOS 트랜지스터는 상기 제3 주사 선으로부터 제3 주사 신호에 응답하여 기준 전원의 전압 신호를 상기 제1 노드에 전달하는 것을 특징으로 한다.

[0028] 바람직하게, 상기 주사 구동부는 상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호를 순차적으로 상기 화소 회로에 공급하는 것을 특징으로 한다.

## 효 과

[0029] 본 발명의 일 실시 예에 따르면 화소 회로의 초기화 구간을 분리함으로써 유기전계발광 표시장치의 대면적화에 따른 문제를 해결하고, 명암비(C/R, Contrast ratio)를 개선하며 크로스 토크를 개선할 수 있고, 구동 트랜지스터의 문턱 전압이 보상되어 균일한 휘도의 영상을 표시할 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0030] 이하, 본 발명의 실시 예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0031] 일반적으로 유기전계발광 표시장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, 행렬 형태로 배열된 복수개의 유기 발광셀들을 전압 구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀들은 다이오드 특성을 가져서 유기 발광 다이오드(OLED)로 불린다.

[0032] 도 1은 유기 발광 다이오드의 개념도이다.

[0033] 도면을 참조하면, 유기 발광 다이오드는 애노드(ITO), 유기 박막, 캐소드 전극층(금속)의 구조를 가진다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한다. 이외에도 유기 박막은 정공 주입층(Hole Injecting Layer, HIL) 또는 전자 주입층(Electron Injecting Layer, EIL)을 더 포함할 수 있다.

[0034] 이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix)방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 연결하고 박막트랜지스터의 게이트에 연결된 커패시터 용량에 의해 유지된 전압에 따라 구동하는 방식이다. 이러한 능동 구동 방식 중에는 커패시터에 전압을 기입하여 유지시키기 위해 인가되는 신호가 전압의 형태인 전압 구동 방식이 있다.

[0035] 도 2는 전압 구동 방식의 한 측면을 나타낸 화소 회로의 회로도이다.

[0036] 도 2를 참조하면, 선택 주사 선(Sn)의 선택신호에 의해 스위칭 트랜지스터(M2)가 턴 온되고, 상기 턴 온에 의해 데이터 선(Dm)으로부터의 데이터 전압이 구동 트랜지스터(M1)의 게이트 단에 전달되며, 데이터 전압과 전압원(VDD)의 전위차가 구동 트랜지스터(M1)의 게이트와 소스 사이에 연결된 커패시터(C1)에 저장된다. 상기 전위차에 의해 구동전류(IOLED)가 유기 발광 다이오드(OLED)에 흘러, 유기 발광 다이오드(OLED)가 발광하게 된다. 이때 인가되는 데이터 전압의 전압 레벨에 따라 소정의 명암 계조 표시가 가능하게 된다.

[0037] 그러나 이와 같이 복수 개의 화소 회로들의 구동 트랜지스터(M1)들은 문턱 전압이 서로 다르게 형성될 수 있다. 구동 트랜지스터(M1)의 문턱 전압이 다르면, 각 화소 회로들의 구동 트랜지스터(M1)들로부터 출력되는 전류량이 달라져 균일한 화상을 구현할 수 없는 문제가 있다. 이와 같은 구동 트랜지스터(M1)의 문턱 전압 편차는 유기전계발광 표시장치가 대면적화될수록 더욱 심하게 질 수 있으며, 이는 유기전계발광 표시장치의 화질 저하를 야기할 수 있다. 따라서 유기전계발광 표시장치의 화소 회로는 균일한 화질을 갖기 위해서는 화소 회로 내 구동 트랜지스터의 문턱 전압을 보상해 주어야 한다.

[0038] 이와 같이 화소 회로 내 트랜지스터의 문턱 전압을 보상하기 위한 다양한 응용 회로가 있는데, 대부분 일정한 기간 동안 초기화와 트랜지스터 문턱 전압의 보상을 동시에 하게 된다. 이런 경우 초기화를 하는 동안 원치 않는 발광이 발생하여 명암비(C/R, Contrast ratio)가 나빠질 수 있다. 또한, 유기전계발광 표시장치가 대면적화될수록 초기화 시간에 대한 로드가 커지기 때문에 초기화와 트랜지스터 문턱 전압 보상을 동시에 실시

하는 경우 실질적으로 초기화에 필요한 시간이 상대적으로 짧아질 수 있다. 이를 해결하기 위하여 초기화 시간을 분리하여 구동하는 화소 회로가 요구된다.

- [0039] 이하, 본 발명의 실시 예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0040] 도 3은 본 발명에 따른 유기전계발광 표시장치(300)의 일례를 나타낸 평면 개념도이다.
- [0041] 도 3을 참조하여 설명하면, 본 발명에 따른 유기전계발광 표시장치(300)는 화소부(310), 제1주사 구동부(302), 제2주사 구동부(304), 데이터 구동부(306) 및 전원 구동부(308)를 포함한다.
- [0042] 화소부는 유기 발광 다이오드(미도시)를 각각 구비하는  $n \times m$  개의 화소 회로(P)와, 행방향으로 형성되어 주사 신호를 전달하는  $n$  개의 주사 선( $S1, S2, \dots, Sn$ ), 열 방향으로 형성되어 데이터 신호를 전달하는  $m$  개의 데이터 선( $D1, D2, \dots, Dm$ ), 행방향으로 형성되어 발광 제어 신호를 전달하는  $n$ 개의 발광 제어 선( $E2, E3, \dots, En+1$ ) 및 전원을 전달하는  $m$ 개의 제 1 전원선(미도시)과 제2 전원선(미도시)을 포함한다.
- [0043] 화소부(310)는 주사 신호, 데이터 신호, 발광 제어 신호 및 제1 전원(ELVDD)과 제2 전원(ELVSS)에 의해 유기 발광 다이오드(미도시)를 발광시켜 화상을 표시한다.
- [0044] 제1주사 구동부(302)는 발광 제어 선( $E2, E3, \dots, En+1$ )과 접속되어 화소부(310)에 발광 신호를 인가한다.
- [0045] 제2주사 구동부(304)는 주사 선( $S1, S2, \dots, Sn$ )과 접속되어 화소부(310)에 주사 신호를 인가한다.
- [0046] 데이터 구동부(306)는 데이터 선( $D1, D2, \dots, Dm$ )과 접속되어 화소부(310)에 데이터 신호를 인가한다. 이때, 데이터 구동부(306)는 프로그래밍(programming) 기간 동안 복수의 화소 회로(P)에 데이터 전류를 공급한다.
- [0047] 전원 공급부(308)는 각 화소 회로에 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 인가한다.
- [0048] 도 4는 도 3에 도시된 화소 회로의 일 실시 예를 나타낸 회로도이다. 도 4에서는 설명의 편의상 제N-1 주사 선( $S[N-1]$ ), 제N 주사 선( $S[N]$ ), 제N+1 주사 선( $S[N+1]$ ), 제N 발광 제어 선( $EM[N]$ ), 제M 데이터 선( $D[M]$ )과 접속된 화소 회로를 도시한다.
- [0049] 도 4를 참조하면, 유기 발광 다이오드(OLED)의 애노드 전극은 제2 커패시터( $C2$ ), 제1 NMOS 트랜지스터( $M1$ )의 소스 전극과 공통 접속되고, 게이트 전극은 제2 전원(ELVSS)에 접속된다. 이와 같이, 유기 발광 다이오드(OLED)는 제1 NMOS 트랜지스터( $M1$ ), 즉 구동 트랜지스터를 통해 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성한다.
- [0050] 제5 NMOS 트랜지스터( $M5$ )는 게이트 전극이 제3 주사 선( $S[N+1]$ )에 접속되고 드레인 전극이 기준 전원( $Vref$ )에 접속되고 소스 전극이 제1 노드( $N1$ )에 접속된다. 제5 NMOS 트랜지스터( $M5$ )는 제3 주사 선으로부터 제3 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴온되어 기준 전원의 전압 신호를 제1 노드( $N1$ )에 전달한다.
- [0051] 제1 커패시터( $C1$ )는 제1 노드( $N1$ )와 제2 노드( $N2$ ) 사이에 연결된다. 제2 커패시터( $C2$ )는 제1 노드( $N1$ )와 유기 발광 다이오드(OLED)의 애노드 전극 사이에 연결된다.
- [0052] 제4 NMOS 트랜지스터( $M4$ )의 게이트 전극은 제2 주사 선( $S[N]$ )에 접속되고 드레인 전극이 데이터 선에 접속되고 소스 전극이 제1 노드( $N$ )에 접속된다. 제4 NMOS 트랜지스터( $M4$ )는 제2 주사 선( $S[N]$ )으로부터 제2 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴온되어 데이터 신호를 제1 노드에 전달한다.
- [0053] 제6 NMOS 트랜지스터의 게이트 전극은 제1 주사 선( $S[N-1]$ )에 접속되고 드레인 전극이 제1 전원(ELVDD)에 연결되고 소스 전극이 제2 노드( $N2$ )에 접속된다. 제6 NMOS 트랜지스터( $M6$ )는 제1 주사 선( $S[N-1]$ )으로부터 제1 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴온되어 제1 전원(ELVDD)의 전압 신호로 제2 노드를 초기화한다.
- [0054] 제2 NMOS 트랜지스터( $M2$ )의 게이트 전극은 제2 주사 선( $S[N]$ )에 접속되고 드레인 전극이 제1 NMOS 트랜지스터( $M1$ )의 게이트 전극과 제2 노드( $N2$ )에 공통 접속되고 소스 전극은 제1 NMOS 트랜지스터( $M1$ )의 드레인 전극과 제3 노드( $N3$ )에 공통 접속된다. 제2 NMOS 트랜지스터( $M2$ )는 제2 주사 선( $S[N]$ )으로부터 제2 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴온되어 제1 NMOS 트랜지스터의 게이트 전극과 드레인 전극을 단락시켜 구동 트

랜지스터인 제1 NMOS 트랜지스터를 다이오드 연결시킨다.

- [0055] 제3 NMOS 트랜지스터(M3)의 게이트 전극은 발광 제어 선(EM[N])에 접속되고 드레인 전극이 제1 전원(ELVDD)에 연결되고 소스 전극이 제3 노드(N3)에 접속된다. 제3 NMOS 트랜지스터(M3)는 발광 제어 선(EM[N])으로부터 발광 신호, 즉 하이 레벨의 전압 신호에 응답하여 구동 트랜지스터인 제1 NMOS 트랜지스터(M1)의 드레인 전극에 제1 전원(ELVDD)의 전압 신호를 전달한다.
- [0056] 제1 NMOS 트랜지스터(M3)의 게이트 전극은 제2 노드(N2)에 접속되고 드레인 전극은 제3 노드(N3)에 접속되고 소스 전극은 유기 발광 다이오드(OLED)의 애노드 전극과 제4 노드(N4)에 공통 접속되어 유기 발광 다이오드(OLED)에 구동 전류( $I_{OLED}$ )를 공급한다. 여기서, 구동 전류( $I_{OLED}$ )는 구동 트랜지스터인 제1 NMOS 트랜지스터(M1)의 게이트 전극과 소스 전극의 전압차( $V_{gs}$ )에 따라 결정된다.
- [0057] 본 발명의 일 실시 예에서 스위칭 트랜지스터들(M3 내지 M6), 문턱 전압 보상 트랜지스터(M2) 및 구동 트랜지스터(M1)은 모두 NMOS 트랜지스터로 구현된다. NMOS 트랜지스터는 N타입 금속 산화물 반도체(Metal Oxide Semiconductor)를 의미하며, 제어신호의 레벨 상태가 로우 레벨이면 턴 오프되고 하이 레벨이면 턴 온된다. NMOS 트랜지스터는 PMOS 트랜지스터에 비하여 동작 속도가 빠른 장점이 있어 대면적 화면의 디스플레이를 제조하는데 유리하다.
- [0058] 도 5는 도 3에 도시된 화소 회로의 다른 실시 예를 나타낸 회로도이다.
- [0059] 도 4에 도시된 화소 회로와의 차이점은 제5 NMOS 트랜지스터(M5)와 병렬로 제7 NMOS 트랜지스터(M7)가 추가되었다는 것이다.
- [0060] 제7 NMOS 트랜지스터(M7)의 게이트 전극은 제1 주사 신호 선( $S[N-1]$ )에 접속되고 드레인 전극은 기준 전원( $V_{ref}$ )에 접속되고 소스 전극은 제1 노드(N1)에 접속된다. 제7 NMOS 트랜지스터(M7)는 제1 주사 신호 선( $S[N-1]$ )으로부터 제1 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴온되어, 기준 전원의 전압 신호( $V_{ref}$ )를 제1 노드(N1)에 전달함으로써, 제1 노드를 기준 전원의 전압( $V_{ref}$ )으로 초기화한다.
- [0061] 초기화 구간에서, 도 5에 도시된 실시 예에서는 제6 NMOS 트랜지스터(M6)를 이용하여 제2 노드(N2)를 제1 전원(ELVDD)의 전압으로 초기화하지만, 도 6에 도시된 실시 예에서는 제2 노드(N2)를 제1 전원(ELVDD)의 전압으로 초기화하고, 제7 NMOS 트랜지스터(M7)를 이용하여 제1 노드(N1)를 기준 전원( $V_{ref}$ )의 전압으로 초기화한다.
- [0062] 도 4 및 5에서 설명한 화소 회로의 구동과정을 도 6의 타이밍 도를 참조하여 상세히 설명한다.
- [0063] 도 6을 참조하면, 제1 구간은 초기화 구간으로 제1 주사 신호( $S[N-1]$ )가 하이 레벨(high level)이 되며, 제2 구간은 데이터 기입 및 유기 발광 다이오드(OLED)의 문턱전압( $V_{to}$ )와 구동 트랜지스터인 제1 NMOS 트랜지스터(M1)의 문턱 전압( $V_{th}$ ) 보상구간으로 데이터가 제1 커패시터(C1)에 기입되며, 유기 발광 다이오드와 구동 트랜지스터의 문턱 전압을 보상하기 위해 제2 주사 신호( $S[N]$ )가 하이 레벨이 된다. 제3 구간은 데이터 프로그래밍 구간으로 제3 주사 신호( $S[N+1]$ )가 하이 레벨이 된다. 제4 구간은 발광 구간으로 발광 신호(E[N])가 하이 레벨이 된다.
- [0064] 도 4 내지 6을 함께 참조하여 각각의 구간에서의 트랜지스터의 스위칭 동작과 구동 동작을 상세히 설명한다.
- [0065] 제1 구간에서, 제1 주사 신호( $S[N-1]$ )가 하이 레벨로 인가되면, 제6 NMOS 트랜지스터(M6)가 턴온되어 제1 전원의 전압 신호(ELVDD)가 제2 노드(N2)에 인가되어 제1 커패시터(C1)와 제1 NMOS 트랜지스터(M1)의 게이트 전극을 초기화한다. 또한, 도 5에 도시된 화소 회로에서는 제1 주사 신호( $S[N-1]$ )가 하이 레벨로 인가되면, 제6 NMOS 트랜지스터(M6)와 함께 제7 NMOS 트랜지스터(M7)가 턴온되어 기준 전원의 전압 신호( $V_{ref}$ )가 제1 노드(N1)에 인가되어, 제2 커패시터(C2)를 초기화한다.
- [0066] 제2 구간에서, 제2 주사 신호( $S[N]$ )가 하이 레벨로 인가되면, 제4 NMOS 트랜지스터(M4)가 턴온되어 데이터 선(D[M])으로부터 데이터 신호( $V_{data}$ )가 제1 노드에 전달된다. 그리고 제2 NMOS 트랜지스터(M2)가 턴온되어 제2 노드(N2)와 제3 노드(N3)가 단락되고 구동 트랜지스터인 제1 NMOS 트랜지스터(M1)가 다이오드 연결된다. 따라서, 제2 노드(N1)의 인가되는 전압은 유기 발광 다이오드(OLED)의 문턱 전압( $V_{to}$ )과 제1 NMOS 트랜지스터(M1)의 문턱 전압( $V_{th}$ )을 더한 전압  $V_{to}+V_{th}$  가 된다.
- [0067] 제3 구간에서, 제3 주사 신호( $S[N+1]$ )가 하이 레벨로 인가되면, 제5 NMOS 트랜지스터(M5)가 턴온되어 제1 노드(N1)에 기준 전원의 전압 신호( $V_{ref}$ )가 전달된다. 따라서, 제1 노드(N1)의 전압 변화량은  $V_{ref}-V_{data}$  이다. 그리고 제4 노드(N4)의 전압 변화량은  $V_{oled}-V_{to}$  이다. 여기서,  $V_{oled}$ 는 유기 발광 다이오드의 양단에 걸리는

전압이다. 따라서, 제2 노드(N2)의 전압은  $V_{to}+V_{th}+V_{ref}-V_{data}+V_{oled}-V_{to}$ , 정리하면,  $V_{th}+V_{ref}-V_{data}+V_{oled}$ 이다. 여기서, 제2 전원(ELVSS)은 그라운드라고 가정하고 계산한다.

[0068] 제4 구간에서, 발광 신호(EM[N])가 하이 레벨로 인가되면, 제3 NMOS 트랜지스터(M3)가 턴온되어 제1 전원의 전압 신호(ELVDD)가 제1 NMOS 트랜지스터(M1)에 인가된다. 그리고 유기 발광 다이오드(OLED)로 흐르는 전류( $I_{OLED}$ )는 다음 수학식에 따라 결정된다.

### 수학식 1

$$I_{OLED}=K(V_{gs}-V_{th})^2$$

[0069]

[0070] 여기서, K는 구동 트랜지스터의 이동도와 기생용량에 의해 결정되는 상수값이고,  $V_{gs}$ 는 구동 트랜지스터의 게이트와 소스 전극 사이의 전압 차,  $V_{th}$ 는 구동 트랜지스터의 문턱 전압이다. 여기서,  $V_{gs}$ 는 제2 노드(N2)와 제2 노드(N4)간의 전압 차, 즉 제1 NMOS 트랜지스터의 게이트 전극과 소스 전극 간의 전압차이다.

[0071] 상기 수학식 1에  $V_{gs}$ 값을 대입하면 수학식 2와 같다.

### 수학식 2

$$I_{OLED}=K(V_{th}+V_{ref}-V_{data}-V_{th})^2$$

[0072]

$$I_{OLED}=K(V_{ref}-V_{data})^2$$

[0073]

[0074] 상기 수학식 2를 통해 유기 발광 다이오드(OLED)에 흐르는 전류( $I_{oled}$ )는 기준 전압( $V_{ref}$ )과 데이터 전압( $V_{data}$ )에 의해 결정되는 것을 알 수 있다. 즉, 구동 트랜지스터인 제1 NMOS 트랜지스터(M1)의 문턱 전압( $V_{th}$ ), 유기발광 다이오드의 문턱 전압이나 제2 전원(ELVSS)에 무관하게 전류가 흐르는 것을 알 수 있다.

[0075] 따라서 본 발명의 일 실시 예에 따른 화소 회로는 구동 트랜지스터의 문턱 전압을 보상하고, 제1전원 및 제2전원의 산포에 민감하지 않으므로 균일한 휘도를 표현할 수 있는 장점이 있다.

[0076] 또한, 본 발명의 일 실시 예에 따른 화소 회로는 제1 구간에서 초기화와 구동 트랜지스터의 문턱 전압을 보상했던 종래의 화소 회로와 달리, 제1 구간에서 초기화를 행하고, 제2 구간에서 데이터 기입과 유기 발광 다이오드의 문턱 전압 및 구동 트랜지스터의 문턱 전압을 보상하는 과정을 분리함으로써 대면적 패널과 고속 구동시 큰 로드로 인하여 일부 화소 회로에서 초기화가 완전하게 실시되지 않았던 문제를 해결할 수 있다. 또한, 종래에는 초기화 기간 동안에 유기 발광 소자에 전류가 흐르는 문제가 있었으나, 본 발명에서는 트랜지스터를 추가하여 초기화를 실시함으로써 초기화 기간 동안 유기 발광 소자에 전류가 흐르지 않아 유기 발광 소자가 발광하지 않으므로 명암비가 개선되는 효과가 있다. 또한, 발광 제어 신호를 송출하는 발광 제어 드라이버가 존재하므로 듀티 조절이 가능하고 이로부터 모션 블러를 제거할 수 있고, 크로스 토크가 개선되는 효과도 있다.

[0077] 도 7은 도 3에 도시된 화소 회로의 또 다른 실시 예를 나타내는 회로도이다.

[0078] 도 7을 참조하면, 유기 발광 다이오드(OLED)의 애노드 전극은 제2 커패시터(C2), 제1 NMOS 트랜지스터(M1)의 소스 전극과 공통 접속되고, 캐소드 전극은 제2 전원(ELVSS)에 접속된다. 이와 같이, 유기 발광 다이오드(OLED)는 제1 NMOS 트랜지스터(M1), 즉 구동 트랜지스터를 통해 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성한다.

[0079] 제5 NMOS 트랜지스터(M5)는 게이트 전극이 제2 주사 선(S[N-1])에 접속되고 드레인 전극이 기준 전원( $V_{ref}$ )에 접속되고 소스 전극이 제1 노드(N1)에 접속된다. 제5 NMOS 트랜지스터(M5)는 제2 주사 선으로부터 제2 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴온되어 기준 전원의 전압 신호를 제1 노드(N1)에 전달한다.

[0080] 제1 커패시터(C1)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결된다. 제2 커패시터(C2)는 제1 노드(N1)와 유기 발광 다이오드(OLED)의 애노드 전극 사이에 연결된다.

[0081] 제4 NMOS 트랜지스터(M4)의 게이트 전극은 제3 주사 선(S[N])에 접속되고 드레인 전극이 데이터 선에 접속되고 소스 전극이 제1 노드(N)에 접속된다. 제4 NMOS 트랜지스터(M4)는 제3 주사 선(S[N])으로부터 제3 주사 신호,



즉 하이 레벨의 전압 신호가 인가될 때 턴온되어 데이터 신호를 제1 노드에 전달한다.

- [0082] 제6 NMOS 트랜지스터의 게이트 전극은 제1 주사 선(S[N-2])에 접속되고 드레인 전극이 제1 전원(ELVDD)에 연결되고 소스 전극이 제2 노드(N2)에 접속된다. 제6 NMOS 트랜지스터(M6)는 제1 주사 선(S[N-2])으로부터 제1 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴온되어 제1 전원(ELVDD)의 전압 신호로 제2 노드를 초기화한다.
- [0083] 제2 NMOS 트랜지스터(M2)의 게이트 전극은 제2 주사 선(S[N-1])에 접속되고 드레인 전극이 제1 NMOS 트랜지스터(M1)의 게이트 전극과 제2 노드(N2)에 공통 접속되고 소스 전극은 제1 NMOS 트랜지스터(M1)의 드레인 전극과 제3 노드(N3)에 공통 접속된다. 제2 NMOS 트랜지스터(M2)는 제2 주사 선(S[N-1])으로부터 제2 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴온되어 제1 NMOS 트랜지스터의 게이트 전극과 드레인 전극을 단락시켜 구동 트랜지스터인 제1 NMOS 트랜지스터를 다이오드 연결시킨다.
- [0084] 제3 NMOS 트랜지스터(M3)의 게이트 전극은 발광 제어 선(EM[N])에 접속되고 드레인 전극이 제1 전원(ELVDD)에 연결되고 소스 전극이 제3 노드(N3)에 접속된다. 제3 NMOS 트랜지스터(M3)는 발광 제어 선(EM[N])으로부터 발광 신호, 즉 하이 레벨의 전압 신호에 응답하여 구동 트랜지스터인 제1 NMOS 트랜지스터(M1)의 드레인 전극에 제1 전원(ELVDD)의 전압 신호를 전달한다.
- [0085] 제1 NMOS 트랜지스터(M3)의 게이트 전극은 제2 노드(N2)에 접속되고 드레인 전극은 제3 노드(N3)에 접속되고 소스 전극은 유기 발광 다이오드(OLED)의 애노드 전극과 제4 노드(N4)에 공통 접속되어 유기 발광 다이오드(OLED)에 구동 전류( $I_{OLED}$ )를 공급한다. 여기서, 구동 전류( $I_{OLED}$ )는 구동 트랜지스터인 제1 NMOS 트랜지스터(M1)의 게이트 전극과 소스 전극의 전압차( $V_{gs}$ )에 따라 결정된다.
- [0086] 도 4에 도시된 화소 회로와의 차이점은 제2 NMOS 트랜지스터(M2)가 제2 주사 선(S[N-1])에 접속되고, 제4 NMOS 트랜지스터(M4)가 제3 주사 선(S[N])에 접속된다는 것이다. 따라서, 제2 NMOS 트랜지스터(M2)가 제2 주사 선(S[N-1])의 제2 주사 신호가 하이 레벨로 인가될 때, 턴온되어 구동 트랜지스터인 제1 NMOS 트랜지스터(M1)를 다이오드 연결시킴으로써, 제2 노드(N2)에 유기 발광 다이오드(OLED)의 문턱 전압( $V_{to}$ ) 및 구동 트랜지스터(M1)의 문턱 전압( $V_{th}$ )을 반영함으로써 보상을 수행한다. 그리고 다음 주사 신호인 제3 주사 선(S[N])으로부터 제3 주사 신호를 하이 레벨로 인가하여 제1 노드(N1)에 데이터 신호( $V_{data}$ )를 인가함으로써 데이터 기입 동작을 수행한다.
- [0087] 도 8은 도 7에 도시된 화소 회로의 다른 실시 예를 나타낸 회로도이다.
- [0088] 도 7에 도시된 화소 회로와의 차이점은 제5 NMOS 트랜지스터(M5)와 병렬로 제7 NMOS 트랜지스터(M7)가 추가되었다는 것이다.
- [0089] 제7 NMOS 트랜지스터(M7)의 게이트 전극은 제1 주사 신호 선(S[N-2])에 접속되고 드레인 전극은 기준 전원( $V_{ref}$ )에 접속되고 소스 전극은 제1 노드(N1)에 접속된다. 제7 NMOS 트랜지스터(M7)는 제1 주사 신호 선(S[N-2])으로부터 제1 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴온되어, 기준 전원의 전압 신호( $V_{ref}$ )를 제1 노드(N1)에 전달함으로써, 제1 노드를 기준 전원의 전압( $V_{ref}$ )으로 초기화한다.
- [0090] 초기화 구간에서, 도 7에 도시된 실시 예에서는 제6 NMOS 트랜지스터(M6)를 이용하여 제2 노드(N2)를 제1 전원(ELVDD)의 전압으로 초기화하지만, 도 6에 도시된 실시 예에서는 제2 노드(N2)를 제1 전원(ELVDD)의 전압으로 초기화하고, 제7 NMOS 트랜지스터(M7)를 이용하여 제1 노드(N1)를 기준 전원( $V_{ref}$ )의 전압으로 초기화한다.
- [0091] 도 7 및 8에서 설명한 화소 회로의 구동과정을 도 9의 타이밍 도를 참조하여 상세히 설명한다.
- [0092] 도 9을 참조하면, 제1 구간은 초기화 구간으로 제1 주사 신호(S[N-2])가 하이 레벨(high level)이 되며, 제2 구간은 유기 발광 다이오드(OLED)의 문턱전압( $V_{to}$ )와 구동 트랜지스터인 제1 NMOS 트랜지스터(M1)의 문턱 전압( $V_{th}$ ) 보상구간으로 유기 발광 다이오드와 구동 트랜지스터의 문턱 전압을 보상하기 위해 제2 주사 신호(S[N-1])가 하이 레벨이 된다. 제3 구간은 데이터 기입 구간으로 제3 주사 신호(S[N])가 하이 레벨이 된다. 제4 구간은 발광 구간으로 발광 신호(E[N])가 하이 레벨이 된다. 즉, 도 6에 도시된 타이밍 도와의 차이점은 데이터 기입과 동시에 유기 발광 다이오드의 문턱 전압과 구동 트랜지스터의 문턱 전압 보상을 하지 않고, 문턱 전압 보상을 한 다음에, 데이터 기입을 한다는 것이다.
- [0093] 도 7 및 8에 도시된 화소 회로의 동작은 전술한 차이점을 제외하고 도 4 및 5에 도시된 화소 회로와 동일하고, 유기 발광 다이오드 전류 계산은 전술한 수학적 1 및 2와 동일한 방식으로 계산할 수 있다. 즉, 유기 발광 다

이오드(OLED)에 흐르는 전류(Ioled)는 기준 전압(Vref)과 데이터 전압(Vdata)에 의해 결정된다.

[0094] 이제까지 본 발명에 대하여 바람직한 실시 예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 본 발명을 구현할 수 있음을 이해할 것이다. 그러므로 상기 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 한다.

## 도면의 간단한 설명

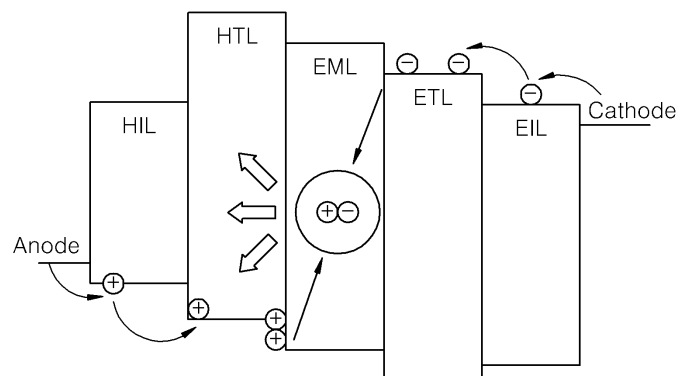
[0095] 도 1은 유기 발광 다이오드의 개념도이다.  
 [0096] 도 2는 전압 구동 방식의 한 측면을 나타낸 화소 회로의 회로도이다.  
 [0097] 도 3은 본 발명의 일 실시 예에 따른 유기전계발광 표시장치의 일례를 나타낸 평면 개념도이다.  
 [0098] 도 4는 도 3에 도시된 화소 회로의 일 실시 예를 나타낸 회로도이다.  
 [0099] 도 5는 도 3에 도시된 화소 회로의 다른 실시 예를 나타낸 회로도이다.  
 [0100] 도 6은 도 4 및 5에 도시된 화소 회로의 타이밍 도이다.  
 [0101] 도 7은 도 3에 도시된 화소 회로의 또 다른 실시 예를 나타내는 회로도이다.  
 [0102] 도 8은 도 3에 도시된 화소 회로의 또 다른 실시 예를 나타내는 회로도이다.  
 [0103] 도 9는 도 7 및 8에 도시된 화소 회로의 타이밍 도이다.

[0104] <도면의 주요 부분에 대한 부호의 설명>

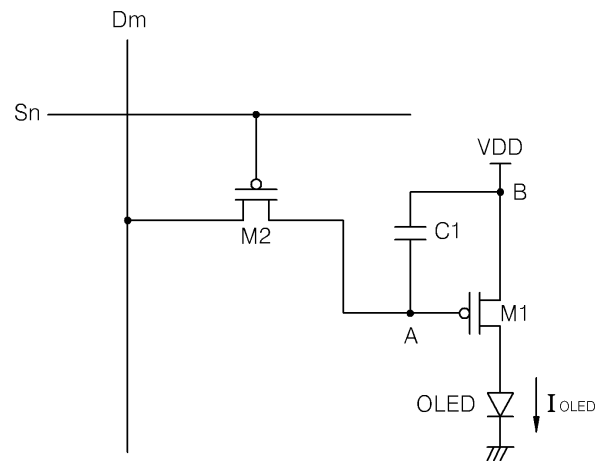
[0105] 300 : 유기 발광 표시장치  
 [0106] 310 : 화소부  
 [0107] 302 : 제1주사 구동부  
 [0108] 304 : 제2주사 구동부  
 [0109] 306 : 데이터 구동부  
 [0110] 308 : 전원 구동부

## 도면

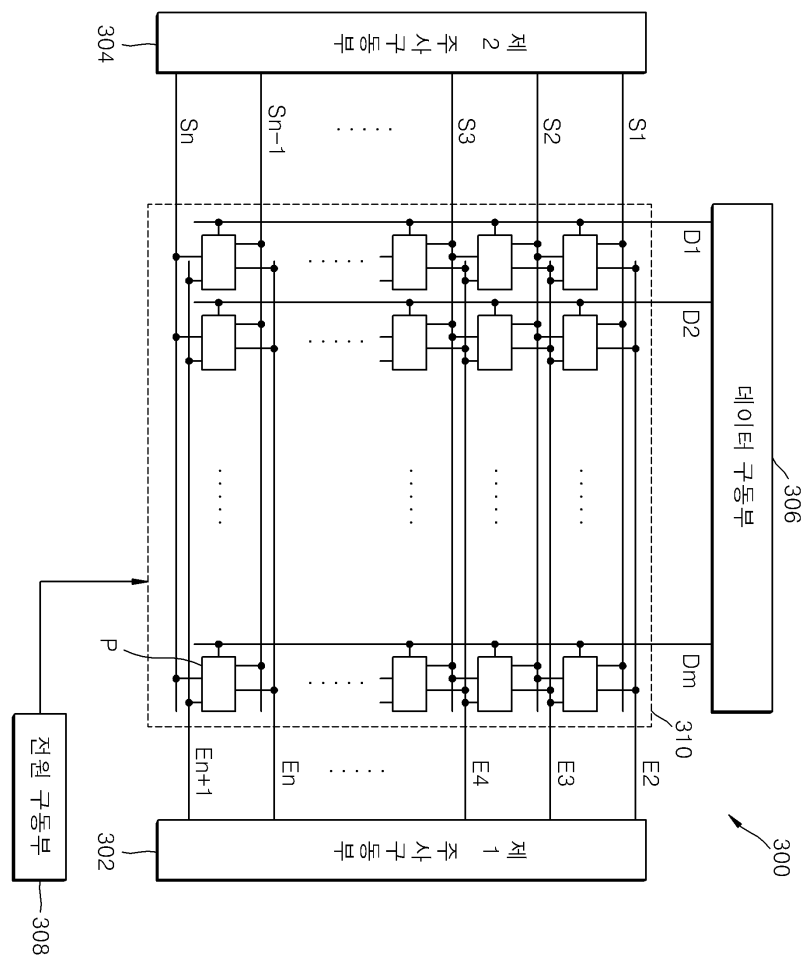
### 도면1



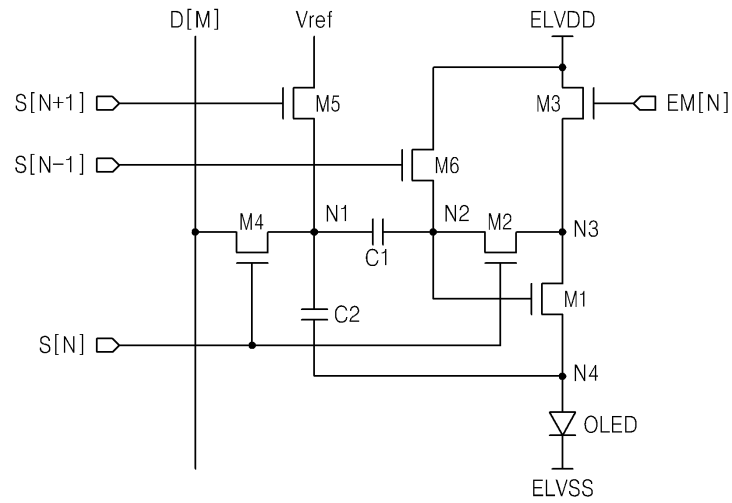
도면2



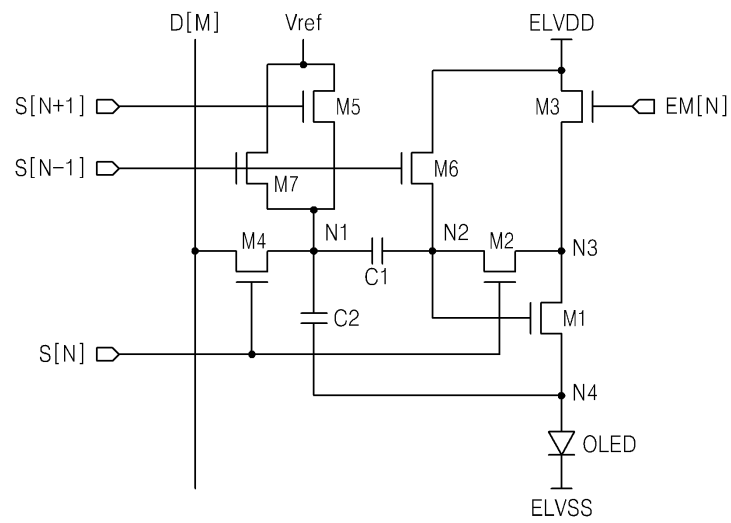
도면3



도면4



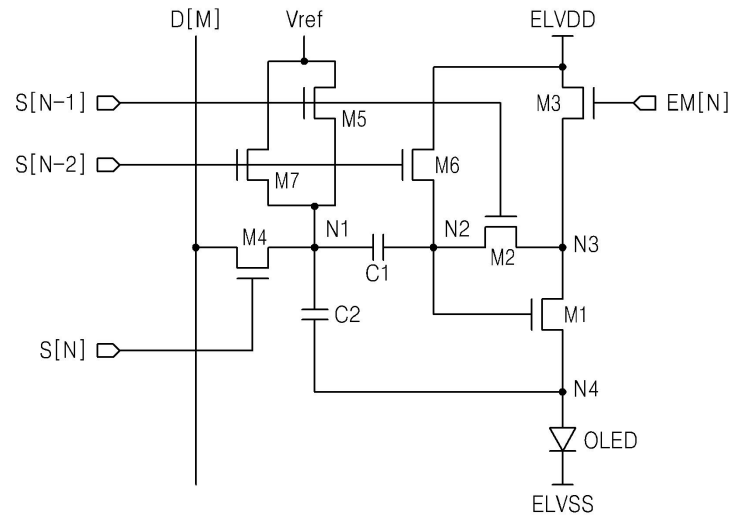
도면5



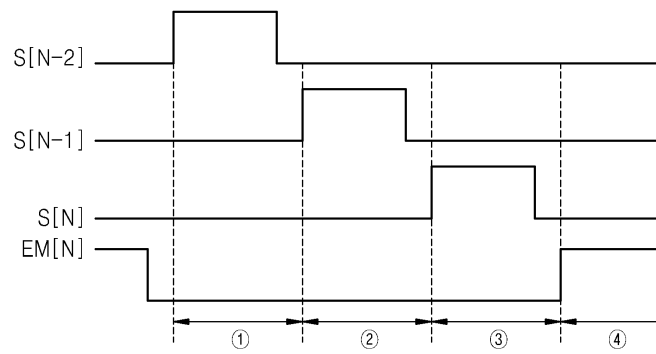




도면8



도면9



- ① 초기화 구간
- ② OLED의  $V_{to}$ , TFT의  $V_{th}$  보상 구간
- ③ 데이터 기입 구간
- ④ 발광 구간

专利名称(译)	像素电路和使用其的有机发光显示器		
公开(公告)号	<a href="#">KR1020110038393A</a>	公开(公告)日	2011-04-14
申请号	KR1020090095665	申请日	2009-10-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	CHUNG BO YONG 정보용 KIM KEUM NAM 김금남		
发明人	정보용 김금남		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2300/0852 G09G2300/0861 G09G2320/043 G09G2310/0262 G09G2310/0251 G09G3/3233		
其他公开文献	KR101030002B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

用途：提供像素电路和使用其的有机发光显示装置，以增加对比度，从而减少串扰。组成：第五NMOS晶体管（M5）的栅极连接到第三扫描线。第五NMOS晶体管的第一电极连接到第一节点。第一电容器（C1）连接在第一节点和第二节点之间。第二电容器（C2）连接在有机发光二极管的第一节点和阳极之间。第四NMOS晶体管（M4）的栅极连接到第二扫描线。第六NMOS晶体管（M6）的栅极连接到第一扫描线。第二NMOS晶体管（M2）的栅极连接到第二扫描线。第三NMOS晶体管（M3）的栅极连接到发光控制线。第一NMOS晶体管（M1）的栅极连接到第二节点。第一NMOS晶体管向有机发光二极管提供驱动电流。

COPYRIGHT KIPO 2011

