



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0006812  
(43) 공개일자 2011년01월21일

(51) Int. Cl.

H01L 51/50 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0064373

(22) 출원일자 2009년07월15일

심사청구일자 2009년07월15일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

강기녕

경기도 용인시 기흥구 농서동 산24번지

이재섭

경기도 용인시 기흥구 농서동 산24번지

진동언

경기도 용인시 기흥구 농서동 산24번지

(74) 대리인

신영무

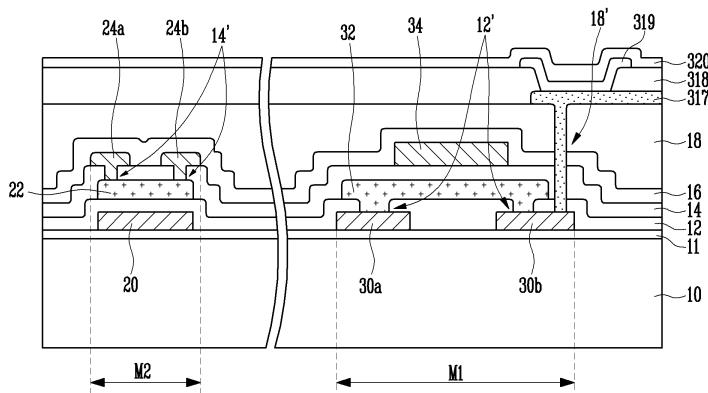
전체 청구항 수 : 총 15 항

#### (54) 유기 전계발광 표시장치 및 그 제조방법

#### (57) 요 약

본 발명은 유기 전계발광 표시장치에 구비되는 박막트랜지스터를 산화물 박막트랜지스터로 구현함에 있어, 하부 게이트 구조의 산화물 박막트랜지스터와 상부 게이트 구조의 산화물 박막트랜지스터를 동일한 공정을 통해 형성 함으로써, 하나의 공정으로 서로 다른 특성을 갖는 박막트랜지스터를 구현할 수 있도록 하는 유기 전계발광 표시장치 및 그 제조방법을 제공한다.

**대 표 도** - 도3



## 특허청구의 범위

### 청구항 1

기판 상에 형성된 제 1박막트랜지스터의 소스/ 드레인 전극 및 제 2박막트랜지스터의 게이트 전극과;

상기 제 1박막트랜지스터의 소스/ 드레인 전극 및 제 2박막트랜지스터의 게이트 전극 상에 형성된 제 1절연층과;

상기 제 1박막트랜지스터의 소스/ 드레인 전극과 중첩되는 영역에 형성된 제 1절연층의 일부가 제거되어 형성된 제 1비아홀과;

상기 제 1박막트랜지스터의 소스/ 드레인 전극과 중첩되는 제 1절연층 및 제 2박막트랜지스터의 게이트 전극과 중첩되는 제 1절연층 상에 각각 형성된 제 1, 2산화물 반도체층과;

상기 제 1, 2산화물 반도체층 상에 형성된 제 2절연층과;

상기 제 2산화물 반도체 상에 형성된 상기 제 2절연층의 일부가 제거되어 형성된 제 2비아홀과;

상기 제 1박막트랜지스터의 제 1산화물 반도체층과 중첩되는 제 2절연층 상에 형성된 게이트 전극과;

상기 제 2비아홀을 통해 상기 제 2산화물 반도체층과 접촉되도록 상기 제 2절연층 상에 형성된 소스/ 드레인 전극이 포함됨을 특징으로 하는 유기 전계발광 표시장치.

### 청구항 2

제 1항에 있어서,

상기 제 1산화물 반도체층은 상기 제 1비아홀을 통해 상기 제 1박막트랜지스터의 소스/ 드레인 전극과 접촉됨을 특징으로 하는 유기 전계발광 표시장치.

### 청구항 3

제 1항에 있어서,

상기 제 1박막트랜지스터는 상부 게이트 구조로 구현되고, 제 2박막트랜지스터는 하부 게이트 구조로 구현됨을 특징으로 하는 유기 전계발광 표시장치.

### 청구항 4

제 1항에 있어서,

상기 제 1절연층은 제 1박막트랜지스터의 게이트 절연층으로서, 질화 실리콘으로 형성됨을 특징으로 하는 유기 전계발광 표시장치.

### 청구항 5

제 1항에 있어서,

상기 제 2절연층은 제 2박막트랜지스터의 게이트 절연층으로서, 산화 실리콘으로 형성됨을 특징으로 하는 유기 전계발광 표시장치.

### 청구항 6

제 1항에 있어서,

상기 제 1박막트랜지스터의 게이트 전극, 제 2박막트랜지스터의 소스/ 드레인 전극의 상부에 순차적으로 형성된 보호층 및 평탄화막과;

상기 제 1박막트랜지스터의 소스 또는 드레인 전극이 노출되도록 보호층 및 평탄화막과, 상기 제 1, 2절연막의 일부 영역에 형성된 제 3비아홀과;

상기 제 3비아홀을 통해 상기 소스 또는 드레인 전극과 연결되는 유기발광소자의 제1전극과;

상기 제 1전극의 일부 영역이 노출되도록 상기 평탄화층 상에 형성된 화소 정의막과;

상기 노출된 제 1전극 상에 순차적으로 형성된 유기 박막층 및 유기발광소자의 제2전극이 더 포함됨을 특징으로 하는 유기 전계발광 표시장치.

### 청구항 7

제 6항에 있어서,

상기 제 1박막트랜지스터는 구동 소자이고, 제 2박막트랜지스터는 스위칭 소자임을 특징으로 하는 유기 전계발광 표시장치.

### 청구항 8

데이터선들, 주사선들의 교차부마다 위치되며, 복수의 박막트랜지스터 및 유기발광소자를 각각 포함하는 화소들과;

상기 주사선들로 주사신호를 공급하는 주사 구동부와;

상기 데이터선들로 데이터신호를 공급하는 데이터 구동부가 포함되며,

상기 각각의 화소는,

활성층이 산화물 반도체로 형성되고, 상부 게이트 구조로 구현되며, 상기 유기발광소자와 연결되는 제 1박막트랜지스터와;

활성층이 산화물 반도체로 형성되고, 하부 게이트 구조로 구현되며, 상기 주사선으로부터 주사신호를 인가받는 제 2박막트랜지스터를 포함하여 구성됨을 특징으로 하는 유기 전계발광 표시장치.

### 청구항 9

제 8항에 있어서,

상기 제 1박막트랜지스터의 게이트 절연층은 산화 실리콘막으로 구현됨을 특징으로 하는 유기 전계발광 표시장치.

### 청구항 10

제 8항에 있어서,

상기 제 2박막트랜지스터의 게이트 절연층은 질화 실리콘막으로 구현됨을 특징으로 하는 유기 전계발광 표시장치.

### 청구항 11

기판 상에 제 1박막트랜지스터의 소스/ 드레인 전극 및 제 2박막트랜지스터의 게이트 전극이 형성되는 단계와;

상기 제 1박막트랜지스터의 소스/ 드레인 전극 및 제 2박막트랜지스터의 게이트 전극 상에 제 1절연층이 형성되는 단계와;

상기 제 1박막트랜지스터의 소스/ 드레인 전극과 중첩되는 영역에 형성된 제 1절연층의 일부가 제거되어 제 1비아홀이 형성되는 단계와;

상기 제 1박막트랜지스터의 소스/ 드레인 전극과 중첩되는 제 1절연층 및 제 2박막트랜지스터의 게이트 전극과 중첩되는 제 1절연층 상에 각각 제 1, 2산화물 반도체층이 형성되는 단계와;

상기 제 1, 2산화물 반도체층 상에 제 2절연층이 형성되는 단계와;

상기 제 2산화물 반도체 상에 형성된 상기 제 2절연층의 일부가 제거되어 제 2비아홀이 형성되는 단계와;

상기 제 1박막트랜지스터의 제 1산화물 반도체층과 중첩되는 제 2절연층 상에 게이트 전극이 형성되는 단계와;

상기 제 2비아홀을 통해 상기 제 2산화물 반도체층과 접촉되도록 상기 제 2절연층 상에 소스/ 드레인 전극이 형성되는 단계가 포함됨을 특징으로 하는 유기 전계발광 표시장치의 제조방법.

**청구항 12**

제 11항에 있어서,

상기 제 1산화물 반도체층은 상기 제 1비아홀을 통해 상기 제 1박막트랜지스터의 소스/ 드레인 전극과 접촉됨을 특징으로 하는 유기 전계발광 표시장치의 제조방법.

**청구항 13**

제 11항에 있어서,

상기 제 1절연층은 제 1박막트랜지스터의 게이트 절연층으로서, 질화 실리콘으로 형성됨을 특징으로 하는 유기 전계발광 표시장치의 제조방법.

**청구항 14**

제 11항에 있어서,

상기 제 2절연층은 제 2박막트랜지스터의 게이트 절연층으로서, 산화 실리콘으로 형성됨을 특징으로 하는 유기 전계발광 표시장치의 제조방법.

**청구항 15**

제 11항에 있어서,

상기 제 1박막트랜지스터의 게이트 전극, 제 2박막트랜지스터의 소스/ 드레인 전극의 상부에 순차적으로 보호층 및 평탄화막이 형성되는 단계와;

상기 제 1박막트랜지스터의 소스 또는 드레인 전극이 노출되도록 보호층 및 평탄화막과, 상기 제 1, 2절연막의 일부 영역에 제 3비아홀이 형성되는 단계와;

상기 제 3비아홀을 통해 상기 소스 또는 드레인 전극과 연결되는 유기발광소자의 제1전극이 형성되는 단계와;

상기 제 1전극의 일부 영역이 노출되도록 상기 평탄화층 상에 화소 정의막이 형성되는 단계와;

상기 노출된 제 1전극 상에 유기 박막층 및 유기발광소자의 제2전극이 순차적으로 형성되는 단계가 더 포함됨을 특징으로 하는 유기 전계발광 표시장치의 제조방법.

**명세서****발명의 상세한 설명****기술 분야**

[0001]

본 발명은 유기 전계발광 표시장치에 관한 것으로, 특히 산화물 박막트랜지스터가 구비된 유기 전계발광 표시장치 및 그 제조방법에 관한 것이다.

**배경기술**

[0002]

유기 전계발광 표시장치는 자체발광 특성을 갖는 차세대 표시 장치로서, 액정표시장치(Liquid Crystal Display Device; LCD)에 비해 시야각, 콘트라스트(contrast), 응답 속도, 소비 전력 등의 측면에서 우수한 특성을 갖는다.

[0003]

유기전계발광 표시 장치는 애노드 전극, 유기 박막층 및 캐소드 전극으로 구성되는 유기전계발광 다이오드(diode)를 포함하며, 주사선(scan line)과 데이터선(signal line) 사이에 유기전계발광 다이오드가 매트릭스 방식으로 연결되어 화소를 구성하는 패시브 매트릭스(passive matrix) 방식과, 각 화소의 동작이 스위치 역할을 하는 박막 박막트랜지스터(Thin Film Transistor; TFT)에 의해 제어되는 액티브 매트릭스(active matrix) 방식으로 구성된다.

[0004]

일반적으로 액티브 매트릭스 방식에 사용되는 박막 박막트랜지스터는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 활성층과, 채널 영역 상부에 형성되며 게이트 절연막에 의해 활성층과 전기적으로 절연되는 게이트 전

극을 포함한다.

- [0005] 이와 같이 이루어진 박막 트랜지스터의 활성층은 대개 비정질 실리콘(Amorphous Silicon)이나 폴리 실리콘(Poly-Silicon)과 같은 반도체층으로 형성한다.
- [0006] 이 때, 상기 활성층을 비정질 실리콘으로 형성하면 이동도(mobility)가 낮아 고속으로 동작되는 구동 회로의 구현이 어렵다는 단점이 있다.
- [0007] 반면, 활성층을 폴리 실리콘으로 형성하면 이동도는 높지만 다결정성(polycrystalline nature)에 기인하여 문턱 전압(threshold voltage)이 불균일해지기 때문에 문턱전압과 이동도의 산포를 보상하기 위한 보상 회로가 필요하다. 이와 같이 활성층을 폴리 실리콘으로 형성하면 다수의 박막 트랜지스터와 캐패시터로 구성되는 복잡한 보상 회로가 포함되기 때문에 수율이 낮을 뿐만 아니라 평면(coplanar) 구조로 인해 비정질 실리콘의 경우보다 마스크 수가 증가하여 제조 비용이 많이 소요된다.
- [0008] 한편, 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 이용한 종래의 박막 트랜지스터 제조 방법은 레이저 열처리 등과 같은 고가의 공정이 포함되고 특성 제어가 어렵기 때문에 대면적의 기판에 적용이 어려운 문제점이 있다.
- [0009] 이러한 문제점을 해결하기 위해 최근에는 산화물 반도체를 활성층으로 이용하는 연구가 진행되고 있다.
- [0010] 일 예로 산화아연(ZnO)을 주성분으로 하는 산화물 반도체는 비정질 형태이면서 안정적인 재료로 평가되고 있으며, 이러한 산화물 반도체를 활성층으로 이용하면 별도의 공정 장비를 추가적으로 구입하지 않고도 기존의 공정 장비를 이용하여 350°C 이하의 저온에서 박막 트랜지스터를 제조할 수 있으며, 이온 주입 공정이 생략되는 등 여러 가지 장점이 있다.
- [0011] 그러나, 이와 같은 산화물 반도체를 활용한 박막 트랜지스터는 소자의 특성이 박막 트랜지스터의 구조에 따라 큰 차이가 발생되며, 이에 일반적으로 N타입 박막 트랜지스터로 한정되어 개발되고 있는 실정이다.
- [0012] 또한, 소자의 특성 및 균일도 등을 고려하여 하부 게이트(inverted staggered bottom gate) 구조의 박막 트랜지스터에 적용되고 있으나, 전계효과 이동도 특성이  $20\text{cm}^2/\text{Vs}$  수준으로 작다는 단점이 있으며, 이에 따라 상기 산화물 반도체를 활용한 박막 트랜지스터를 표시 패널에 적용하고자 할 경우 집적도 측면에서 기존의 비정질 실리콘(Amorphous Silicon)이나 폴리 실리콘(Poly-Silicon) 박막 트랜지스터에 비해 떨어진다.

## 발명의 내용

### 해결 하고자하는 과제

- [0013] 본 발명은 유기 전계발광 표시장치에 구비되는 박막 트랜지스터를 산화물 박막 트랜지스터로 구현함에 있어, 하부 게이트 구조의 산화물 박막 트랜지스터와 상부 게이트 구조의 산화물 박막 트랜지스터를 동일한 공정을 통해 형성함으로써, 하나의 공정으로 서로 다른 특성을 갖는 박막 트랜지스터를 구현할 수 있도록 하는 유기 전계발광 표시장치 및 그 제조방법을 제공함에 목적이 있다.

### 과제 해결수단

- [0014] 상기 목적을 달성하기 위한 본 발명의 실시예에 의한 유기 전계발광 표시장치는, 기판 상에 형성된 제 1박막 트랜지스터의 소스/ 드레인 전극 및 제 2박막 트랜지스터의 게이트 전극과; 상기 제 1박막 트랜지스터의 소스/ 드레인 전극 및 제 2박막 트랜지스터의 게이트 전극 상에 형성된 제 1절연층과; 상기 제 1박막 트랜지스터의 소스/ 드레인 전극과 중첩되는 영역에 형성된 제 1절연층의 일부가 제거되어 형성된 제 1비아홀과; 상기 제 1박막 트랜지스터의 소스/ 드레인 전극과 중첩되는 제 1절연층 및 제 2박막 트랜지스터의 게이트 전극과 중첩되는 제 1절연층 상에 각각 형성된 제 1, 2산화물 반도체층과; 상기 제 1, 2산화물 반도체층 상에 형성된 제 2절연층과; 상기 제 2산화물 반도체 상에 형성된 상기 제 2절연층의 일부가 제거되어 형성된 제 2비아홀과; 상기 제 1박막 트랜지스터의 제 1산화물 반도체층과 중첩되는 제 2절연층 상에 형성된 게이트 전극과; 상기 제 2비아홀을 통해 상기 제 2산화물 반도체층과 접촉되도록 상기 제 2절연층 상에 형성된 소스/ 드레인 전극이 포함됨을 특징으로 한다.

- [0015] 이 때, 상기 제 1산화물 반도체층은 상기 제 1비아홀을 통해 상기 제 1박막 트랜지스터의 소스/ 드레인 전극과 접촉된다.

- [0016] 또한, 상기 제 1박막 트랜지스터는 상부 게이트 구조로 구현되고, 제 2박막 트랜지스터는 하부 게이트 구조로 구

현되며, 상기 제 1절연층은 제 1박막트랜지스터의 게이트 절연층으로서, 질화 실리콘으로 형성되고, 상기 제 2절연층은 제 2박막트랜지스터의 게이트 절연층으로서, 산화 실리콘으로 형성된다.

[0017] 또한, 상기 제 1박막트랜지스터의 게이트 전극, 제 2박막트랜지스터의 소스/ 드레인 전극의 상부에 순차적으로 형성된 보호층 및 평탄화막과; 상기 제 1박막트랜지스터의 소스 또는 드레인 전극이 노출되도록 보호층 및 평탄화막과, 상기 제 1, 2절연막의 일부 영역에 형성된 제 3비아홀과; 상기 제 3비아홀을 통해 상기 소스 또는 드레인 전극과 연결되는 유기발광소자의 제1전극과; 상기 제 1전극의 일부 영역이 노출되도록 상기 평탄화층 상에 형성된 화소 정의막과; 상기 노출된 제 1전극 상에 순차적으로 형성된 유기 박막층 및 유기발광소자의 제2전극이 더 포함됨을 특징으로 한다.

[0018] 여기서, 상기 제 1박막트랜지스터는 구동 소자이고, 제 2박막트랜지스터는 스위칭 소자이다.

[0019] 또한, 본 발명의 다른 실시예에 의한 유기 전계발광 표시장치는, 데이터선들, 주사선들의 교차부마다 위치되며, 복수의 박막트랜지스터 및 유기발광소자를 각각 포함하는 화소들과; 상기 주사선들로 주사신호를 공급하는 주사 구동부와; 상기 데이터선들로 데이터신호를 공급하는 데이터 구동부가 포함되며, 상기 각각의 화소는, 활성층이 산화물 반도체로 형성되고, 상부 게이트 구조로 구현되며, 상기 유기발광소자와 연결되는 제 1박막트랜지스터와; 활성층이 산화물 반도체로 형성되고, 하부 게이트 구조로 구현되며, 상기 주사선으로부터 주사신호를 인가받는 제 2박막트랜지스터를 포함하여 구성됨을 특징으로 한다.

[0020] 또한, 상기 제 1박막트랜지스터의 게이트 절연층은 산화 실리콘막으로 구현되고, 상기 제 2박막트랜지스터의 게이트 절연층은 질화 실리콘막으로 구현됨을 특징으로 한다.

[0021] 또한, 본 발명의 또 다른 실시예에 의한 유기 전계발광 표시장치의 제조방법은, 기판 상에 제 1박막트랜지스터의 소스/ 드레인 전극 및 제 2박막트랜지스터의 게이트 전극이 형성되는 단계와; 상기 제 1박막트랜지스터의 소스/ 드레인 전극 및 제 2박막트랜지스터의 게이트 전극 상에 제 1절연층이 형성되는 단계와; 상기 제 1박막트랜지스터의 소스/ 드레인 전극과 중첩되는 영역에 형성된 제 1절연층의 일부가 제거되어 제 1비아홀이 형성되는 단계와; 상기 제 1박막트랜지스터의 소스/ 드레인 전극과 중첩되는 제 1절연층 및 제 2박막트랜지스터의 게이트 전극과 중첩되는 제 1절연층 상에 각각 제 1, 2산화물 반도체층이 형성되는 단계와; 상기 제 1, 2산화물 반도체층 상에 제 2절연층이 형성되는 단계와; 상기 제 2산화물 반도체 상에 형성된 상기 제 2절연층의 일부가 제거되어 제 2비아홀이 형성되는 단계와; 상기 제 1박막트랜지스터의 제 1산화물 반도체층과 중첩되는 제 2절연층 상에 게이트 전극이 형성되는 단계와; 상기 제 2비아홀을 통해 상기 제 2산화물 반도체층과 접촉되도록 상기 제 2절연층 상에 소스/ 드레인 전극이 형성되는 단계가 포함됨을 특징으로 하는 한다.

## 효과

[0022] 이와 같은 본 발명에 의하면, 하부 게이트 구조의 산화물 박막트랜지스터와 상부 게이트 구조의 산화물 박막트랜지스터를 동일한 공정을 통해 형성함으로써, 하나의 공정으로 서로 다른 특성을 갖는 박막트랜지스터를 구현할 수 있으며, 이를 통해 박막트랜지스터의 크기를 크게 변경하지 않고서도 원하는 박막트랜지스터의 특성을 구현할 수 있다는 장점이 있다.

## 발명의 실시를 위한 구체적인 내용

[0023] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

[0024] 도 1a 및 도 1b는 본 발명의 실시예에 의한 유기 전계발광 표시장치의 평면도 및 단면도이다.

[0025] 도 1a를 참조하면, 기판(210)은 화소 영역(220)과, 화소 영역(220)을 둘러싸는 비화소 영역(230)으로 정의된다. 화소 영역(220)의 기판(210)에는 주사선(224) 및 데이터선(226) 사이에 매트릭스 방식으로 연결된 다수의 화소(300)가 형성되고, 비화소 영역(230)의 기판(210)에는 화소 영역(220)의 주사선(224) 및 데이터선(226)으로부터 연장된 주사선(224) 및 데이터선(226), 각 화소(300)의 동작을 위한 전원공급 라인(도시안됨) 그리고 패드(228)를 통해 외부로부터 제공된 신호를 처리하여 주사선(224) 및 데이터선(226)으로 공급하는 주사 구동부(234) 및 데이터 구동부(236)가 형성된다. 이 때, 상기 각각의 화소(300)는 다수의 박막트랜지스터를 포함하는 화소회로와, 화소회로에 연결된 유기발광소자(OLED)로 구성된다.

[0026] 또한, 도 1b를 참조하면, 상기와 같이 화소(300)가 형성된 기판(210) 상부에는 화소 영역(220)을 밀봉시키기 위한 봉지 기판(400)이 배치되며, 밀봉재(410)에 의해 봉지 기판(400)이 기판(210)에 합착되어 표시 패널(200)이 완성된다.

- [0027] 이 때, 기판(210) 상에 형성된 다수의 화소(300) 및 주사 구동부(234), 데이터 구동부(236)는 각각 다수의 박막 트랜지스터를 포함하여 구성되는데, 이 때 상기 각 박막트랜지스터는 수행하는 역할에 따라 서로 다른 특성이 요구될 수 있다.
- [0028] 일 예로, 상기 화소에는 스위칭 소자로서의 역할을 하는 박막트랜지스터와, 구동 소자로서의 역할을 하는 박막 트랜지스터가 구비되는데, 여기서 스위칭 소자로서의 박막트랜지스터는 향상된 온-오프 특성이 요구되고, 구동 소자로서의 박막트랜지스터는 높은 신뢰성을 갖는 특성이 요구된다.
- [0029] 그러나, 종래의 경우 상기 박막트랜지스터들은 동일한 공정에서 동일한 구조로 형성되기 때문에 그 특성에 큰 차이가 없다.
- [0030] 이에 본 발명의 실시예에서는 유기 전계발광 표시장치에 구비되는 박막트랜지스터를 산화물 박막트랜지스터로 구현하고, 또한 하부 게이트 구조의 산화물 박막트랜지스터와 상부 게이트 구조의 산화물 박막트랜지스터를 동일한 공정을 통해 형성함으로써, 하나의 공정으로 서로 다른 특성을 갖는 박막트랜지스터를 구현할 수 있도록 함을 특징으로 한다.
- [0031] 도 2는 도 1에 도시된 화소의 일 실시예를 나타내는 회로도이다.
- [0032] 단, 도 2에 도시된 화소회로는 하나의 실시예로서 본 발명에 의한 유기 전계발광 표시장치의 화소회로가 이에 한정되는 것은 아니다.
- [0033] 도 2를 참조하면, 화소회로는 구동 박막트랜지스터로서의 제 1 박막트랜지스터(M1), 스위칭 박막트랜지스터로서의 제 2 박막트랜지스터(M2)와 캐패시터(Cst)를 포함하여 구성된다.
- [0034] 이 때, 제 1박막트랜지스터(M1) 및 제 2박막트랜지스터(M2)는 산화물 박막트랜지스터로 구현되며, 구동 소자로서의 제 1박막트랜지스터(M1)는 상부 게이트 구조로, 스위칭 소자로서의 제 2박막트랜지스터(M2)는 하부 게이트 구조로 구현된다. 단, 도 2에서는 상기 제 1, 2박막트랜지스터(M1, M2)가 N타입 박막트랜지스터로 도시되어 있으나, 본 발명의 실시예가 반드시 이에 한정되는 것은 아니다.
- [0035] 상기 제 1 및 제 2 박막트랜지스터(M1, M2)는 소스, 드레인 및 게이트 전극을 구비한다. 소스와 드레인은 물리적으로 동일하여 제 1 및 제 2 전극으로 칭할 수 있으며, 캐패시터(Cst)는 제 1 단자와 제 2 단자를 구비한다.
- [0036] 제 1 박막트랜지스터(M1)는 제 1전극은 유기발광소자(OLED)의 캐소드 전극에 연결되고, 제 2전극은 제 2전원(ELVSS)에 연결되며 게이트는 제 1 노드(N1)에 연결된다.
- [0037] 제 2 박막트랜지스터(M2)는 제 1전극은 데이터선(Dm)에 연결되고 제 2전극은 제 1 노드(N1)에 연결되며 게이트는 주사선(Sn)에 연결되어 주사선(Sn)을 통해 전달되는 주사신호에 의해 선택적으로 데이터선(Dm)에 흐르는 데 이터신호를 선택적으로 제 1 노드(N1)에 전달한다.
- [0038] 캐패시터(Cst)는 제 1 단자는 제 2 전원(ELVSS)에 연결되고 제 2 단자는 제 1 노드(N1)에 연결되어 제 1 박막트랜지스터(M1)의 게이트와 소스간의 전압을 일정시간 동안 유지하며, 이에 대응되는 전류가 상기 유기발광소자(OLED)가 흐르게 됨을 통해 발광되는 것이다.
- [0039] 본 발명은 상기 제 1박막트랜지스터(M1)을 산화물 반도체로 형성함에 있어 상부 게이트 구조로 구현하고, 게이트 전극과 산화물 반도체층 사이에 형성된 게이트 절연막이 산화 실리콘막(SiO<sub>2</sub>)으로 형성됨으로써, 신뢰성을 개선시켜 구동 소자로서 바람직한 특성을 갖도록 한다.
- [0040] 또한, 상기 제 2박막트랜지스터(M2)을 산화물 반도체로 형성함에 있어 하부 게이트 구조로 구현하고, 게이트 전극과 산화물 반도체층 사이에 형성된 게이트 절연막이 질화 실리콘막(SiNx)으로 형성됨으로써, 온-오프 특성을 개선시켜 구동 소자로서 바람직한 특성을 갖도록 한다.
- [0041] 또한, 상기 제 1 및 제 2박막트랜지스터가 동일한 공정을 통해 형성함으로써, 마스크 공정의 추가 없이 하나의 공정으로 서로 다른 특성을 갖는 박막트랜지스터를 구현할 수 있도록 한다.
- [0042] 도 3은 도 2에 도시된 제 1박막트랜지스터 및 이에 연결된 유기발광소자(OLED)와, 제 2박막트랜지스터의 단면도이다.

- [0043] 이 때, 제 1박막트랜지스터(M1)는 상부 게이트(top gate) 구조의 산화물 박막트랜지스터, 제 2박막트랜지스터(M2)는 하부 게이트(bottom gate) 구조의 산화물 박막트랜지스터를 그 예로 설명하도록 한다.
- [0044] 도 3을 참조하면, 기판(10) 상에 버퍼층(11)이 형성되고, 상기 버퍼층(11) 상에 각각 제 1박막트랜지스터(M1)의 소스 전극(30a) 및 드레인 전극(30b)과, 제 2박막트랜지스터(M2)의 게이트 전극(20)이 형성된다.
- [0045] 이후 상기 제 1박막트랜지스터(M1)의 소스 전극(30a) 및 드레인 전극(30b)과, 제 2박막트랜지스터(M2)의 게이트 전극(20) 상에 제 1절연층(12)이 형성되고, 상기 제 1박막트랜지스터(M1)의 소스/드레인 전극(30a, b)과 중첩되는 영역에 형성된 제 1절연층(12)의 일부는 식각 공정을 통해 제거되어 비아홀(12')이 형성된다.
- [0046] 또한, 상기 제 1박막트랜지스터(M1)의 소스/드레인 전극(30a, b)과 중첩되는 제 1절연층(12) 및 제 2박막트랜지스터(M2)의 게이트 전극(20)과 중첩되는 제 1절연층(12) 상에 각각 제 1, 2산화물 반도체층(32, 22)이 형성되며, 상기 제 1박막트랜지스터(M1)의 소스/드레인 전극(30a, b)은 상기 비아홀(12')을 통해 상기 제 1산화물 반도체층(32)과 전기적으로 접촉된다.
- [0047] 즉, 상기 제 2박막트랜지스터(M2) 영역에 형성된 제 1절연층(12)은 제 2박막트랜지스터의 게이트 절연층으로서의 역할을 하게 된다.
- [0048] 이 때, 상기 제 1절연층(12)은 질화 실리콘(SiNx)으로 형성됨을 특징으로 하며, 이와 같이 하부 게이트 구조로 구현되는 제 2박막트랜지스터(M2)의 게이트 절연층이 질화 실리콘으로 형성함을 통해 상기 제 2박막트랜지스터(M2)의 온-오프 특성을 향상시킬 수 있게 된다.
- [0049] 일반적으로 질화 실리콘막이 전기적으로 절연특성이 우수하여 Vbd(break down voltage)가 산화 실리콘막(SiO<sub>2</sub>)보다 우수하다. 따라서, 상기 질화 실리콘막을 하부 게이트 구조로 구현되는 제 2박막트랜지스터(M2)의 게이트 절연층으로 형성할 경우 온-오프 특성(Ion/off)이 향상될 수 있는 것이다. 이에 따라 상기 제 2박막트랜지스터는 스위칭 소자로 구현됨이 바람직하다.
- [0050] 또한, 상기 제 1, 2산화물 반도체층(32, 22)은 일 예로 산화아연(ZnO)을 주성분으로 하며, 갈륨(Ga) 및 인듐(In)이 도핑된 GaInZnO(GIZO)층으로 형성될 수 있다.
- [0051] 다음으로 상기 제 1, 2산화물 반도체층(32, 22) 상에 제 2절연층(14)이 형성되고, 상기 제 2박막트랜지스터(M2)의 소스/드레인 전극(24a, 24b)과 중첩될 제 2산화물 반도체(22) 상에 형성된 제 2절연층(14)의 일부는 식각 공정을 통해 제거되어 비아홀(14')이 형성된다.
- [0052] 이후, 상기 제 1박막트랜지스터(M1)의 제 1산화물 반도체층(32)과 중첩되는 제 2절연층(14) 상에 게이트 전극(34)이 형성되고, 상기 비아홀(14')을 통해 상기 제 2산화물 반도체층(22)과 접촉되도록 상기 제 2박막트랜지스터(M2)의 제 2절연층 상에 소스 전극(24a) 및 드레인 전극(24b)이 형성된다.
- [0053] 즉, 상기 제 1박막트랜지스터(M1) 영역에 형성된 제 2절연층(14)은 제 1박막트랜지스터(M1)의 게이트 절연층으로서의 역할을 하게 된다.
- [0054] 이 때, 상기 제 2절연층(14)은 산화 실리콘(SiO<sub>2</sub>)으로 형성됨을 특징으로 하며, 이와 같이 상부 게이트 구조로 구현되는 제 1박막트랜지스터(M1)의 게이트 절연층이 산화 실리콘으로 형성함을 통해 상기 제 1박막트랜지스터(M1)의 신뢰성 특성을 향상시킬 수 있게 된다.
- [0055] 일반적으로 산화 실리콘막은 질화 실리콘막에 비해 수소 함량이 적기 때문에 산화 실리콘막을 게이트 절연층으로 사용할 경우 신뢰성 특성이 개선된다. 따라서, 상기 산화 실리콘막을 상부 게이트 구조로 구현되는 제 1박막트랜지스터(M1)의 게이트 절연층으로 형성할 경우 신뢰성 특성이 향상되며, 이에 따라 상기 제 1박막트랜지스터는 구동 소자로 구현됨이 바람직하다.
- [0056] 다음으로 상기 제 1박막트랜지스터(M1)의 게이트 전극(34), 제 2박막트랜지스터(M2)의 소스/드레인 전극(24a, b)의 상부에는 보호층(16)이 형성되고, 상기 보호층(16) 상에는 표면 평탄화를 위해 평탄화막(18)이 형성된다.
- [0057] 또한, 상기 보호층(16) 및 평탄화막(18)과 제 1, 2절연막(12, 14)에는 제 1박막트랜지스터(M1)의 소스 또는 드레인 전극(30a 또는 30b)이 노출되도록 비아홀(18')이 형성되고, 비아홀(18')을 통해 상기 소스 또는 드레인 전극(30a 또는 30b)과 연결되는 유기발광소자의 제1전극(317)이 형성된다.
- [0058] 이 때, 상기 제 1전극(317)의 일부 영역(발광 영역)이 노출되도록 평탄화층(18) 상에 화소 정의막(318)이 형성

되며, 노출된 제 1전극(317) 상에 유기 박막층(319)이 형성되고, 유기 박막층(319)을 포함하는 화소 정의막(318) 상에 제 2전극(320)이 형성된다.

[0059] 도 4a 내지 도 4d는 도 3에 도시된 제 1박막트랜지스터 및 이에 연결된 유기발광소자(OLED)와, 제 2박막트랜지스터의 제조 공정을 설명하는 공정 단면도이다.

[0060] 먼저 도 4a를 참조하면, 기판(10) 상에 버퍼층(11)이 형성되고, 상기 버퍼층(11) 상에 각각 제 1박막트랜지스터(M1)의 소스 전극(30a) 및 드레인 전극(30b)과, 제 2박막트랜지스터(M2)의 게이트 전극(20)이 형성된다.

[0061] 이후 도 4b에 도시된 바와 같이 상기 제 1박막트랜지스터(M1)의 소스 전극(30a) 및 드레인 전극(30b)과, 제 2박막트랜지스터(M2)의 게이트 전극(20) 상에 제 1절연층(12)이 형성되고, 상기 제 1박막트랜지스터(M1)의 소스/드레인 전극(30a, b)과 중첩되는 영역에 형성된 제 1절연층(12)의 일부는 식각 공정을 통해 제거되어 비아홀(12')이 형성된다.

[0062] 또한, 상기 제 1박막트랜지스터(M1)의 소스/드레인 전극(30a, b)과 중첩되는 제 1절연층(12) 및 제 2박막트랜지스터(M2)의 게이트 전극(20)과 중첩되는 제 1절연층(12) 상에 각각 제 1, 2산화물 반도체층(32, 22)이 형성되며, 상기 제 1박막트랜지스터(M1)의 소스/드레인 전극(30a, b)은 상기 비아홀(12')을 통해 상기 제 1산화물 반도체층(32)과 전기적으로 접촉된다.

[0063] 즉, 상기 제 2박막트랜지스터(M2) 영역에 형성된 제 1절연층(12)은 제 2박막트랜지스터(M2)의 게이트 절연층으로서의 역할을 하게 된다.

[0064] 이 때, 상기 제 1절연층(12)은 질화 실리콘(SiNx)으로 형성됨을 특징으로 하며, 이와 같이 하부 게이트 구조로 구현되는 제 2박막트랜지스터(M2)의 게이트 절연층이 질화 실리콘으로 형성함을 통해 상기 제 2박막트랜지스터(M2)의 온-오프 특성을 향상시킬 수 있게 된다.

[0065] 일반적으로 질화 실리콘막이 전기적으로 절연특성이 우수하여 Vbd(break down voltage)가 산화 실리콘막(SiO<sub>2</sub>) 보다 우수하다. 따라서, 상기 질화 실리콘막을 하부 게이트 구조로 구현되는 제 2박막트랜지스터(M2)의 게이트 절연층으로 형성할 경우 온-오프 특성(Ion/off)이 향상될 수 있는 것이다. 이에 따라 상기 제 2박막트랜지스터(M2)는 스위칭 소자로 구현됨이 바람직하다.

[0066] 또한, 상기 제 1, 2산화물 반도체층(32, 22)은 일 예로 산화아연(ZnO)을 주성분으로 하며, 갈륨(Ga) 및 인듐(In)이 도핑된 GaInZnO(GIZO)층으로 형성될 수 있다.

[0067] 다음으로 도 4c를 참조하면, 상기 제 1, 2산화물 반도체층(32, 22) 상에 제 2절연층(14)이 형성되고, 상기 제 2박막트랜지스터(M2)의 소스/드레인 전극(24a, b)과 중첩될 제 2산화물 반도체(22) 상에 형성된 제 2절연층(14)의 일부는 식각 공정을 통해 제거되어 비아홀(14')이 형성된다.

[0068] 이후, 상기 제 1박막트랜지스터(M1)의 제 1산화물 반도체층(32)과 중첩되는 제 2절연층(14) 상에 게이트 전극(34)이 형성되고, 상기 비아홀(14')을 통해 상기 제 2산화물 반도체층(22)과 접촉되도록 상기 제 2박막트랜지스터(M2)의 제 2절연층(14) 상에 소스 전극(24a) 및 드레인 전극(24b)이 형성된다.

[0069] 즉, 상기 제 1박막트랜지스터(M1) 영역에 형성된 제 2절연층(14)은 제 1박막트랜지스터(M1)의 게이트 절연층으로서의 역할을 하게 된다.

[0070] 이 때, 상기 제 2절연층(14)은 산화 실리콘(SiO<sub>2</sub>)으로 형성됨을 특징으로 하며, 이와 같이 상부 게이트 구조로 구현되는 제 1박막트랜지스터(M1)의 게이트 절연층이 산화 실리콘으로 형성함을 통해 상기 제 1박막트랜지스터(M1)의 신뢰성 특성을 향상시킬 수 있게 된다.

[0071] 일반적으로 산화 실리콘막은 질화 실리콘막에 비해 수소 함량이 적기 때문에 산화 실리콘막을 게이트 절연층으로 사용할 경우 신뢰성 특성이 개선된다. 따라서, 상기 산화 실리콘막을 상부 게이트 구조로 구현되는 제 1박막트랜지스터(M1)의 게이트 절연층으로 형성할 경우 신뢰성 특성이 향상되며, 이에 따라 상기 제 1박막트랜지스터(M1)는 구동 소자로 구현됨이 바람직하다.

[0072] 다음으로 도 4d를 참조하면, 상기 제 1박막트랜지스터(M1)의 게이트 전극(34), 제 2박막트랜지스터(M2)의 소스/드레인 전극(24a, b)의 상부에는 보호층(16)이 형성되고, 상기 보호층(16) 상에는 표면 평탄화를 위해 평탄화막(18)이 형성된다.

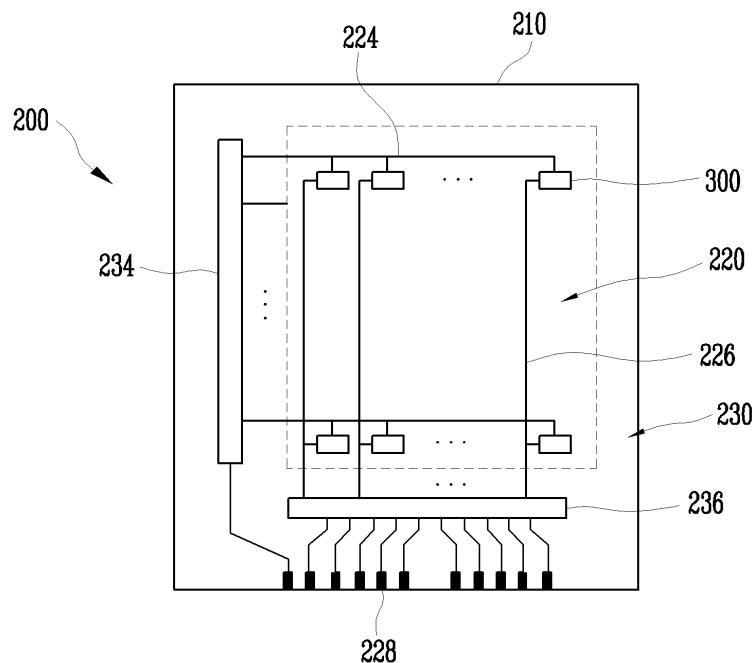
- [0073] 또한, 상기 보호층(16) 및 평탄화막(18)과 제 1, 2절연막(12, 14)에는 제 1박막트랜지스터(M1)의 소스 또는 드레인 전극(30a 또는 30b)이 노출되도록 비아홀(18')이 형성되고, 비아홀(18')을 통해 상기 소스 또는 드레인 전극(30a 또는 30b)과 연결되는 유기발광소자의 제1전극(317)이 형성된다.
- [0074] 이 때, 상기 제 1전극(317)의 일부 영역(발광 영역)이 노출되도록 평탄화층(18) 상에 화소 정의막(318)이 형성되며, 노출된 제 1전극(317) 상에 유기 박막층(319)이 형성되고, 유기 박막층(319)을 포함하는 화소 정의막(318) 상에 제 2전극(320)이 형성된다.
- [0075] 즉, 본 발명의 실시예에 의한 경우 상기 제 1박막트랜지스터(M1)을 산화물 반도체로 형성함에 있어 상부 게이트 구조로 구현하고, 게이트 전극(34)과 산화물 반도체층(32) 사이에 형성된 게이트 절연막(14)이 산화 실리콘막(SiO<sub>2</sub>)으로 형성됨으로써, 신뢰성을 개선시켜 구동 소자로서 바람직한 특성을 갖도록 하고, 상기 제 2박막트랜지스터(M2)를 산화물 반도체로 형성함에 있어 하부 게이트 구조로 구현하고, 게이트 전극(20)과 산화물 반도체층(22) 사이에 형성된 게이트 절연막(12)이 질화 실리콘막(SiNx)으로 형성됨으로써, 온-오프 특성을 개선시켜 구동 소자로서 바람직한 특성을 갖도록 한다.
- [0076] 또한, 상기 제 1 및 제 2박막트랜지스터가 동일한 공정을 통해 형성함으로써, 마스크 공정의 추가 없이 하나의 공정으로 서로 다른 특성을 갖는 박막트랜지스터를 구현할 수 있도록 함을 특징으로 한다.
- [0077] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

### 도면의 간단한 설명

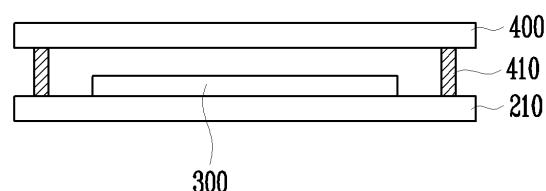
- [0078] 도 1a 및 도 1b는 본 발명의 실시예에 의한 유기 전계발광 표시장치의 평면도 및 단면도.
- [0079] 도 2는 도 1에 도시된 화소의 일 실시예를 나타내는 회로도.
- [0080] 도 3은 도 2에 도시된 제 1박막트랜지스터 및 이에 연결된 유기발광소자(OLED)와, 제 2박막트랜지스터의 단면도.
- [0081] 도 4a 내지 도 4d는 도 3에 도시된 제 1박막트랜지스터 및 이에 연결된 유기발광소자(OLED)와, 제 2박막트랜지스터의 제조 공정을 설명하는 공정 단면도.
- [0082] <도면의 주요 부분에 대한 부호의 설명>
- |   |                   |
|---|-------------------|
| [0083] 12: 제 1절연막                       | [0083] 14: 제 2절연막 |
| [0084] 20: 제 2박막트랜지스터의 게이트전극            |                   |
| [0085] 22: 제 2산화물 반도체층                  |                   |
| [0086] 24a, 24b: 제 2박막트랜지스터의 소스/ 드레인 전극 |                   |
| [0087] 30a, 20b: 제 1박막트랜지스터의 소스/드레인 전극  |                   |
| [0088] 32: 제 1산화물 반도체층                  |                   |
| [0089] 34: 제 1박막트랜지스터의 게이트 전극           |                   |

도면

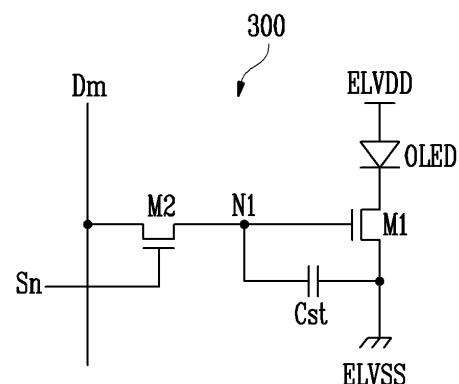
도면1a



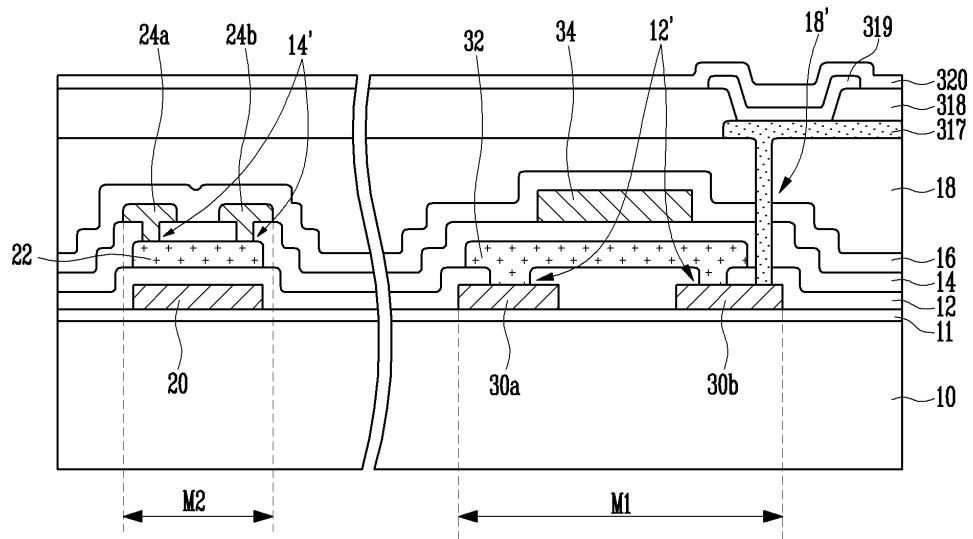
도면1b



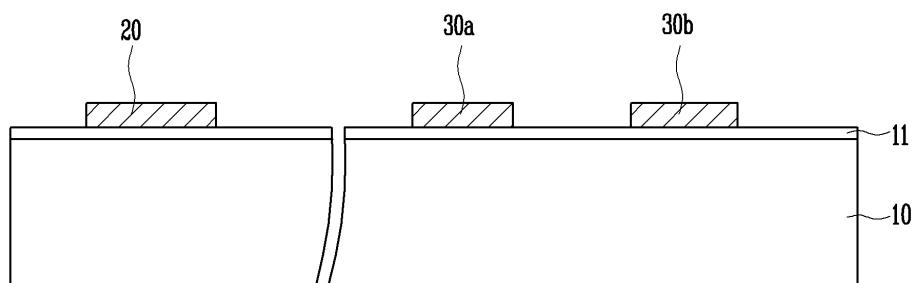
도면2



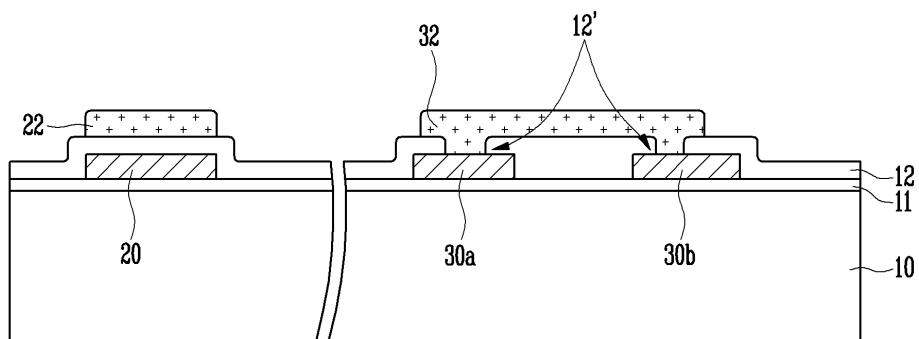
도면3



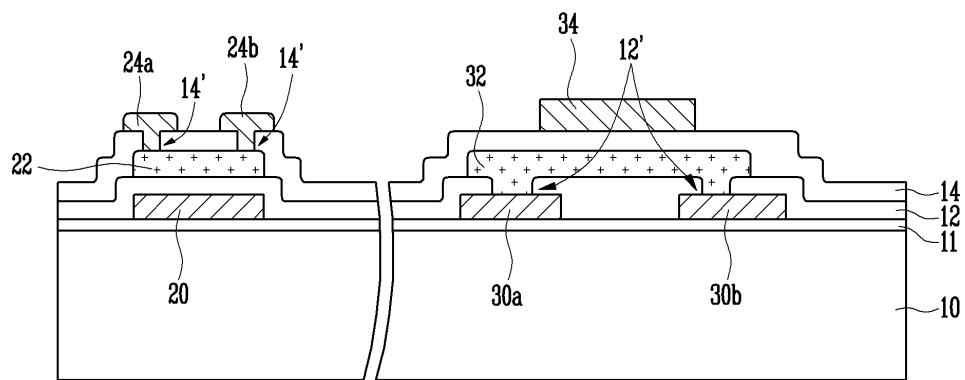
도면4a



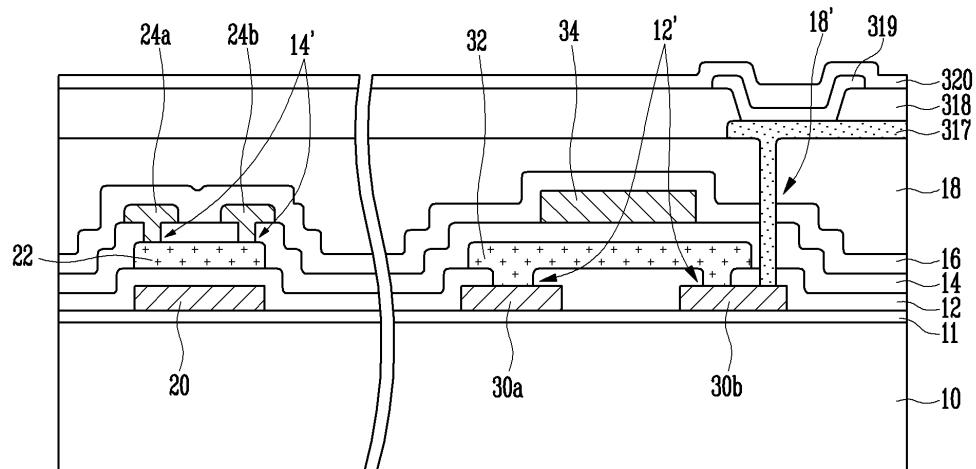
도면4b



도면4c



도면4d



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020110006812A</a>	公开(公告)日	2011-01-21
申请号	KR1020090064373	申请日	2009-07-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KINYENG KANG 강기녕 JAESEO B LEE 이재섭 DONGUN JIN 진동언		
发明人	강기녕 이재섭 진동언		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L27/1251 H01L27/1225 H01L27/12 H01L27/1214 H01L27/3262		
代理人(译)	Sinyoungmu		
其他公开文献	KR101073301B1		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

有机电致发光显示装置的氧化物薄膜晶体管由氧化物薄膜晶体管实现，下栅极结构的氧化物薄膜晶体管和上栅极结构的氧化物薄膜晶体管通过相同的工艺形成，一种能够实现具有不同特性的薄膜晶体管的有机发光显示装置及其制造方法。专利文献10-2011-0006812

