



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0052774
(43) 공개일자 2008년06월12일

(51) Int. Cl.

H05B 33/22 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2006-0124370

(22) 출원일자 2006년12월08일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

최준호

경기 용인시 기흥읍 보라리 현대모닝사이드1차아파트 317동1303호

이동기

경기 용인시 죽전1동 488번지 길훈2차아파트 205동 1004호

이정수

서울 관악구 봉천6동 1687-18 104호

(74) 대리인

조희원

전체 청구항 수 : 총 8 항

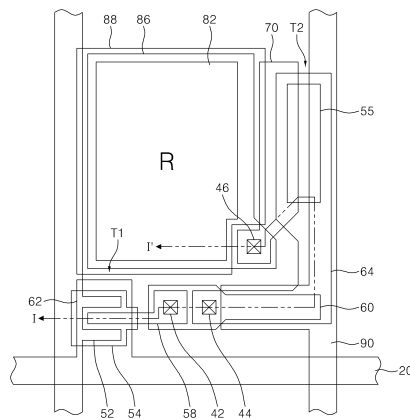
(54) 유기전계 발광표시장치 및 그 제조방법

(57) 요약

본 발명은 개구율을 높일 수 있는 유기전계 발광표시장치 및 그 제조방법에 관한 것이다.

본 발명에 따른 유기전계 발광표시장치의 제조방법은 기판 상에 스위치 박막트랜지스터 및 구동 박막트랜지스터를 형성하는 단계; 상기 스위치 박막트랜지스터의 드레인 전극과, 상기 구동 박막트랜지스터의 드레인 전극 및 게이트 전극을 노출시키는 제 1 내지 제 3 콘택홀을 가지는 평탄화층을 형성하는 단계; 상기 평탄화층 상에 투명전도막을 형성하는 단계; 상기 투명전도막 상에 소수성의 표면을 가지는 격벽을 형성하는 단계; 상기 격벽 상에 유기발광층을 형성하는 단계; 및 상기 유기발광층을 덮도록 제 2 전극을 형성하는 단계를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관 상에 스위치 박막트랜지스터 및 구동 박막트랜지스터를 형성하는 단계;

상기 스위치 박막트랜지스터의 드레인 전극과, 상기 구동 박막트랜지스터의 드레인 전극 및 게이트 전극을 노출시키는 제 1 내지 제 3 콘택홀을 가지는 평탄화층을 형성하는 단계;

상기 평탄화층 상에 투명전도막을 형성하는 단계;

상기 투명전도막 상에 소수성의 표면을 가지는 격벽을 형성하는 단계;

상기 격벽 상에 유기발광층을 형성하는 단계; 및

상기 유기발광층을 덮도록 제 2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

청구항 2

상기 제 1 항에 있어서,

소수성의 표면을 가지는 격벽을 형성하는 단계는

상기 투명전도막 상에 상기 제 1 전극을 덮도록 유기절연물질을 증착하는 단계;

상기 유기절연막을 포토리소그래피 공정 및 식각공정을 통해 상기 제 1 전극을 노출시키는 홀을 가지는 격벽을 형성하는 단계; 및

상기 격벽 상에 불소를 포함하는 플라즈마를 도포하는 단계를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

청구항 3

제 2 항에 있어서,

상기 불소를 포함하는 플라즈마는 CF_4 플라스마 또는 SF_6 플라스마 중 어느 하나인 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

청구항 4

제 1 항에 있어서,

상기 평탄화층 상에는 불소를 포함하는 플라즈마를 도포하는 단계를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

청구항 5

제 4 항에 있어서,

상기 불소를 포함하는 플라즈마는 CF_4 플라스마 또는 SF_6 플라스마 중 어느 하나인 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

청구항 6

스위치 박막트랜지스터 및 구동 박막트랜지스터;

상기 구동 박막트랜지스터 상에 형성되어 표면을 평탄하고 수분 및 불순물의 침투를 방지하도록 소수성을 표면을 가진 평탄화층;

상기 평탄화층 상에 형성되며 빛을 투과하는 제 1 전극;

상기 제 1 전극 상에 형성되어 각각의 화소영역을 정의하며 수분 및 불순물의 침투를 방지하도록 소수성의 표면

을 가진 격벽;

상기 격벽과 제 1 전극을 덮도록 형성되며 백색광을 출사시키는 유기발광층; 및

상기 유기발광층 전면 상에 형성되며 빛을 반사하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 7

제 6 항에 있어서,

상기 평탄화 및 상기 격벽의 표면에는 불소를 포함하는 플라즈마 처리가 된 것을 특징으로 하는 유기전계 발광표시장치.

청구항 8

제 7 항에 있어서,

상기 불소를 포함하는 플라즈마는 CF_4 플라즈마 또는 SF_6 플라즈마 중 어느 하나인 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 유기전계 발광표시장치 및 그 제조방법에 관한 것으로, 특히 개구율을 높일 수 있는 유기전계 발광표시장치 및 그 제조방법에 관한 것이다.
- <15> 다양한 정보를 화면으로 구현해주는 영상표시장치는 정보통신시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 유기전계 발광표시장치와 같은 평판표시장치가 각광받고 있다. 여기서 유기전계 발광표시장치는 전극사이의 얇은 발광층을 이용한 자발광 소자로 종이와 같이 박막화가 가능하다는 장점이 있다.
- <16> 유기전계 발광표시장치는 박막트랜지스터, 박막트랜지프터를 덮도록 형성된 유기발광층, 평탄화층 상에 형성되어 빛을 투과시키는 제 1 전극, 빛을 반사시키는 제 2 전극, 제 1 및 제 2 전극 사이에 여러 층의 유기물층이 적층하여 형성된 유기발광층으로 구비한다.
- <17> 여기서, 박막트랜지스터 기관의 평탄화를 위해 형성되는 평탄화층은 수분이나 유기물질 등의 불순물을 흡수하게 된다. 즉, 평탄화층은 유기발광층 증착공정시 유기물질이 스며들게 된다. 이에 따라, 발광영역에 불순물이 투과됨으로써 불순물에 의해 빛이 투과하지 못하여 발광영역이 감소됨과 아울러 표시패널의 수명이 단축된다.
- <18> 이를 방지하기 위한 방법으로는, 유기전계 발광표시장치 제조방법에서 유기 발광층이 형성되기 이전의 패널을 고온에서 베이킹하는 공정을 더 추가한다. 하지만, 이미 불순물이 평탄화층 내로 침투하였기 때문에 불순물에 의해 빛은 투과하지 못하여 발광영역이 감소되는 문제점을 해결되지 않고 있다.

발명이 이루고자 하는 기술적 과제

- <19> 따라서, 본 발명이 이루고자 하는 기술적 과제는 개구율을 높일 수 있는 유기전계 발광표시장치 및 그 제조방법에 관한 것이다.

발명의 구성 및 작용

- <20> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 유기전계 발광표시장치의 제조방법은 기관 상에 스위치 박막트랜지스터 및 구동 박막트랜지스터를 형성하는 단계; 상기 스위치 박막트랜지스터의 드레인 전극과, 상기 구동 박막트랜지스터의 드레인 전극 및 게이트 전극을 노출시키는 제 1 내지 제 3 컨택홀을 가지는 평탄화층을 형성하는 단계; 상기 평탄화층 상에 투명전도막을 형성하는 단계; 상기 투명전도막 상에 소수성의 표면을 가지

는 격벽을 형성하는 단계; 상기 격벽 상에 유기발광층을 형성하는 단계; 및 상기 유기발광층을 덮도록 제 2 전극을 형성하는 단계를 포함한다.

- <21> 소수성의 표면을 가지는 격벽을 형성하는 단계는 상기 투명전도막 상에 상기 제 1 전극을 덮도록 유기절연물질을 증착하는 단계; 상기 유기절연막을 포토리소그래피 공정 및 식각공정을 통해 상기 제 1 전극을 노출시키는 홀을 가지는 격벽을 형성하는 단계; 및 상기 격벽 상에 불소를 포함하는 플라즈마를 도포하는 단계를 포함한다.
- <22> 상기 불소를 포함하는 플라즈마는 CF_4 플라즈마 또는 SF_6 플라즈마 중 어느 하나이다.
- <23> 상기 평탄화층 상에는 불소를 포함하는 플라즈마를 도포하는 단계를 더 포함한다.
- <24> 상기 불소를 포함하는 플라즈마는 CF_4 플라즈마 또는 SF_6 플라즈마 중 어느 하나이다.
- <25> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 유기전계 발광표시장치는 스위치 박막트랜지스터 및 구동 박막트랜지스터; 상기 구동 박막트랜지스터 상에 형성되어 표면을 평탄하고 수분 및 불순물의 침투를 방지하도록 소수성을 표면을 가진 평탄화층; 상기 평탄화층 상에 형성되며 빛을 투과하는 제 1 전극; 상기 제 1 전극 상에 형성되어 각각의 화소영역을 정의하며 수분 및 불순물의 침투를 방지하도록 소수성의 표면을 가진 격벽; 상기 격벽과 제 1 전극을 덮도록 형성되며 백색광을 출사시키는 유기발광층; 및 상기 유기발광층 전면 상에 형성되며 빛을 반사하는 제 2 전극을 포함한다.
- <26> 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 이점들은 첨부도면을 참조하여 본 발명의 바람직한 실시예에 대한 설명을 통해 명백하게 드러나게 될 것이다.
- <27> 이하, 본 발명의 바람직한 실시예를 도 1 내지 도 3i를 참조하여 상세히 설명하기로 한다.
- <28> 도 1은 본 발명에 따른 유기발광층 증착용 마스크를 이용하여 형성된 유기전계 발광표시장치를 나타내는 평면도이고, 도 2는 도 1에서 선 "I-I'"를 따라 절취한 유기전계 발광표시장치를 나타내는 단면도이다.
- <29> 본 발명에 따른 유기전계 발광표시장치는 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 화소가 하나의 화소를 이룬다. 각각의 화소는 2*2 행렬의 형태로 배열되어 기본 화소 단위를 이루며, 기본 화소 단위가 행 방향 및 열 방향으로 반복되어 배치되어 있다. 이때, 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 픽셀은 컬러필터의 색상을 제외하고는 동일한 구조를 가진다. 따라서, 본 발명에서는 적색(R) 서브 픽셀 구조만을 설명한다.
- <30> 도 1 및 도 2를 참조하면, 본 발명에 따른 유기전계 발광표시장치는 절연기판(10) 상에 형성된 게이트 라인(20)과, 게이트 라인(20)과 교차하는 데이터 라인(30)과, 게이트 라인(20)과 교차하고 데이터 라인(30)과 나란하게 형성되어 서브 화소 영역을 마련하는 전원 라인(90)과, 게이트 라인(20) 및 데이터 라인(30)과 접속된 스위치 박막트랜지스터(T1)와, 스위치 박막트랜지스터(T1) 및 전원 라인(90)과 유기전계 발광 셀의 제 2 전극(87) 사이에 접속된 구동 박막 트랜지스터(T2)와, 전원 라인(90)과 스위치 박막트랜지스터(T1)의 제 1 드레인 전극(58) 사이에 접속된 스토리지 캐패시터(C)와, 유기전계 발광 셀과 중첩되는 컬러필터(88)를 포함한다.
- <31> 게이트 라인(20)은 스위치 박막 트랜지스터(T1)에 스캔 신호를 공급하며, 데이터 라인(30)은 스위치 박막 트랜지스터(T1)에 데이터 신호를 공급하며, 전원 라인(90)은 구동 박막 트랜지스터(T2)에 전원 신호를 공급한다.
- <32> 스위치 박막 트랜지스터(T1)는 게이트 라인(20)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(30)에 공급된 데이터 신호를 스토리지 캐패시터 및 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(64)으로 공급한다. 이를 위해, 스위치 박막 트랜지스터(T1)는 게이트 라인(20)과 접속된 제 1 게이트 전극(62), 데이터 라인(30)과 접속된 제 1 소스전극(52), 제 1 소스전극(52)과 마주하며 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(64) 및 스토리지 캐패시터와 접속된 제 1 드레인 전극(58), 제 1 소스전극(52) 및 제 1 드레인 전극(58) 사이에 채널부를 형성하는 제 1 반도체 패턴(54)을 구비한다. 여기서, 제 1 반도체 패턴(54)은 게이트 절연막(12)을 사이에 두고 제 1 게이트 전극(62)과 중첩되는 제 1 활성층(54a), 제 1 소스전극(52) 및 제 1 드레인 전극(58)과의 오믹 접촉을 위하여 채널부를 제외한 제 1 활성층(54a) 위에 형성된 제 1 오믹 접촉층(54b)을 구비한다.
- <33> 구동 박막 트랜지스터(T2)는 제 2 게이트 전극(64)으로 공급되는 데이터 신호에 응답하여 전원 라인(90)으로부터 유기전계 발광 셀로 공급되는 전류를 제어함으로써 유기전계 발광 셀의 발광량을 조절하게 된다. 이를 위해, 구동 박막 트랜지스터(T2)는 스위치 박막트랜지스터(T1)의 제 1 드레인 전극(58)과 연결 전극(60)을 통해 접속된 제 2 게이트 전극(64), 전원 라인(90)과 접속된 제 2 소스전극(53), 제 2 소스전극(53)과 마주하며 유기전계 발광 셀의 제 1 전극(86)과 접속된 제 2 드레인 전극(70), 제 2 소스 및 제 2 드레인 전극(53,70) 사이에 채널부를 형성하는 제 2 반도체 패턴(55)을 구비한다. 여기서, 연결 전극(60)은 평탄화층(16) 위에 제 1 전극

(86)과 동일 재질로 형성된다. 연결 전극(60)은 제 1 컨택홀(42)을 통해 노출된 스위치 박막트랜지스터(T1)의 제 1 드레인 전극(58)과, 제 2 컨택홀(44)을 통해 노출된 구동 박막트랜지스터(T2)의 제 2 게이트 전극(64)을 연결시킨다. 제 1 컨택홀(42)은 보호막(14) 및 평탄화층(16)을 관통하여 제 1 드레인 전극(58)을 노출시키며, 제 2 컨택홀(44)은 게이트 절연막(12), 보호막(14) 및 평탄화층(16)을 관통하여 제 2 게이트 전극(64)을 노출시킨다. 제 2 반도체 패턴(55)은 게이트 절연막(12)을 사이에 두고 제 2 게이트 전극(64)과 중첩되는 제 2 활성층(55a), 제 2 소스전극(53) 및 제 2 드레인 전극(70)과의 오믹 접촉을 위하여 채널부를 제외한 제 2 활성층(55a) 위에 형성된 제 2 오믹 접촉층(55b)을 포함한다.

<34> 스토리지 캐패시터(C)는 전원 라인(90)과 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(64)이 게이트 절연막(12)을 사이에 두고 중첩됨으로써 형성된다. 이러한 스토리지 캐패시터(C)에 충전된 전압에 의해 스위치 박막 트랜지스터(T1)가 턴-오프되더라도 구동 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 유기전계 발광 셀이 발광을 유지하게 한다.

<35> 제 2 전극(87)은 서브 화소 단위로 형성된 유기발광층(82)을 사이에 두고 제 1 전극(86)과 마주하게 된다. 제 1 전극(86)은 평탄화층(16) 위에서 컬러필터(88)와 중첩되도록 각 서브 화소 영역에 독립적으로 형성된다. 그리고, 제 1 전극(86)은 보호막(14) 및 평탄화층(16)을 각각 관통하는 제 3 컨택홀(46)을 통해 노출된 구동 박막 트랜지스터의 제 2 드레인 전극(70)과 접속된다.

<36> 컬러필터(88)는 보호막(14) 위에 백색광을 생성하는 유기발광층(82)과 중첩되게 형성된다. 이에 따라, 컬러필터(88)는 유기발광층(82)으로부터 생성된 백색광을 이용하여 적색, 녹색 및 청색을 구현한다. 컬러필터(88)에서 생성된 적색, 녹색 및 청색광은 절연기관(10)을 통해 외부로 방출된다.

<37> 평탄화층(16)은 스위치 박막트랜지스터(T1), 구동 박막트랜지스터(T2) 및 컬러필터(88)가 형성된 절연기관(10)의 평탄화를 위해 형성된다. 평탄화층(16)은 스위치 박막트랜지스터(T1) 및 구동 박막트랜지스터(T2)의 드레인 전극(58, 70)을 노출시키는 제 1 및 제 3 컨택홀(42, 46)과, 제 2 게이트 전극(64)을 노출시키는 제 2 컨택홀(44)을 가진다. 격벽(18)을 통해 노출된 평탄화층(16)의 표면은 불소를 포함하는 플라스마에 의해서 유기발광층(82)에 대해 소수성을 가진다. 이에 따라, 평탄화층(16)은 유기발광층(82)으로부터 유출되는 수분 및 불순물이 침투되는 것을 방지하여, 수분 및 불순물에 의해 빛이 투과하지 못하는 현상을 막을 수 있다. 여기서, 불소를 포함하는 플라스마는 CF₄ 플라스마 또는 SF₆ 플라스마 중 어느 하나를 이용하는 것이 바람직하다. 평탄화층(16)으로는 아크릴계의 유기물질로 이용된다.

<38> 격벽(18)은 각 화소 영역의 제 1 전극(86)을 노출시키는 홀(19)을 가지도록 형성된다. 격벽의 표면(18)은 불소를 포함하는 플라스마에 의해 유기발광층(82)에 대해 소수성을 가진다. 이에 따라, 격벽(18)은 유기발광층(82)으로부터 유출되는 수분 및 불순물이 침투되는 것을 방지하여 수분 및 불순물에 의해 빛이 투과하지 못하는 현상을 막을 수 있다. 여기서, 불소를 포함하는 플라스마는 평탄화층(16)에 형성된 것과 동일한 재질이다. 이러한 격벽(18)으로는 아크릴계의 유기물질이 이용된다.

<39> 유기전계 발광 셀은 평탄화층(16) 위에 형성된 투명 도전 물질의 제 1 전극(86)과, 제 1 전극(86)과 격벽(18) 위에 형성된 발광층을 포함하는 유기발광층(82)과, 유기발광층(82) 위에 형성된 제 2 전극(87)으로 구성된다. 유기발광층(82)은 제 1 전극(86) 및 격벽(18) 위에 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층으로 구성된다. 여기서, 발광층은 적색(R), 녹색(G) 및 청색(B)을 각각 구현하는 발광층들이 순차적으로 적층되어 3층 구조로 형성되거나 보색 관계를 가지는 발광층들이 적층되어 2층 구조로 형성되거나 백색을 구현하는 발광층으로 이루어진 단층 구조로 형성된다. 이에 따라, 유기발광층(82)에 포함된 발광층은 제 1 전극(86)에 공급된 전류량에 따라 발광하여 제 1 전극(86)을 경유하여 컬러필터(88)쪽으로 백색광을 방출하게 된다.

<40> 도 3a 및 도 3b는 본 발명에 따른 유기전계 발광표시장치의 제조방법을 나타내는 단면도들이다.

<41> 도 3a를 참조하면, 절연기관(10) 위에 게이트 라인(20), 제 1 및 제 2 게이트 전극(62, 64)을 포함하는 게이트 금속 패턴이 형성된다.

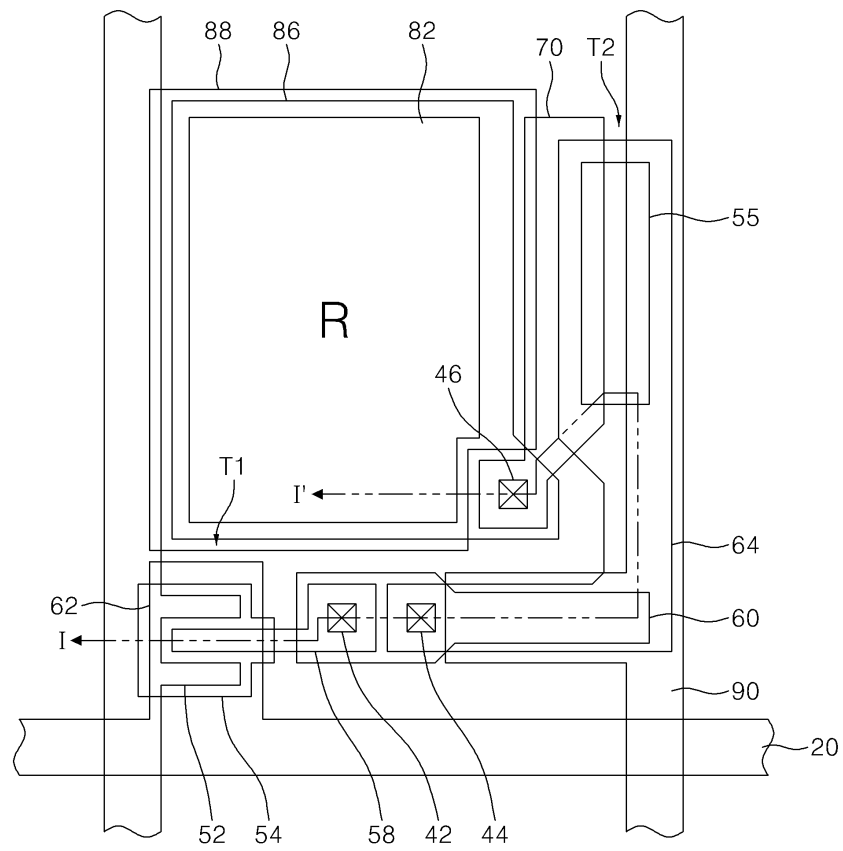
<42> 게이트 금속 패턴은 절연기관(10) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층을 형성한 후 포토리소그래피공정과 식각 공정으로 패터닝함으로써 형성된다.

<43> 도 3b를 참조하면, 게이트 금속 패턴이 형성된 절연기관(10) 상에 게이트 절연막(12)과, 활성층(54a, 55a) 및 오믹 접촉층(54b, 55b)을 각각 포함하는 제 1 및 제 2 반도체 패턴(54, 55)이 형성된다.

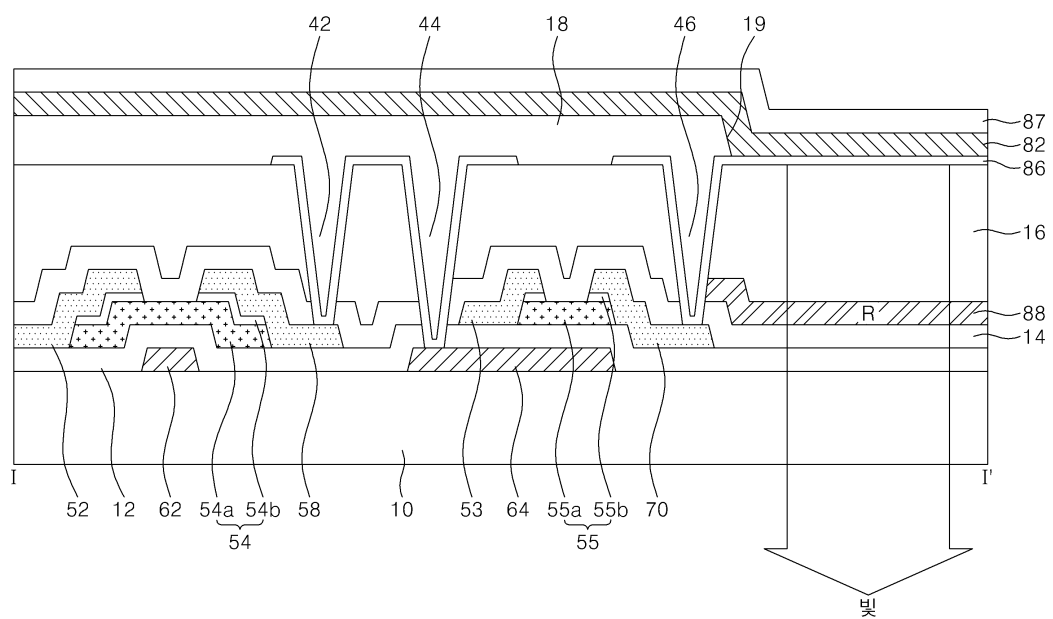
- <44> 게이트 절연막(12)은 게이트 금속 패턴이 형성된 절연기판(10) 상에 PECVD 등의 증착 방법으로 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등과 같은 무기 절연 물질이 전면 증착됨으로써 형성된다. 제 1 및 제 2 반도체 패턴(54,55)은 아모퍼스 실리콘층과 n+ 아모퍼스 실리콘층을 형성한 후 포토리소그래피 공정과 다수의 식각 공정을 통해 패터닝함으로써 형성된다.
- <45> 도 3c를 참조하면, 반도체 패턴(54,55)이 형성된 절연기판(10) 상에 데이터 라인(30), 제 1 및 제 2 소스 전극(52,53), 제 1 및 제 2 드레인 전극(58,70)을 포함하는 소스/드레인 금속 패턴이 형성된다.
- <46> 소스/드레인 금속 패턴은 반도체 패턴(54,55)이 형성된 절연기판(10)상에 스퍼터링 등의 증착방법으로 소스/드레인 금속층을 형성한 후 포토리소그래피 공정과 식각 공정을 통해 패터닝함으로써 형성된다. 이 후, 제 1 및 제 2 소스 전극(52,53)과 제 1 및 제 2 드레인 전극(58,70)을 마스크로 하여 그 사이로 노출된 제 1 및 제 2 오믹 접촉층(54b, 55b)을 제거하여 채널부의 제 1 및 제 2 활성층(54a,55a)을 노출시킨다.
- <47> 도 3d를 참조하면, 소스/드레인 금속 패턴이 형성된 절연기판(10) 상에 보호막(14)과, 그 보호막(14) 위에 적색(R)컬러 필터가 형성된다.
- <48> 보호막(14)은 소스/드레인 금속 패턴이 형성된 절연기판(10) 상에 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등과 같은 무기 절연 물질 또는 아크릴 수지 등과 같은 유기 절연 물질이 적층됨으로써 형성된다. 적색(R) 컬러 필터는 보호막(14)이 형성된 절연기판(10) 상에 적색 안료가 적층된 후 포토리소그래피공정을 통해 패터닝됨으로써 형성된다.
- <49> 도 3e를 참조하면, 보호막(14) 및 컬러 필터가 형성된 절연기판(10) 상에 제 1 내지 제 3 콘택홀(42,44,46)을 포함하는 평탄화층(16)이 형성된다.
- <50> 평탄화층(16)은 보호막(14) 및 컬러 필터가 형성된 절연기판(10) 상에 스핀 코팅(Spin Coating) 또는 스핀리스 코팅(Spinless Coating) 등의 방법으로 형성된다. 제 1 내지 제 3 콘택홀(42,44,46)은 게이트 절연막, 보호막(14) 중 적어도 두 층이 선택적으로 포토리소그래피공정과 식각공정으로 패터닝됨으로써 형성된다. 제 1 콘택홀(42)은 보호막(14) 및 평탄화층(16)을 관통하여 스위칭 박막트랜지스터(T1)의 제 1 드레인 전극(58)을 노출시키며, 제 2 콘택홀(44)은 게이트 절연막(12), 보호막(14) 및 평탄화층(16)을 관통하여 구동 박막트랜지스터(T2)의 제 2 게이트 전극(64)을 노출시키며, 제 3 콘택홀(46)은 보호막(14) 및 평탄화층(16)을 관통하여 구동 박막트랜지스터(T2)의 제 2 드레인 전극(70)을 노출시킨다. 이러한 평탄화층(16)에는 불소를 포함하는 플라즈마에 의해 표면처리된다. 여기서, 불소를 포함하는 플라즈마는 CF_4 플라스마 또는 SF_6 플라스마 중 어느 하나를 이용하는 것이 바람직하다.
- <51> 도 3f를 참조하면, 평탄화층(16)이 형성된 절연기판(10) 상에 연결 전극(90) 및 제 1 전극(86)을 포함하는 투명 도전 패턴이 형성된다.
- <52> 투명 도전 패턴은 평탄화층(16)이 형성된 절연기판(10) 상에 스퍼터링 등의 증착방법으로 투명 도전막을 형성한 후 포토리소그래피 공정과 식각 공정을 통해 패터닝함으로써 형성된다. 투명 도전막으로는 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO 등이 이용된다.
- <53> 도 3g를 참조하면, 투명 도전 패턴이 형성된 절연기판(10) 상에 격벽(18)이 형성된다.
- <54> 격벽(18)은 투명 도전 패턴이 형성된 평탄화층(16) 위에 유기 절연물질을 도포하여 포토리소그래피 공정 및 식각 공정을 통해 형성된다. 이때, 격벽은 불소를 포함하는 플라즈마에 의해 표면처리된다. 여기서, 불소를 포함하는 플라즈마는 CF_4 플라스마 또는 SF_6 플라스마 중 어느 하나를 이용하는 것이 바람직하다.
- <55> 도 3h를 참조하면, 격벽(18)이 형성된 절연기판(10) 상에 유기발광층(82)이 형성된다.
- <56> 유기발광층(82)은 챔버 내에서 증착공정을 통해 형성된다. 유기발광층(82)에 포함된 발광층은 적색(R), 녹색(G) 및 청색(B)을 각각 구현하는 발광층들이 순차적으로 적층되어 3층 구조로 형성되거나 보색 관계를 가지는 발광층들이 적층되어 2층 구조로 형성되거나 백색을 구현하는 발광층으로 이루어진 단층 구조로 형성된다.
- <57> 도 3i를 참조하면, 유기발광층(82)이 형성된 절연기판(10) 상에 제 2 전극(86)이 형성된다.
- <58> 구체적으로, 제 2 전극(86))은 유기발광층(82)이 형성된 절연기판(10) 상에 증착됨으로써 형성된다. 이러한 제 2 전극(86))은 Al, Mg, Ag, Ca 또는 MgAg 등과 같은 반사율이 높은 금속으로 형성된다.
- <59> 한편, 본 발명에 따른 유기전계 발광표시장치는 제 1 전극을 노출하는 홀을 가지는 격벽의 표면에 불소를 포함

도면

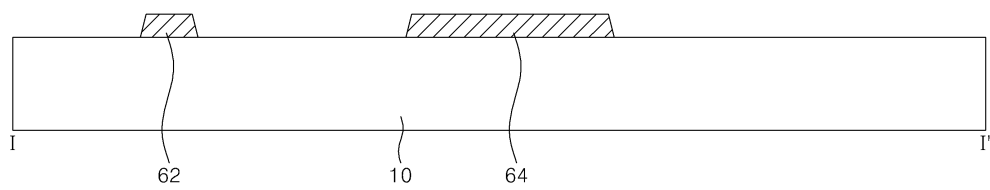
도면1



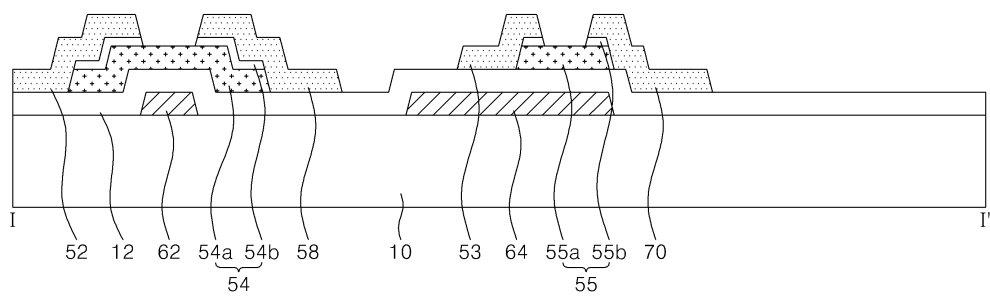
도면2



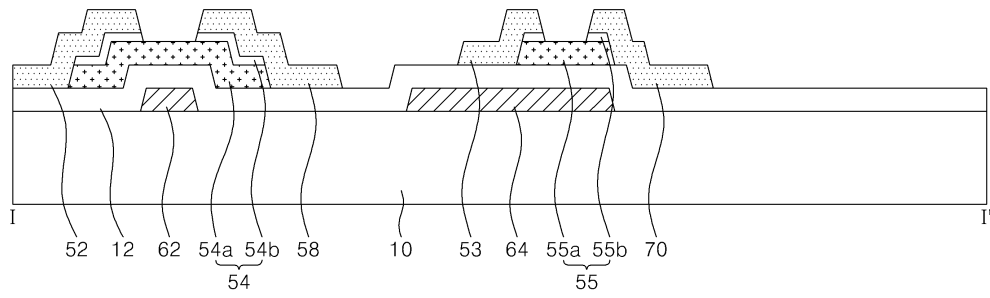
도면3a



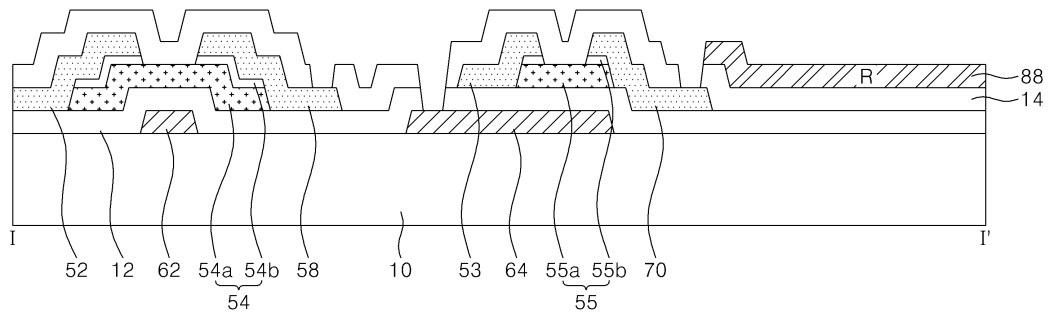
도면3b



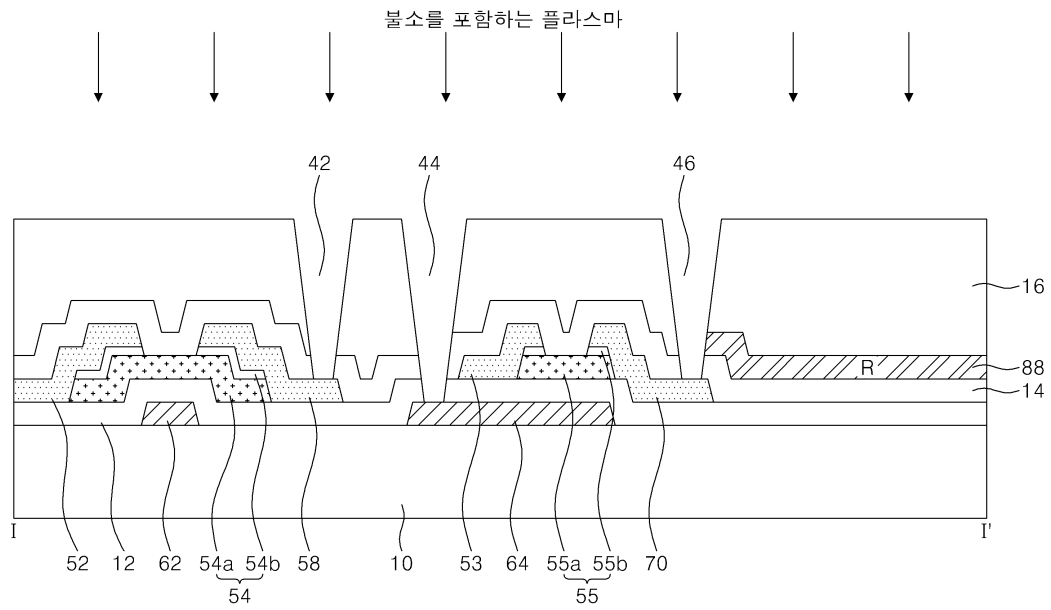
도면3c



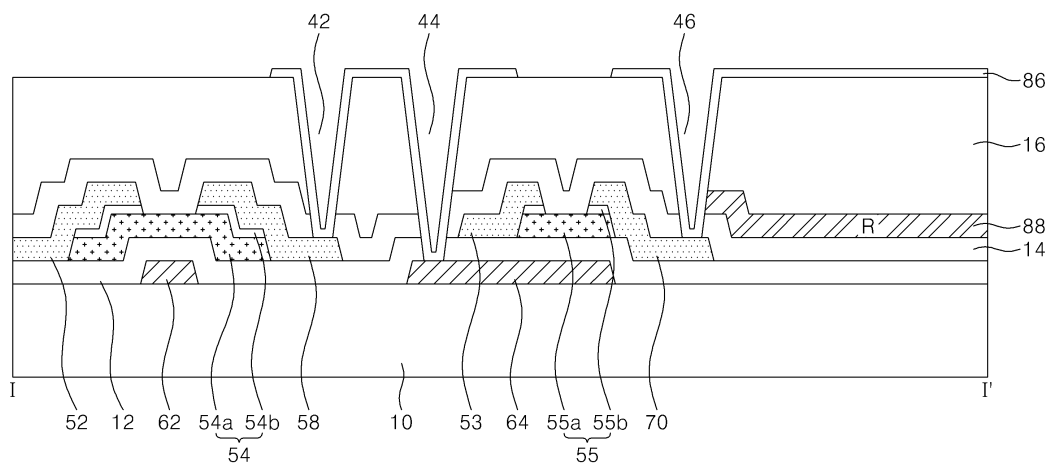
도면3d



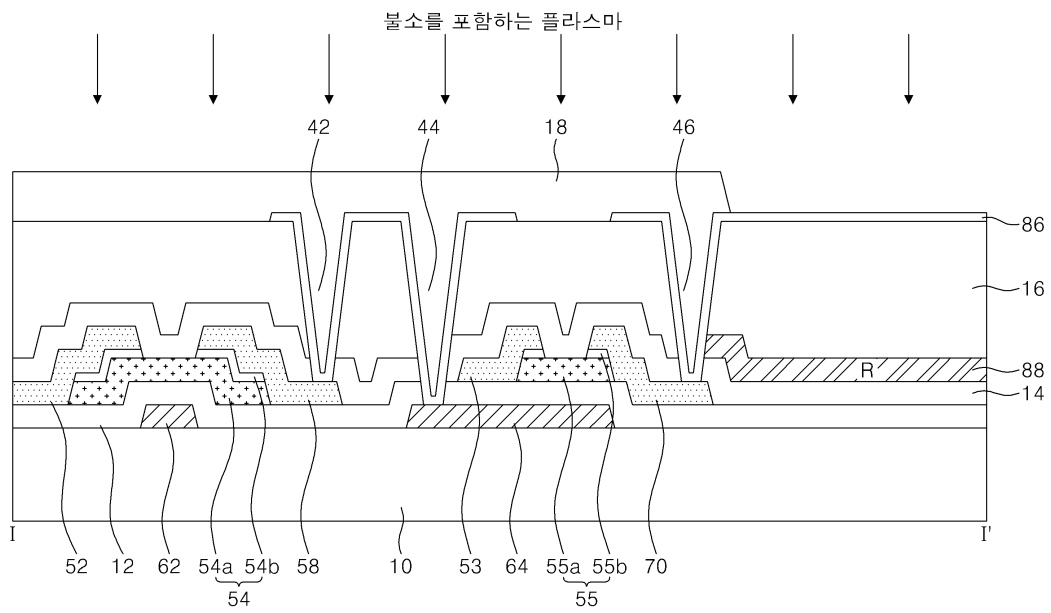
도면3e



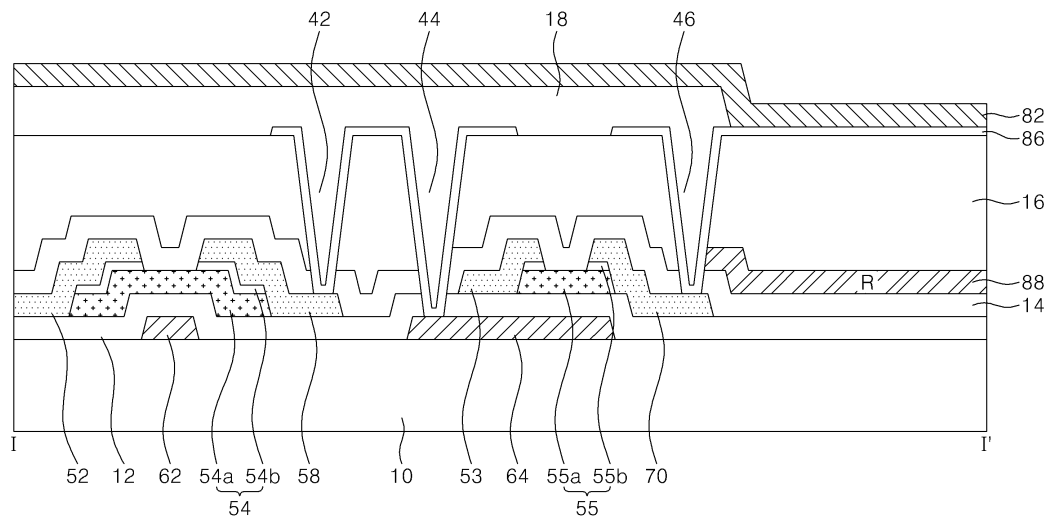
도면3f



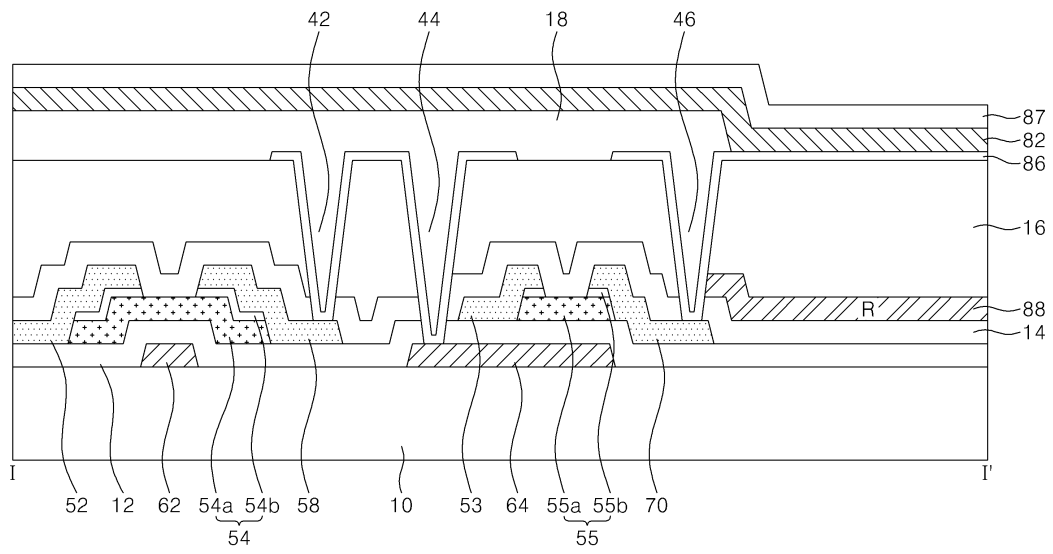
도면3g



도면3h



도면3i



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080052774A	公开(公告)日	2008-06-12
申请号	KR1020060124370	申请日	2006-12-08
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHOI JUN HO 최준호 LEE DONG KI 이동기 RHEE JUNG SOO 이정수		
发明人	최준호 이동기 이정수		
IPC分类号	H05B33/22 H05B33/10		
CPC分类号	H01L51/5237 G09G2300/0426 G09G2300/0465 H01L27/3258 H01L27/3262 H01L51/56		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

本发明涉及增加开口率的有机电致发光显示装置及其制造方法。根据本发明的有机电致发光显示装置的制造方法包括在基板上形成开关薄膜晶体管和驱动薄膜晶体管的步骤;形成平坦化层的步骤具有暴露开关薄膜晶体管的漏极的第一至第三接触孔, 以及驱动薄膜晶体管的漏极和栅极;在台阶上形成有机发光层的步骤: 分隔壁形成在平坦化层上形成透明导电膜的步骤: 在透明导电膜上具有疏水性表面的分隔壁;以及形成第二电极的步骤, 覆盖有机发光层。

