



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0001748
(43) 공개일자 2008년01월04일

(51) Int. Cl.

H05B 33/22 (2006.01)

(21) 출원번호 10-2006-0060066

(22) 출원일자 2006년06월30일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이준석

서울 구로구 구로4동 두산아파트 101-2408

문종석

서울 강남구 논현동 동현아파트 6-309

(74) 대리인

허용록

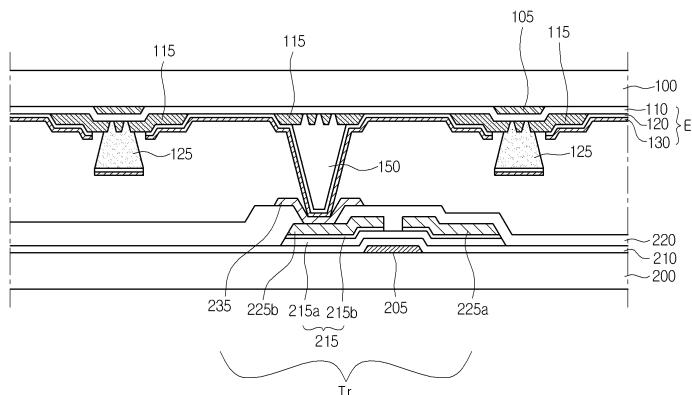
전체 청구항 수 : 총 19 항

(54) 유기 전계 발광 표시 장치 및 이의 제조 방법

(57) 요 약

본 발명은 유기 전계 발광 표시 장치에 관한 것으로, 다수의 서브픽셀이 정의된 제 1 기판; 상기 제 1 기판상에 형성된 제 1 전극; 상기 제 1 전극 상의 각 서브픽셀을 구획하는 외곽영역에 위치하고, 다수의 요철을 구비하는 베퍼층; 상기 베퍼층 상에 형성된 세퍼레이터; 상기 제 1 전극상에 형성된 유기 발광층; 및 상기 유기발광층 상에 형성되고, 상기 세퍼레이터에 의해 각 서브픽셀 단위로 분리되는 제 2 전극을 포함함으로써, 상기 세퍼레이터와 상기 베퍼층간의 접착특성을 향상시켜, 상기 세퍼레이터가 필링되는 것을 방지함과 더불어, 상기 세퍼레이터의 역테이퍼각을 낮게 형성할 수 있어, 상기 세퍼레이터의 기능을 향상시킴으로써 서브픽셀간의 셀트 불량을 방지할 수 있다.

대표도 - 도2a



특허청구의 범위

청구항 1

다수의 서브픽셀이 정의된 제 1 기판;

상기 제 1 기판상에 형성된 제 1 전극;

상기 제 1 전극 상의 각 서브 픽셀을 구획하는 외곽영역에 위치하고, 다수의 요철을 구비하는 베퍼층;

상기 베퍼층 상에 형성된 세퍼레이터;

상기 제 1 전극상에 형성된 유기 발광층; 및

상기 유기발광층 상에 형성되고, 상기 세퍼레이터에 의해 각 서브픽셀 단위로 분리되는 제 2 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 세퍼레이터는 역 데이퍼진 기동의 형상을 가지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 베퍼층은 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막 중 어느 하나로 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 세퍼레이터는 감광성 수지로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 세퍼레이터는 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노볼락계 수지로 이루어진 군에서 선택된 적어도 하나를 포함하여 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 유기발광층 상부 또는 하부에 전자주입층, 전자수송층, 정공역제층, 정공수송층, 정공주입층으로 이루어진 군에서 선택된 적어도 하나이상을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 제 1 기판과 일정간격으로 이격되어 배치되고, 상기 제 2 전극과 전기적으로 연결된 박막트랜지스터가 구비된 제 2 기판을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8

제 7 항에 있어서,

상기 제 1 기판과 상기 제 2 기판에 개재되어, 상기 두 기판간의 셀캡을 일정하게 유지하는 스페이서를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 스페이서는 상기 제 2 전극과 상기 박막트랜지스터를 전기적으로 접촉하는 매개체 역할을 하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10

제 8 항에 있어서,

상기 스페이서 하부에 요철부가 형성된 베퍼총이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11

제 1 항에 있어서,

상기 제 1 기판과 제 1 전극 사이에 형성된 보조전극을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12

다수의 서브픽셀이 정의된 제 1 기판을 제공하는 단계;

상기 제 1 기판상에 제 1 전극을 형성하는 단계;

상기 제 1 전극 상의 각 서브 픽셀을 구획하는 외곽영역에 위치하고, 다수의 요철을 구비하는 베퍼총을 형성하는 단계;

상기 베퍼총 상에 세퍼레이터를 형성하는 단계;

상기 제 1 전극상에 유기 발광층을 형성하는 단계; 및

상기 유기발광층 상에 위치하고, 상기 세퍼레이터에 의해 각 서브픽셀 단위로 분리되는 제 2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 베퍼총은 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막으로 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 14

제 12 항에 있어서,

상기 제 1 기판상에 제 1 전극을 형성하는 단계이전에, 상기 제 1 기판상에 보조전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 15

제 12 항에 있어서,

박막트랜지스터가 구비된 제 2 기판을 제공하는 단계;

상기 박막트랜지스터와 상기 제 2 전극과 전기적으로 연결하며, 상기 제 1 기판과 제 2 기판을 합착하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 제 2 전극 하부에 위치하는 스페이서를 더 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조

방법.

청구항 17

제 16 항에 있어서,

상기 스페이서 하부에 위치하는 요철부가 형성된 버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 18

제 16 항에 있어서,

상기 스페이서는 상기 제 1 기판과 상기 제 2 기판간의 셀캡을 유지하며, 상기 제 2 전극과 상기 박막트랜지스터를 전기적으로 접촉시키는 매개체 역할을 하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 19

제 12 항에 있어서,

상기 유기발광층 상부 또는 하부에 전자주입층, 전자수송층, 정공역제층, 정공수송층 및 정공주입층으로 이루어진 군에서 선택된 적어도 하나이상을 더 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 유기 전계 발광 표시 장치에 관한 것으로, 특히, 생산수율이 뛰어나며, 광효율성이 뛰어난 듀얼 패널 타입의 유기 전계 발광 표시 장치 및 그 제조방법에 관한 것이다.
- <14> 유기 전계 발광 표시 장치는 전자(electron)와 정공(hole)이 반도체 안에서 전자-정공 쌍을 만들거나 캐리어(carrier)들이 좀더 높은 에너지 상태로 여기된 후 다시 안정화 상태인 바닥상태로 떨어지는 과정을 통해 빛이 발생하는 현상을 이용한다.
- <15> 이와 같이, 상기 유기 전계 발광 표시 장치는 자체발광형이기 때문에 액정 표시 장치와 같이 백라이트가 필요하지 않으므로 경량 박형이 가능하다. 또한, 저전압 구동, 높은 발광 효율, 넓은 시야각 및 빠른 응답속도등의 장점을 가지고 있어 고화질의 동영상을 구현하는데 유리하다.
- <16> 특히, 상기 유기 전계 발광 표시 장치의 제조공정에는, 액정표시장치나 PDP(Plasma Display Panel)와 달리 증착 및 봉지(encapsulation) 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.
- <17> 또한, 각 화소마다 스위칭 소자인 박막트랜지스터를 가지는 액티브 매트릭스방식으로 유기 전계 발광 표시 장치를 구동하게 되면, 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비 전력, 고정세, 대형화가 가능한 장점을 가진다.
- <18> 도 1은 종래의 유기 전계 발광 표시 장치에 대한 개략적인 단면도로서, 이는 하부 발광방식으로 동작하는 액티브 매트릭스 방식의 단면 구조를 나타내고 있다.
- <19> 도 1을 참조하여 설명하면, 박막트랜지스터(Tr)가 형성된 기판(10)이 위치한다. 상기 박막트랜지스터(Tr)는 게이트 전극(15), 액티브층(25) 및 소스/드레인 전극(27a, 27b)을 포함한다.
- <20> 상기 드레인 전극(27b)의 일부분을 노출하는 콘택홀을 구비한 보호막(20)이 위치한다.
- <21> 상기 보호막(20)에 형성된 상기 콘택홀을 통하여 상기 드레인 전극(27b)과 전기적으로 연결된 제 1 전극(30)이 위치한다.
- <22> 상기 제 1 전극(30)에 서브픽셀이 정의된 절연막(40)이 위치하고, 상기 서브픽셀의 상기 제 1 전극(30) 상에 유기 발광층(50)이 위치한다. 상기 유기 발광층(50) 상에 공통전극으로 제 2 전극(60)이 형성된다. 여기서, 상기

제 1, 제 2 전극(30, 60)은 상기 유기 발광층(50)이 광을 방출할 수 있도록 전계를 인가하는 역할을 한다.

<23> 이후, 상기 기판(10)상에 형성된 유기 전계 발광 다이오드 소자(E)를 외부의 습기 및 산소로부터 보호하기 위해, 상기 기판(10)의 외곽부에 실란트(70)를 도포한뒤, 상기 유기 전계 발광 다이오드 소자(E)에 대향되도록 봉지기판(80)을 합착하는 봉지공정을 수행함으로써 유기 전계 발광 표시 장치가 제조된다.

<24> 즉, 이와 같은 유기 전계 발광 표시 장치는, 상기 어레이 소자 및 유기 전계 발광 다이오드 소자가 형성된 기판과 별도의 봉지기판의 합착을 통해 형성된다. 이때, 상기 어레이 소자의 수율과 유기 전계 발광 다이오드 소자의 수율의 곱이 유기 전계 발광 표시 장치의 수율을 결정하기 때문에, 후반 공정에 해당되는 유기 전계 발광 다이오드 소자의 제조 공정에 의해 전체 공정 수율이 크게 제한된다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1000Å 정도의 박막을 사용하는 유기 발광층의 형성 시 이물이나 기타 다른 요소에 의해 불량이 발생하게 되면, 유기 전계 발광 표시 장치는 불량 등급으로 판정된다.

<25> 이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있다.

<26> 또한, 하부발광방식의 유기 전계 발광 표시 장치는 봉지공정에 의한 안정성 및 공정의 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있다. 이와 달리, 상부발광방식의 유기 전계 발광 표시 장치는 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하다. 그러나, 종래의 상부발광방식의 유기 전계 발광 표시 장치에서는 유기발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 등의 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<27> 본 발명은 박막트랜지스터와 유기 전계 발광 다이오드 소자의 수율이 서로 영향을 받지 않도록 형성하여, 불량률 및 생산관리 효율을 증대시킬 수 있는 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 그 목적이 있다.

<28> 또한, 광효율이 향상된 상부발광방식의 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 다른 목적이 있다.

<29> 또한, 공정 안정화와 더불어 서브픽셀간의 쇼트 불량이 발생하는 것을 방지할 수 있는 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 또 다른 목적이 있다.

발명의 구성 및 작용

<30> 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 유기 전계 발광 표시 장치를 제공한다. 상기 유기 전계 발광 표시 장치는 다수의 서브픽셀이 정의된 제 1 기판; 상기 제 1 기판상에 형성된 제 1 전극; 상기 제 1 전극상의 각 서브 픽셀을 구획하는 외곽영역에 위치하고, 다수의 요철을 구비하는 베퍼층; 상기 베퍼층 상에 형성된 세퍼레이터; 상기 제 1 전극상에 형성된 유기 발광층; 및 상기 유기발광층 상에 형성되고, 상기 세퍼레이터에 의해 각 서브픽셀 단위로 분리되는 제 2 전극을 포함한다.

<31> 상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면의 유기 전계 발광 표시 장치의 제조 방법을 제공한다. 상기 제조 방법은 다수의 서브픽셀이 정의된 제 1 기판을 제공하는 단계; 상기 제 1 기판상에 제 1 전극을 형성하는 단계; 상기 제 1 전극 상의 각 서브 픽셀을 구획하는 외곽영역에 위치하고, 다수의 요철을 구비하는 베퍼층을 형성하는 단계; 상기 베퍼층 상에 세퍼레이터를 형성하는 단계; 상기 제 1 전극상에 유기 발광층을 형성하는 단계; 및 상기 유기발광층 상에 위치하고, 상기 세퍼레이터에 의해 각 서브픽셀 단위로 분리되는 제 2 전극을 형성하는 단계를 포함한다.

<32> 이하, 본 발명에 의한 유기 전계 발광 표시 장치의 도면을 참고하여 본 발명의 실시예들을 더욱 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제 공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<33> 도 2a 및 도 2b는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 단면을 도시한 도면들이다. 여기서, 도 2a는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 단면도이고, 도 2b는 도 2a의 A영역을

확대하여 도시한 도면이다.

- <34> 도 2a를 참조하여 설명하면, 상기 유기 전계 발광 표시 장치는 서로 일정간격으로 이격되어 배치되어 위치하는 제 1 기판(100)과 제 2 기판(200)을 포함한다.
- <35> 상기 제 1 기판(100)의 내측에는 유기 전계 발광 다이오드 소자(E)가 형성되어 있다. 또, 상기 제 2 기판(200)의 내측에는 적어도 하나의 박막트랜지스터(Tr)가 형성되어 있다.
- <36> 여기서, 상기 박막트랜지스터(Tr)와 상기 유기 전계 발광 다이오드 소자(E)는 서로 전기적으로 연결되어, 상기 박막트랜지스터(Tr)의 구동에 의해, 상기 유기 전계 발광 다이오드 소자(E)는 발광하게 되고, 상기 제 1 기판(100)으로 광이 방출되어, 사용자에게 화상을 제공할 수 있다.
- <37> 이때, 상기 유기 전계 발광 다이오드 소자(E)는 공통전극인 제 1 전극(110), 상기 제 1 전극(110)상에 서브픽셀 단위로 패터닝되어 있는 유기발광층(120)과 제 2 전극(130)을 포함한다. 상기 제 2 전극(130)은 상기 제 1 전극(110)상에 형성된 세퍼레이터(125)에 의해 서브픽셀 단위로 자연적으로 패터닝된다.
- <38> 이로써, 상기 세퍼레이터(125)는 역테이퍼진 기둥형상을 가지게 되고, 상기 제 2 전극(130)을 형성하는 도전물질을 스퍼터링법 또는 진공증착법을 통해 증착함으로써, 상기 제 2 전극(130)은 상기 세퍼레이터(125)에 의해 자동적으로 패터닝된다. 이는 상기 스퍼터링법 또는 진공증착법은 직진성의 성향을 가지며 피 증착물질이 증착되기 때문이다.
- <39> 이때, 상기 세퍼레이터(125)의 역테이퍼 각이 작아질수록, 상기 제 2 전극(130)을 각 서브픽셀 단위로 분리하기가 수월하다. 그러나, 상기 세퍼레이터(125)의 역테이퍼 각은 노광량, 현상시간, 광의 초점 및 베이킹 온도에 의해서 조절되나, 공정이 까다롭다.
- <40> 상기와 같은 공정 조건중에 베이킹 온도가 낮을수록 상기 세퍼레이터(125)의 역테이퍼각을 작게 형성할 수 있는데, 상기 베이킹 온도가 낮아지면 상기 세퍼레이터(125)와 그 하부에 위치하는 베퍼층(115)간의 접착특성이 저하된다. 여기서, 상기 베퍼층(115)은 각 서브픽셀의 외곽부에 형성되어, 각 서브픽셀을 정의하는 역할을 수행한다.
- <41> 또한, 상기 세퍼레이터(125)는 유기막으로 형성되고, 상기 베퍼층(115)은 무기막으로 형성된다. 즉, 상기 세퍼레이터(125)는 감광성 수지로써, 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노볼락계 수지로 이루어진 군에서 선택된 적어도 하나를 포함하여 형성될 수 있다. 또, 상기 베퍼층(115)은 질화 실리콘막, 산화 실리콘막 또는 이들의 적층막 중 어느 하나일 수 있다. 이로써, 상기 세퍼레이터(125)와 상기 베퍼층(115)의 계면 특성이 좋지 않아, 상기 세퍼레이터(125)와 상기 베퍼층(115)간의 접착 특성이 더욱 좋지 않다. 이로 인하여, 상기 세퍼레이터(125)가 상기 베퍼층(115)에서 쉽게 필링(peeling)되어, 상기 제 2 전극(130)을 각 서브픽셀로 분리하는데 불량을 일으킬 수 있다.
- <42> 이를 개선하기 위해, 도 2b에서와 같이, 상기 베퍼층(115)에 요철(P)을 더 형성하여, 상기 베퍼층(115)과 상기 세퍼레이터(125)간의 접착면적을 증가시켜, 접착 특성을 향상시킨다. 이로 인하여, 상기 세퍼레이터(125)의 역테이퍼 각을 낮추기 위해, 베이킹 온도를 낮추어도 상기 베퍼층(115)에 형성된 요철(P)에 의해 상기 베퍼층(115)과 상기 세퍼레이터(125)간의 접착 면적이 증가되어 접착특성이 향상되므로, 상기 세퍼레이터(125)가 필링되는 것을 방지할 수 있다.
- <43> 다시 도 2a를 참조하면, 상기 제 1 전극(110)상에 스페이서(150)가 더 형성되어 있다. 상기 스페이서(150)는 상기 제 1 기판(100)과 상기 제 2 기판(200)간의 셀캡을 일정하게 유지하는 역할을 한다. 또, 상기 스페이서(150)를 둘러싸며 상기 유기발광층(120)과 제 2 전극(130)이 형성된다. 이때, 상기 스페이서(150)를 통해 둘출되는 제 2 전극(130)이 상기 제 2 기판(200)에 형성된 박막트랜지스터(Tr)와 전기적으로 연결된다. 즉, 상기 스페이서(150)는 상기 유기전계발광다이오드소자(E)와 상기 박막트랜지스터(Tr)를 전기적으로 연결하는 매개체 역할을 한다.
- <44> 이때, 상기 스페이서(150)하부에 베퍼층(115)이 더 위치할 수 있다. 더 나아가, 상기 스페이서(150)와 상기 베퍼층(115)간의 접착 특성을 향상시키기 위해, 상기 베퍼층(115)에 요철(P)이 형성되어 있을 수 있다.
- <45> 상기 제 1 전극(110)은 투명성의 도전물질로서, ITO 또는 IZO 중 어느 하나로 형성할 수 있다. 이때, 상기 제 1 전극(110)은 저항성이 큰 도전물질로 이루어진다. 이로써, 상기 제 1 전극(110)의 저항차를 줄이기 위해, 상기 제 1 전극(110)하부에 보조 전극(105)을 형성한다. 이때, 상기 보조전극(105)은 저항이 낮은 금속으로, 이를테

면, Al, AlNd, Mo 또는 Cr로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다.

- <46> 상기 유기 발광층(120)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나 이상의 유기층을 더 포함할 수 있다. 이로써, 상기 제 1 전극(110), 유기 발광층(120) 및 제 2 전극(130)의 각각 경계면에서의 에너지 레벨을 적절하게 조절해주어, 상기 유기 발광층(120)으로 전자와 정공을 효율적으로 주입시킬 수 있다. 이로써, 완성된 유기 전계 발광 표시 장치의 발광 효율을 향상시킬 수 있다.
- <47> 상기 제 2 전극(130)은 반사성을 가지는 도전물질로, Mg, Ca, Al, Ag, Ba 및 이들의 합금으로 이루어진 군에서 선택된 하나의 물질로 이루어질 수 있다.
- <48> 한편, 상기 박막트랜지스터(Tr)가 형성된 제 2 기판(200)을 설명한다.
- <49> 도면에는 도시하지 않았으나, 상기 제 2 기판(200)은 서로 교차되어 배치되는 다수의 게이트 배선과 데이터 배선이 위치하고, 상기 두 배선에 의해 다수의 서브픽셀이 정의된다. 이때, 상기 두 배선의 교차지점, 즉, 상기 각 서브픽셀에는 박막트랜지스터(Tr)가 구비된다. 도면에는 각 서브픽셀에 하나의 박막트랜지스터가 형성된 것으로 도시하였으나, 이에 한정되지 아니하고, 적어도 하나의 박막트랜지스터와 캐페시터가 더 형성되어 있을 수 있다. 그러나, 설명의 편의상 생략하여 설명한다.
- <50> 상기 박막트랜지스터(Tr)는 게이트 전극(205), 반도체층(215) 및 소스/드레인 전극(225a, 225b)을 포함한다. 여기서, 상기 게이트 전극(205)과 상기 반도체층(215) 사이에는 게이트 절연막(210)이 개재되어 있다. 상기 게이트 절연막(210)은 산화실리콘막, 질화실리콘막 또는 이들의 적층막일 수 있다. 또, 상기 반도체층(215)은 비정질 실리콘으로 이루어진 활성층(215a)과, 불순물이 도핑된 비정질 실리콘으로 이루어진 오믹콘택층(215b)으로 이루어질 수 있다. 또, 상기 소스/드레인 전극(225a, 225b)은 상기 반도체층(215)의 양단부 즉, 상기 오믹콘택층(215b)상에 위치한다. 이때, 상기 소스/드레인 전극(225a, 225b)은 Al, AlNd, Mo, Cr로 이루어진 군에서 선택된 적어도 하나로 이루어질 수 있다.
- <51> 여기서, 본 발명의 실시예에서는 상기 박막트랜지스터(Tr)가 비정질 실리콘으로 이루어진 바텀 게이트형 박막트랜지스터에 한정하여 도시하여 설명하였으나, 이에 한정되지 아니하고, 현재 공지된 여러 형태의 박막트랜지스터가 채용될 수 있다.
- <52> 상기 박막트랜지스터(Tr)를 포함하는 상기 제 2 기판(200)상에 상기 드레인 전극(225b)을 노출하는 콘택홀이 형성된 보호막(220)이 위치한다. 여기서, 상기 보호막(220)은 아크릴계 수지, 벤조사이클로부텐(PCB), 산화실리콘, 질화실리콘으로 이루어진 군에서 선택된 적어도 하나로 이루어질 수 있다.
- <53> 또한, 상기 콘택홀을 통해 노출된 상기 드레인 전극(225b)과 전기적으로 연결된 연결전극(235)이 더 위치할 수 있다.
- <54> 이때, 상기 연결전극(235)과 상기 스페이서(150)에 의해 돌출되는 제 2 전극을 접촉시킴으로써, 상기 유기전계 발광다이오드 소자(E)와 상기 박막트랜지스터(Tr)는 전기적으로 연결된다.
- <55> 따라서, 상기 세퍼레이터(125)의 역테이퍼 각을 낮게 형성하되, 상기 세퍼레이터(125)와 상기 버퍼층(115)간의 접착력은 증대시킴으로써, 상기 세퍼레이터(125)에 의해 각 서브픽셀 단위로 제 2 전극(130)을 분리하는데 불량을 일으키지 않는다. 이로써, 안정된 공정을 수행함으로써, 생산성의 효율성을 향상시킬 수 있다.
- <56> 도 3a 내지 도 3f는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 공정을 설명하기 위해 도시한 공정도들이다.
- <57> 도 3a를 참조하면, 다수의 서브픽셀로 정의된 제 1 기판(100)을 제공한다. 상기 제 1 기판(100)은 유리 기판 또는 플라스틱 기판으로, 투명한 재질로 선택하는 것이 바람직하다.
- <58> 상기 제 1 기판(100)상에 저 저항체의 도전물질을 증착한 뒤, 패터닝하여 보조전극(105)을 형성한다. 상기 보조 전극(105)은 후속 공정에서 형성되는 제 1 전극의 저항차를 줄이는 역할을 한다. 상기 저 저항체의 도전물질은 Al, AlNd, Mo 또는 Cr로 이루어진 군에서 선택된 적어도 하나의 물질일 수 있다.
- <59> 상기 보조전극(105)을 포함하는 제 1 기판(100) 상에 투명성의 도전물질을 증착한 뒤, 패터닝하여 제 1 전극(110)을 형성한다. 이를테면, 상기 투명성의 도전물질은 ITO 또는 IZO일 수 있다.
- <60> 도 3b를 참조하면, 상기 제 1 전극(310)상에 각 서브픽셀을 구획하는 외곽영역에 위치하는 버퍼층(115)을 형성

한다. 여기서, 상기 베퍼층(115)은 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막을 형성한 뒤, 패터닝 공정을 수행하여 형성한다. 이와 동시에, 상기 베퍼층(115)에 다수의 요철(P)을 형성한다.

<61> 또, 상기 요철(P)이 형성된 베퍼층(115)이 상기 서브픽셀 영역내에 더 형성될 수 있다.

<62> 도 3c를 참조하면, 상기 베퍼층(115)상에 세퍼레이터(125)를 형성한다. 상기 세퍼레이터(125)는 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노볼락계 수지로 이루어진 군에서 선택된 적어도 하나를 포함하는 감광성 수지막을 형성한 뒤, 노광 및 현상 공정을 거친다. 이후, 베이킹 공정을 수행하여, 상기 세퍼레이터(125)와 상기 베퍼층(115)간의 접착특성을 향상시킨다. 이때, 상기 베이킹 공정의 온도를 낮추어 작은 역테이퍼각을 가지는 세퍼레이터(125)를 형성할 수 있다. 여기서, 상기 베이킹 온도가 낮아, 상기 세퍼레이터(125)와 상기 베퍼층(115)의 접착특성이 저하될 수 있으나, 상기 세퍼레이터(125)를 상기 베퍼층(115)에 형성된 요철(P)에 형성하여, 상기 세퍼레이터(125)와 상기 베퍼층(115)간의 접착 면적을 증대시킴으로써, 접착특성을 향상시킬 수 있어, 상기 베이킹 온도를 낮추어도 무방하다.

<63> 이로써, 상기 제 1 감광성막(330)과 상기 제 2 감광성막(340)은 광에 대해 서로 다른 특성을 가지는 물질로 이루어질 수 있다. 이는 상기 제 2 감광성막(340)을 패터닝하기 위한 노광공정에서, 상기 제 1 감광성막(330)막이 영향을 받아, 제거될 수 있기 때문이다.

<64> 또, 상기 서브픽셀영역내에 형성된 베퍼층(115)상에 배치되는 스페이서(150)를 형성한다.

<65> 상기 스페이서(150)는 절연막을 형성한 뒤, 노광 및 현상공정을 거쳐 형성할 수 있다. 상기 스페이서(350)는 유기 전계 발광 다이오드 소자가 형성된 제 1 기판(100)과 후술할, 박막트랜지스터가 형성된 제 2 기판간의 셀캡을 유지하는 역할을 하며, 이와 더불어, 상기 유기 전계 발광 다이오드 소자와 박막트랜지스터를 전기적으로 연결하는 매개체 역할을 하게 된다.

<66> 도 3d를 참조하면, 상기 제 1 전극(110)상에 유기 발광층(120)을 형성한다. 여기서, 상기 유기 발광층(120)은 저분자 물질 또는 고분자 물질일 수 있다. 이때, 상기 유기 발광층(120)이 저분자 물질일 경우에 있어서, 진공 증착법을 수행하여 형성할 수 있으며, 고분자 물질일 경우에 있어서, 잉크젯 프린팅 방법을 수행하여 형성할 수 있다. 이때, 상기 유기 발광층(120)을 형성하기 전에 또는 후에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나의 유기층을 더 형성할 수 있다.

<67> 이후, 상기 유기 발광층(120)상에 제 2 전극(130)을 형성한다. 이때, 상기 제 2 전극(130)은 도전물질을 증착하는 과정에서, 상기 세퍼레이터(125)에 의해 각 서브픽셀 단위로 자동적으로 분리된다. 이로써, 별도의 패터닝 공정을 수행하지 않고, 상기 제 2 전극(130)을 형성할 수 있다. 상술한 바와 같이, 상기 세퍼레이터(125)는 낮은 역테이퍼각을 가지도록 형성함으로써, 상기 제 2 전극(130)을 각 서브픽셀 단위로 확실하게 분리하여 형성할 수 있다. 또, 상기 세퍼레이터(125)와 상기 베퍼층(115)간의 접착력을 향상시킴으로써, 상기 세퍼레이터(125)가 펄링되는 것을 방지할 수 있다. 이로써, 상기 제 2 전극(130)이 각 서브픽셀간 쇼트(short)가 발생하는 것을 방지할 수 있다.

<68> 또한, 상기 제 2 전극(130)은 상기 스페이서(150) 상부에도 형성되는 바, 상기 스페이서(150)에 의해 상기 제 2 전극(130)의 일부분은 상부로 돌출되어, 후술할 제 2 기판의 박막트랜지스터와 전기적으로 연결된다.

<69> 도 3e를 참조하면, 박막트랜지스터(Tr)가 형성된 제 2 기판(200)을 제공한다.

<70> 자세하게, 상기 제 2 기판(200)상에 박막트랜지스터를 형성하는 방법은 먼저, 제 2 기판(200)을 제공한다. 상기 제 2 기판(200)은 플라스틱, 유리 또는 금속으로 이루어질 수 있다. 상기 제 2 기판(200) 상에 게이트 전극(205)을 형성하고, 상기 게이트 전극(205)을 포함하는 상기 제 2 기판(200) 전면에 걸쳐 게이트 절연막(210)을 형성한다. 상기 게이트 절연막(210)은 산화 실리콘 또는 질화 실리콘을 화학기상증착법을 수행하여 증착하여 형성할 수 있다.

<71> 상기 게이트 전극(205)이 대응된 상기 게이트 절연막(210) 상에 반도체층(215)을 형성한다. 여기서, 상기 반도체층(215)은 비정질 실리콘막과, P형 또는 N형 불순물이 도핑된 비정질 실리콘막을 순차적으로 적층하여 형성한 뒤, 패터닝하여 형성된 활성층(215a)과 오믹콘택층(215b)을 포함한다.

<72> 상기 반도체층(215)상에 도전성 금속을 증착한 뒤 패터닝하여, 상기 반도체층(215)의 양단부 상에 위치하는 소스/드레인 전극(225a, 225b)을 형성한다.

<73> 이로써, 상기 제 2 기판(200) 상에 게이트 전극(205), 액티브층(215) 및 소스/드레인 전극(225a, 225b)을 포함

하는 박막트랜지스터(Tr)를 형성할 수 있다. 여기서, 도면에서 상기 제 2 기판(200)상에 하나의 박막트랜지스터(Tr)를 형성하는 것으로 한정하여 설명하였으나, 상기 제 2 기판(200)상에 적어도 하나의 박막트랜지스터 및 캐패시터를 더 형성할 수 있다.

<74> 또한, 여기서 상기 박막트랜지스터(Tr)는 비정질 실리콘을 이용한 바텀 게이트(bottom gate) 박막트랜지스터를 형성하는 것으로 제한하여 설명하였으나, 이에 한정되지 아니하고 공지된 여러 형태의 박막트랜지스터를 채용할 수 있다.

<75> 상기 박막트랜지스터(Tr)를 포함하는 제 2 기판(200) 전면에 걸쳐 보호막(220)을 형성한다. 여기서, 상기 보호막(220)은 질화실리콘 또는 산화실리콘으로 이루어질 수 있으며, 화학기상증착법을 수행하여 형성될 수 있다. 상기 보호막(220)에 상기 드레인 전극(225b)을 노출하기 위한 콘택홀을 형성한다. 더 나아가, 상기 콘택홀 통해 노출된 상기 드레인 전극(225b) 상부에 연결전극(235)을 더 형성할 수 있다.

<76> 도 3f를 참조하면, 상기 제 1 기판(100) 또는 상기 제 2 기판(200)의 외곽부에 실 패턴을 도포한 뒤, 상기 제 1 기판(100)의 유기 전계 발광 다이오드 소자(E)와 상기 제 2 기판(200)의 박막 트랜지스터(Tr)가 서로 대향되도록, 상기 제 1 기판(100)과 상기 제 2 기판(200)을 합착하여, 유기 전계 발광 표시 장치를 제조할 수 있다.

<77> 이때, 상기 제 1 기판(100)에 형성된 스페이서를 통해 돌출된 제 2 전극(130)과 상기 박막트랜지스터(Tr)의 연결전극(235)을 서로 접촉시킴으로써, 상기 유기 전계 발광 다이오드 소자(E)와 상기 박막트랜지스터(Tr)는 서로 전기적으로 접속된다.

<78> 이로써, 상기 제 2 전극(130)을 각 서브픽셀단위로 분리하는 세퍼레이터(125)를 요철(P)이 형성된 베피충(115) 상에 형성함으로써, 상기 세퍼레이터(125)와 상기 베피충(115)간의 접착면적을 증가시켜, 접착 특성을 향상시켰다. 이로써, 상기 세퍼레이터(125)와 상기 베피충(115)간의 접착력을 향상시키기 위한 베이킹 공정을 낮은 온도에서 수행해도 되므로, 낮은 역테이퍼 각을 가지는 세퍼레이터(125)를 제조할 수 있었다.

<79> 이로 인하여, 상기 제 2 전극(130)을 각 서브픽셀단위로 확실하게 분리할 수 있어, 서브픽셀간 쇼트 불량이 발생하는 것을 방지할 수 있다.

<80> 또, 상기 박막트랜지스터(Tr)와 상기 유기전계발광다이오드 소자(E)를 서로 다른 기판에 각각 형성함으로써, 불량에 대한 수율을 향상시킬 수 있었다.

<81> 또, 상기 유기전계발광표시장치를 제 1 기판(100)을 광을 방출하는 상부 발광형으로 제조함에 따라, 상기 박막트랜지스터(Tr) 및 캐패시터를 크게 설계할 수 있어 소자 특성을 향상시킬 수 있다.

발명의 효과

<82> 상기한 바와 같이 본 발명의 유기 전계 발광 표시 장치는 박막트랜지스터와 유기 전계 발광 다이오드 소자를 서로 다른 기판에 각각 형성한 뒤, 상기 두 기판을 합착하여 유기 전계 발광 표시 장치를 제조함으로써, 불량률의 감소와 함께 생산 수율의 향상을 기대할 수 있다.

<83> 또한, 제 2 전극을 분리하기 위한 세퍼레이터의 역테이퍼 각을 낮게 형성함에 따라, 상기 제 2 전극을 서브픽셀 단위로 확실하게 분리할 수 있어, 서브픽셀 간의 쇼트 불량을 방지할 수 있다.

<84> 또한, 상기 제 2 전극의 각 서브픽셀 간의 쇼트 불량 및 상기 세퍼레이터의 필링을 방지할 수 있어, 공정의 안정성을 향상시킬 수 있다.

<85> 또한, 별도의 패터닝 공정을 하지 않고 자동적으로 제 2 전극을 서브픽셀 단위로 분리할 수 있어, 생산성을 향상시킬 수 있다.

<86> 상기에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특히 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<1> 도 1은 종래의 유기 전계 발광 표시 장치에 대한 개략적인 단면도이다.

<2> 도 2a 및 도 2b는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 단면을 도시한 도면들이다.

<3> 도 3a 내지 도 3f는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 공정을 설명하기 위해 도시한 공정도들이다.

<4> (도면의 주요 부분에 대한 부호의 설명)

<5> 100 : 제 1 기판 200 : 제 2 기판

<6> 105 : 보조전극 110 : 제 1 전극

<7> 115 : 베퍼층 125 : 세퍼레이터

<8> 150 : 스페이서 120 : 유기 발광층

<9> 130 : 제 2 전극 205 : 게이트 전극

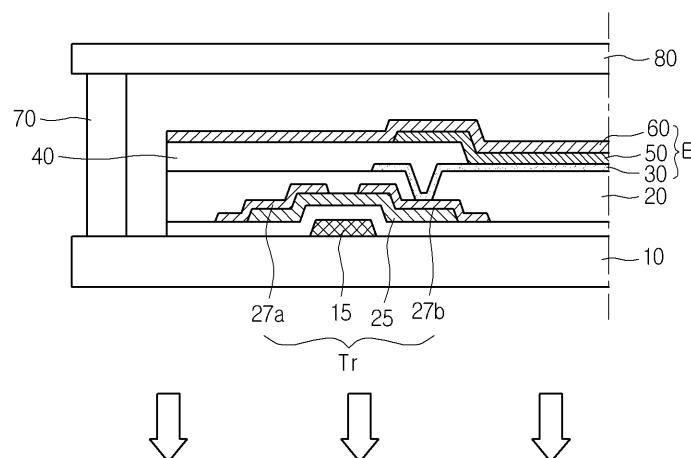
<10> 215 : 반도체층 225a : 소스 전극

<11> 225b : 드레인 전극

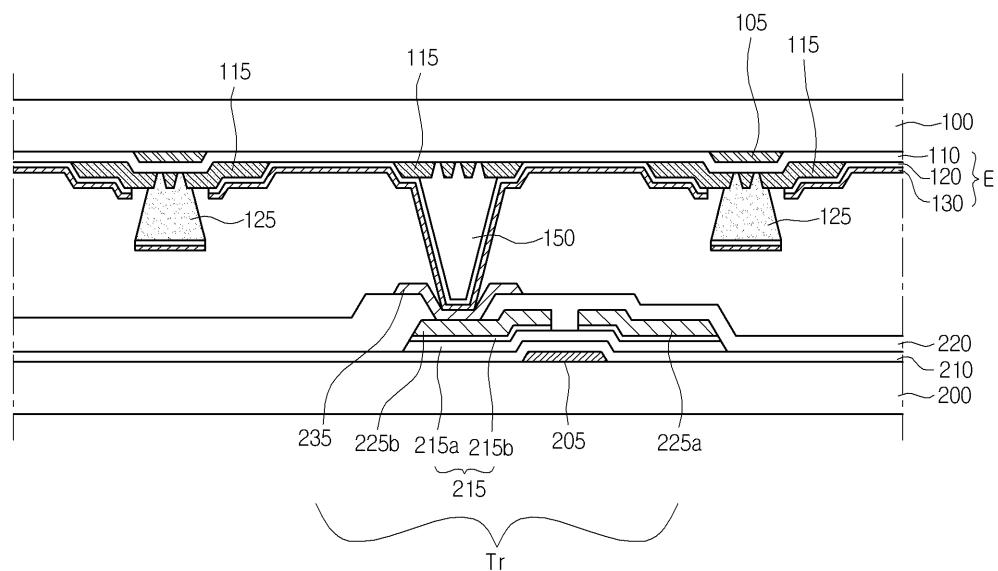
<12> E : 유기 전계 발광 다이오드 소자 Tr : 박막트랜지스터

도면

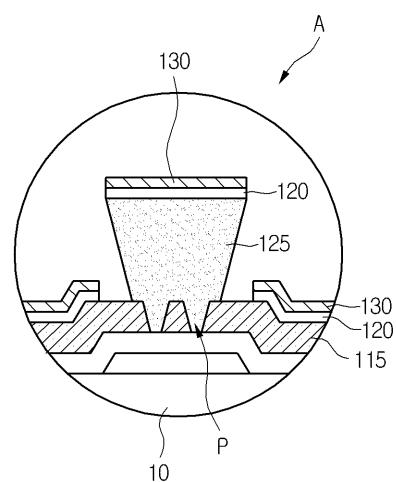
도면1



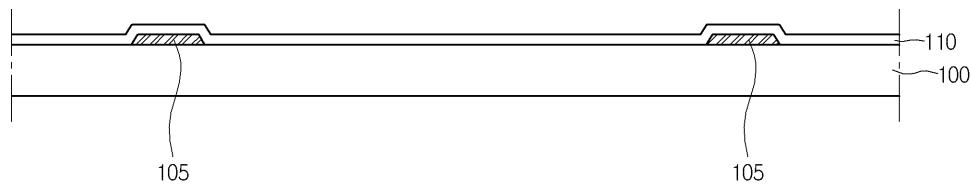
도면2a



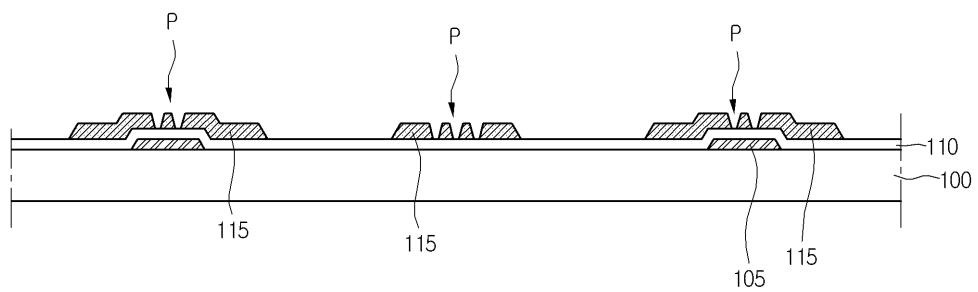
도면2b



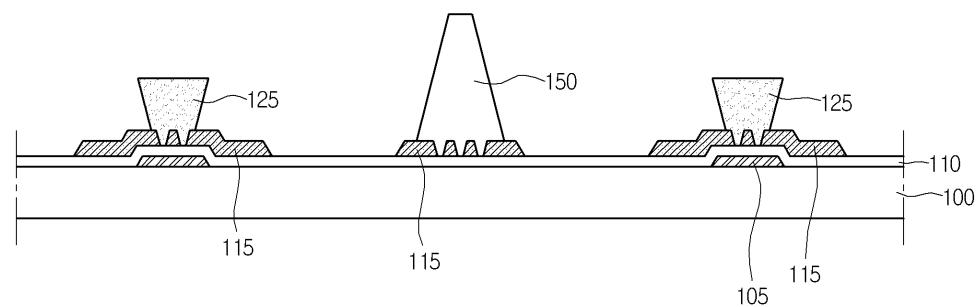
도면3a



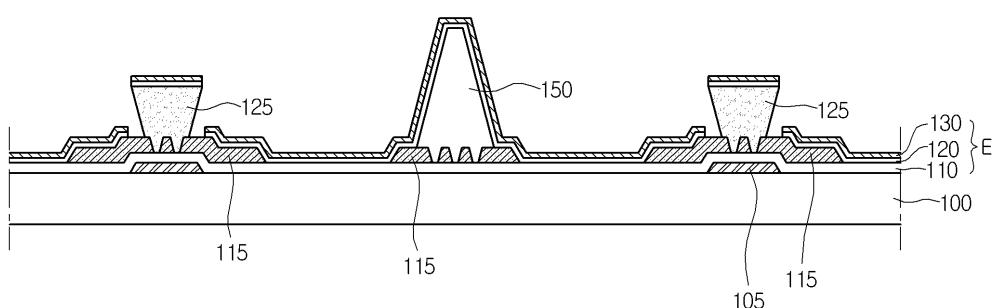
도면3b



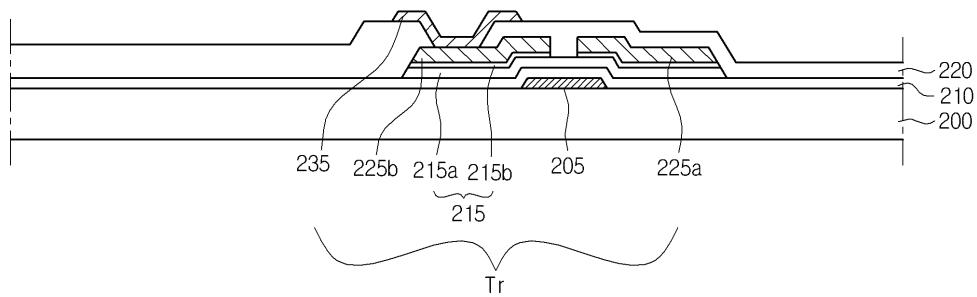
도면3c



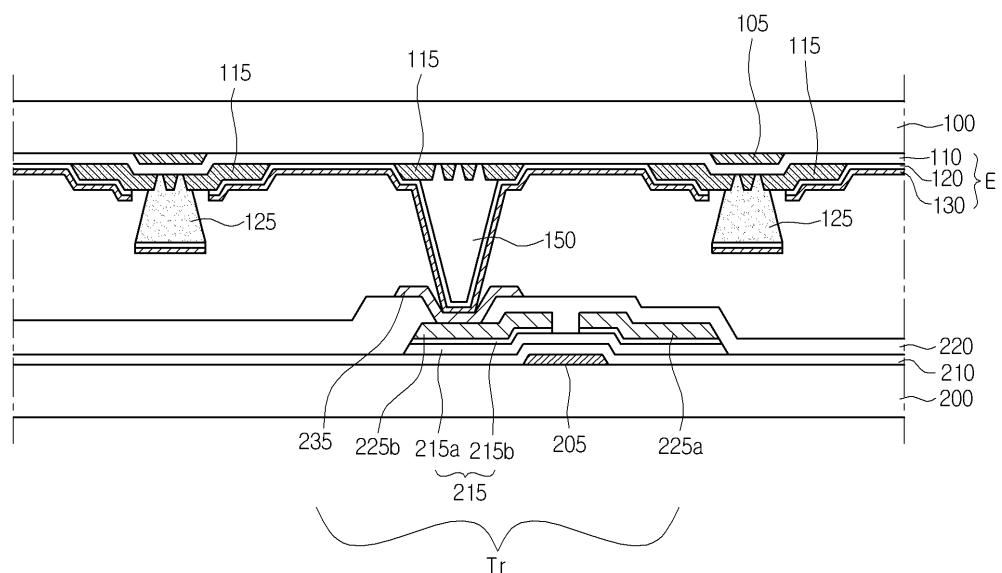
도면3d



도면3e



도면3f



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080001748A	公开(公告)日	2008-01-04
申请号	KR1020060060066	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JOON SUK 이준석 MOON JONG SEOK 문종석		
发明人	이준석 문종석		
IPC分类号	H05B33/22		
CPC分类号	H01L27/3251 H01L27/3248 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明涉及有机电致发光显示装置。并且缓冲层，形成在缓冲层上的隔板，形成在第一电极上的有机发光层，以及配备有第一基板的第二电极，形成在第一基板上的第一电极，以及多个凹凸它位于边缘区域中，包括分隔第一电极上的每个子像素。以这种方式，缓冲层和隔板之间的粘附性得到改善。它可以防止分离器被填满。隔板的倒锥角可以低成形。通过改善分隔器的功能可以防止子像素之间的短暂故障。关于第一基板，定义了多个子像素。第二电极形成在有机发光层上，并且隔板以每个子像素为单位分开。双面板，有机电致发光显示装置，隔板，凹凸，粘合。

