



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

H05B 33/26 (2006.01)

(45) 공고일자

2007년03월27일

(11) 등록번호

10-0700648

(24) 등록일자

2007년03월21일

(21) 출원번호 10-2005-0008756

(22) 출원일자 2005년01월31일

심사청구일자 2005년01월31일

(65) 공개번호

10-2006-0087885

(43) 공개일자

2006년08월03일

(73) 특허권자

삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자

곽원규
경기 용인시 기흥읍 공세리 삼성SDI중앙연구소

이관희
서울 관악구 봉천동 1630-5

(74) 대리인

박상수

(56) 선행기술조사문헌

JP11251069 A *

KR1020040005700 A

* 심사관에 의하여 인용된 문헌

KR1020020047889 A

KR1020040086607 A

심사관 : 추장희

전체 청구항 수 : 총 27 항

(54) 전면발광 유기전계발광표시장치

(57) 요약

박막 트랜지스터의 포토-리퀴시(photo-leakage)를 감소시키고 개구율을 향상시키기 위한 화소전극의 새로운 레이아웃을 이용한 전면발광 유기전계발광표시장치를 개시한다. 본 발명의 실시예에 따른 전면발광 유기전계발광표시장치는 화소전극을 레이아웃 설계 룰이 정하는 범위내에서 최대한 넓게 형성한다. 또한, 상기 화소전극은 하부에 형성된 박막 트랜지스터들 전부를 오버랩되게 형성한다.

대표도

도 4

특허청구의 범위

청구항 1.

기관상에 행과 열로 배열된 복수의 데이터라인들과 복수의 스캔라인들, 복수의 발광제어라인들 및 복수의 전원전압라인들이 교차하는 영역에 형성되는 복수의 화소들;

상기 복수의 화소들 각각을 구동하기 위한 복수의 박막 트랜지스터를 포함하는 화소구동회로; 및

상기 복수의 박막 트랜지스터들 전부를 오버랩하는 화소전극을 포함하는 전면발광 유기전계발광표시장치.

청구항 2.

제 1 항에 있어서,

상기 화소전극은,

상기 복수의 박막 트랜지스터들 중 어느 하나와 비아홀을 통하여 연결되는 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 3.

제 2 항에 있어서,

상기 비아홀은,

상기 화소전극의 모서리부분에 형성되는 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 4.

제 1 항에 있어서,

상기 화소전극은,

절연막을 사이에 두고 상기 데이터라인과 오버랩되는 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 5.

제 4 항에 있어서,

상기 절연막은,

5000Å 내지 30000Å의 두께를 가지는 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 6.

제 1 항에 있어서,

상기 화소전극은,

광반사 도전막인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 7.

제 6 항에 있어서,

상기 광반사 도전막은,

Ag, Al, Ni, Pt, Pd 및 이들의 합금막 중 선택된 하나 이거나 Mg, Ca, Al, Ag, Ba 및 이들의 합금막 중 선택된 하나인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 8.

제 1 항에 있어서,

상기 화소전극은,

광투과 도전막과 상기 광투과 도전막 하부에 위치하는 반사막패턴의 적층막인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 9.

제 8 항에 있어서,

상기 광투과 도전막은,

ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 10.

제 8 항에 있어서,

상기 반사막 패턴은,

알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금 및 알루미늄-은 합금 중 선택된 하나인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 11.

제 1 항에 있어서,

상기 화소전극과 이웃하는 화소전극간의 거리는 $4\mu\text{m}$ 내지 $17\mu\text{m}$ 인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 12.

제 1 항에 있어서,

상기 화소구동회로는,

상기 스캔라인을 통해 전달된 선택신호에 응답하여 데이터신호를 전달하는 제 1 박막 트랜지스터;

상기 데이터신호를 저장하기 위한 캐패시터; 및

상기 캐패시터에 저장된 데이터신호에 대응하여 구동전류를 상기 화소전극으로 전달하는 제 2 박막 트랜지스터를 포함하는 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 13.

제 12 항에 있어서,

상기 화소구동회로는,

상기 제 2 박막 트랜지스터와 상기 화소전극 사이에 연결되어 상기 구동전류를 차단하거나 흐르게하는 제 3 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 14.

제 1 항에 있어서,

상기 화소구동회로는,

상기 전원전압라인으로 인가되는 전원전압과 게이트에 인가되는 데이터전압에 상응하는 구동전류를 상기 화소전극에 공급하는 제 1 박막 트랜지스터;

상기 전원전압과 상기 데이터전압 간의 전압차에 상응하는 전압을 저장하는 제 1 캐패시터;

상기 제 1 박막 트랜지스터의 문턱전압에 상응하는 전압을 저장하는 제 2 캐패시터;

이전 스캔라인을 통해 전달되는 선택 신호에 응답하여 상기 제 1 박막 트랜지스터를 다이오드 연결시키는 제 2 박막 트랜지스터;

상기 이전 스캔라인을 통해 전달되는 선택 신호에 응답하여 상기 제 1 캐패시터의 일전극에 상기 전원전압을 전달하는 제 3 박막 트랜지스터; 및

현재 스캔라인을 통해 전달되는 선택 신호에 응답하여 상기 제 1 캐패시터의 상기 일전극에 상기 데이터 전압을 전달하는 제 4 박막 트랜지스터를 포함하는 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 15.

제 14 항에 있어서,

상기 화소구동회로는,

상기 제 1 박막 트랜지스터와 상기 화소전극 사이에 연결되어 상기 구동전류를 차단하거나 흐르게하는 제 5 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 16.

제 1 항에 있어서,

상기 화소구동회로는,

상기 현재 스캔라인의 선택신호에 응답하여 데이터신호를 전달하는 제 1 박막 트랜지스터;

상기 데이터신호를 저장하는 캐패시터;

상기 캐패시터에 저장된 상기 데이터신호에 따라 구동전류를 발생하는 제 2 박막 트랜지스터;

상기 제 2 박막 트랜지스터를 다이오드 연결시키는 제 3 박막 트랜지스터; 및

상기 이전 스캔라인의 선택신호에 응답하여 상기 캐패시터에 초기전압을 전달하는 제 4 박막 트랜지스터를 포함하는 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 17.

제 16 항에 있어서,

상기 화소구동회로는

상기 제 2 박막 트랜지스터와 상기 화소전극 사이에 연결되어 상기 구동전류를 상기 화소전극에 전달하는 제 5 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 전면발광 유기 전계 발광 표시장치.

청구항 18.

제 1 항에 있어서,

상기 화소구동회로는,

상기 현재 스캔라인의 선택신호에 응답하여 데이터신호를 전달하는 제 1 박막 트랜지스터;

상기 제 1 박막 트랜지스터를 통해 전달되는 데이터신호에 따라 구동전류를 발생하는 제 2 박막 트랜지스터;

상기 제 2 박막 트랜지스터를 다이오드 연결하는 제 3 박막 트랜지스터;

상기 제 2 박막 트랜지스터에 전달되는 데이터신호를 저장하는 캐패시터;

상기 이전 스캔라인의 선택신호에 응답하여 상기 캐패시터에 초기전압을 전달하는 제 4 박막 트랜지스터; 및

상기 발광제어신호에 응답하여 상기 전원전압을 상기 제 2 박막 트랜지스터에 전달하는 제 5 박막 트랜지스터를 포함하는 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 19.

제 18 항에 있어서,

상기 화소구동회로는,

상기 제 2 박막 트랜지스터와 상기 화소전극 사이에 연결되어 상기 구동전류를 상기 화소전극에 전달하는 제 6 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 전면발광 유기 전계 발광 표시장치.

청구항 20.

기관;

상기 기관상에 형성되며, 반도체층, 게이트 전극 및 소오스/드레인 전극으로 구성된 복수의 박막 트랜지스터들;

상기 소오스/드레인 전극과 동일층에 형성되는 데이터라인 및 전원전압라인;

상기 복수의 박막트랜지스터 상에 형성된 패시베이션막;

상기 패시베이션막 상에 형성된 평탄화막;

상기 패시베이션막 및 상기 평탄화막 내에 상기 소오스/드레인 전극 중 어느 하나의 전극을 노출시키는 비아홀;

상기 평탄화막 상부에 형성되고, 상기 비아홀을 통하여 상기 소오스/드레인 전극 중 어느 하나의 전극과 연결되는 화소전극; 및

상기 화소전극상에 형성되는 유기발광층을 포함하는 유기막과 대향전극을 포함하며,

상기 화소전극은 상기 복수의 박막 트랜지스터들 전부를 오버랩하게 형성되는 것을 특징으로 하는 전면발광 유기전계발광 표시장치.

청구항 21.

제 20 항에 있어서,

상기 화소전극은,

상기 데이터라인과 오버랩되는 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 22.

제 21 항에 있어서,

상기 화소전극과 상기 데이터라인 사이에 형성된 상기 패시베이션막 및 평탄화막의 두께는 5000Å 내지 30000Å인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 23.

제 20 항에 있어서,

상기 화소전극은,

광반사 도전막인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 24.

제 23 항에 있어서,

상기 광반사 도전막은,

Ag, Al, Ni, Pt, Pd 및 이들의 합금막 중 선택된 하나 이거나 Mg, Ca, Al, Ag, Ba 및 이들의 합금막 중 선택된 하나의 물질인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 25.

제 20 항에 있어서,

상기 화소전극은,

광투과 도전막과 상기 광투과 도전막 하부에 위치하는 반사막패턴의 적층막인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 26.

제 25 항에 있어서,

상기 광투과 도전막은,

ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

청구항 27.

제 25 항에 있어서,

상기 반사막 패턴은,

알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금 및 알루미늄-은 합금 중 선택된 하나인 것을 특징으로 하는 전면발광 유기전계발광표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치에 관한 것으로, 보다 상세하게는, 박막 트랜지스터의 포토-리퀴지(photo-leakage)를 감소시키고 개구율을 향상시키기 위한 화소전극의 새로운 레이아웃을 이용한 전면발광 유기전계발광표시장치에 관한 것이다.

일반적으로 유기 전계 발광 표시장치는 전기적으로 여기되는 형광성 또는 인광성 유기 화합물로 이루어진 유기 발광 소자(organic light emitting diode: OLED)를 이용하는 표시 장치이다. 유기 발광 소자는 공급되는 전압 또는 전류에 따라 소정의 화상을 표시하며, 애노드, 유기 발광층 및 캐소드로 이루어진 적층 구조를 가진다. 유기 발광층은 전자와 정공의 주입 특성을 향상시키기 위해 발광층(emitting layer)의 양측에 정공 주입층(hole injecting layer) 및 전자 주입층(electron injecting layer)을 포함하는 다층 구조로 이루어진다. 또한, 유기 박막층은 유기 발광층의 발광 특성을 향상시키기 위해 전자 수송층(electron transporting layer), 정공 수송층(hole transporting layer), 정공 저지층(hole blocking layer) 등을 선택적으로 포함할 수 있다.

상기 유기 전계 발광 표시장치를 구동하는 방식에는 수동 매트릭스(passive matrix) 구동 방식과 능동 매트릭스(active matrix) 구동 방식이 있다. 수동 매트릭스 구동 방식은 예를 들어 특정 행의 주사선에 연결된 화소가 선택된 시간 동안에만 전류를 받고 그에 상응하는 휘도를 내도록 이루어지는 구동 방식을 말한다. 능동 매트릭스 구동 방식은 예를 들어 캐패시터에 소정의 계조를 표시하기 위한 전압을 저장하고, 저장된 전압을 전체 프레임 시간 동안에 화소에 인가하는 구동 방식을 말한다. 이러한 능동 매트릭스 구동 방식은 캐패시터에 전압을 저장하기 위해 인가되는 신호의 형태에 따라 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

또한, 유기 전계 발광 표시 장치는 상기 유기 발광층에서 발생된 빛을 반사막층의 위치에 따라 기판의 아래쪽 방향으로 빛을 발광하는 배면 발광 구조(bottom-emission type)와 기판의 위쪽 방향으로 빛을 발광하는 전면 발광 구조(top-emission type)로 나눌 수 있다.

도 1은 종래의 전면발광 유기전계발광표시장치의 화소어레이 중 적색, 녹색 및 청색 화소를 나타낸 레이아웃도이다.

도 1을 참조하면, 기판 상에 적색(R), 녹색(G) 및 청색(B) 화소들이 배열되어 있다. 상기 화소들에는 복수 개의 스캔 라인들(S_{n-1} , S_n , E_m), 복수 개의 데이터 라인들(D_R , D_G , D_B) 및 복수 개의 전원라인(V_{dd})이 제 1 또는 제 2 방향으로 연장되어 있다. 또한, 상기 화소들에는 적색, 녹색 및 청색 화소구동회로들이 각각 위치한다. 상기 각 화소구동회로는 5개의 트랜지스터($M1-M5$) 및 2개의 캐패시터(C_{vth} , C_{st})로 이루어질 수 있다.

상기 적색, 녹색 및 청색 화소구동회로들은 적색, 녹색 및 청색 화소전극들($15R$, $15G$, $15B$)과 각각 연결된다. 더 자세하게 녹색 화소구동회로를 예를들면 상기 녹색 화소구동회로에 포함된 박막트랜지스터($M4$)의 소오스/드레인 전극 중 어느 하나의 전극과 상기 녹색 화소전극($15G$)이 비아홀(14)을 통하여 연결된다. 상기 비아홀(14)은 상기 녹색 화소전극(14)의 상부에 위치한다. 즉, 상기 녹색 화소전극($15G$)의 상부에 비아홀(14)을 위치시킴으로써, 후속공정에서 형성되는 발광영역인 개구부가 도 4에 도시된 비발광영역(NLA)만큼 줄어들어 개구율을 최대화하는데 어려움이 있다.

또한, 종래의 전면발광 유기 전계발광 표시장치는 상기 각 화소전극($15R, 15G, 15B$)을 설계 룰(design rule)에 의거 최소로 설계된다. 그리고, 각 화소전극($15R, 15G, 15B$)은 각 데이터라인(D_R , D_G , D_B)과 오버랩이 없도록 설계되어 기생 캐패시터에 의한 크로스토크(crosstalk)의 발생을 최소화 한다. 예를 들어 240×320 개의 화소를 가지는 2.2인치 QVGA의 경우, 각 화소 사이즈가 $47\mu m$ 인데, 이웃하는 화소전극간 간격(space: T_A)을 $17\mu m$ 로 함으로써, 각 화소전극의 사이즈를 $47\mu m - 17\mu m = 30\mu m$ 로 설계할 수 있다. 상술한바와 같이 각 화소전극을 최소화하고, 이웃하는 화소전극간 간격(space: T_A)을 $17\mu m$ 로 넓게 설계함으로 인하여 화소전극 사이의 빈공간으로 발광 빛이 투과되어 박막 트랜지스터(예: 도 3의 $M3, M5$)의 전압-전류의 특성이 나빠지게 되는 포토-리퀴지(photo-leakage)가 증가되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

상술한 문제점을 해결하고자, 본 발명은 개구율을 최대화한 전면발광 유기전계발광표시장치를 제공하는데 목적이 있다.

또한, 화소전극 하부에 모든 박막 트랜지스터를 오버랩(overlap)되게 배치하여 화소전극 사이의 발광 빛의 투과로 인한 박막 트랜지스터의 포토-리퀴지(photo-leakage)를 감소시키는데 목적이 있다.

발명의 구성

상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 유기전계발광표시장치는 기판상에 행과 열로 배열된 복수의 데이터라인들과 복수의 스캔라인들, 복수의 발광제어라인들 및 복수의 전원전압라인들이 교차하는 영역에 형성되는 복수의 화소들; 상기 복수의 화소들 각각을 구동하기 위한 복수의 박막 트랜지스터를 포함하는 화소구동회로; 및 상기 복수의 박막 트랜지스터들 전부를 오버랩하는 화소전극을 포함한다.

또한, 본 발명의 실시예에 따른 유기전계발광표시장치는 기판; 상기 기판상에 형성되며, 반도체층, 게이트 전극 및 소오스/드레인 전극으로 구성된 복수의 박막 트랜지스터들; 상기 소오스/드레인 전극과 동일층에 형성되는 데이터라인 및 전원전압라인; 상기 복수의 박막트랜지스터 상에 형성된 패시베이션막; 상기 패시베이션막 상에 형성된 평탄화막; 상기 패시베이션막 및 상기 평탄화막 내에 상기 소오스/드레인 전극 중 어느 하나의 전극을 노출시키는 비아홀; 상기 평탄화막 상부에 형성되고, 상기 비아홀을 통하여 상기 소오스/드레인 전극 중 어느 하나의 전극과 연결되는 화소전극; 및 상기 화소전극상에 형성되는 유기발광층을 포함하는 유기막과 대향전극을 포함하며, 상기 화소전극은 상기 복수의 박막 트랜지스터들 전부를 오버랩하게 형성되는 것을 특징으로 한다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면들에 있어서, 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

도 2는 본 발명의 실시예에 따른 유기전계발광표시장치의 화소회로를 나타낸 회로도이다.

도 2에서는 설명의 편의상 m번째 데이터라인(Dm)과 n번째 스캔라인(Sn)에 연결된 화소 회로만을 도시하였다. 한편, 스캔라인에 관한 용어를 정의하면, 현재 선택 신호를 전달하려고 하는 스캔라인을 "현재 스캔라인(Sn)"이라 하고, 현재 선택 신호가 전달되기 전에 선택 신호를 전달한 스캔라인을 "이전 스캔라인(Sn-1)"이라 한다.

도 2를 참조하면, 화소회로는 유기발광소자(OLED)와 상기 유기 발광소자(OLED)를 구동하기 위한 화소구동회로로 구성된다. 화소구동회로는 제 1 내지 제 5 박막 트랜지스터(M1-M5)와 2개의 캐패시터(Cst, Cvth)로 이루어졌다.

제 1 박막 트랜지스터(M1)는 유기발광소자(OLED)를 구동하기 위한 구동 트랜지스터로서, 전원전압(Vdd)과 유기발광소자(OLED) 간에 접속되고, 게이트에 인가되는 데이터 전압에 의하여 제 4 박막 트랜지스터(M4)를 통하여 유기발광소자(OLED)에 흐르는 전류를 제어한다. 제 2 박막 트랜지스터(M2)는 이전 스캔라인(Sn-1)으로부터의 선택 신호에 응답하여 제 1 박막 트랜지스터(M1)를 다이오드 연결시킨다.

제 1 박막 트랜지스터(M1)의 게이트에는 캐패시터(Cvth)의 일전극(A)이 접속되고, 캐패시터(Cvth)의 타전극(B) 및 전원전압(Vdd)간에 캐패시터(Cst)와 제 5 박막 트랜지스터(M5)가 병렬 접속된다. 제 5 박막 트랜지스터(M5)는 이전 스캔라인(Sn-1)으로부터의 선택 신호에 응답하여 캐패시터(Cvth)의 타전극(B)에 전원전압(Vdd)을 공급한다.

제 3 박막 트랜지스터(M3)는 현재 스캔라인(Sn)으로부터의 선택 신호에 응답하여 데이터라인(Dm)으로부터의 데이터 전압을 캐패시터(Cvth)의 타전극(B)으로 전달한다. 제 4 박막 트랜지스터(M4)는 제 1 박막 트랜지스터(M1)의 드레인과 유기발광소자(OLED)의 화소전극간에 접속되고, 발광제어라인(Em)으로부터의 발광제어신호에 응답하여 제 1 박막 트랜지스터(M1)의 드레인과 유기발광소자(OLED)를 온/오프시킨다.

유기발광소자(OLED)는 화소전극, 유기발광층 및 화소전극과 대응하는 대향전극으로 이루어졌으며, 제 1 박막 트랜지스터(M1)에서 공급하는 구동전류에 대응하여 빛을 방출한다. 유기발광소자(OLED)의 대향전극에 연결되는 기준전압(Vss)은 전원전압(Vdd)보다 낮은 레벨의 전압으로서, 그라운드 전압 등이 사용될 수 있다. 상술한 화소회로의 동작에 대하여 도 3을 참조하여 설명한다.

도 3은 도 2에 도시된 화소회로의 동작을 나타내는 타이밍도이다.

도 3을 참조하면, 먼저, 이전 스캔라인(Sn-1)에 로우 레벨의 선택신호가 인가되면, 제 2 박막 트랜지스터(M2)가 턴온되어 제 1 박막 트랜지스터(M1)는 다이오드 연결 상태가 된다. 따라서, 제 1 박막 트랜지스터(M1)의 게이트 및 소스간 전압이 제 1 박막 트랜지스터(M1)의 문턱전압(Vth)이 될 때까지 변하게 된다. 이 때 제 1 박막 트랜지스터(M1)의 소스가 전원전

압(Vdd)에 연결되어 있으므로, 제 1 박막 트랜지스터(M1)의 게이트 즉, 캐패시터(Cvth)의 노드(A)에 인가되는 전압은 전원전압(Vdd)과 문턱전압(Vth)의 차가 된다. 또한, 제 5 박막 트랜지스터(M5)가 턴온되어 캐패시터(Cvth)의 노드(B)에는 전원전압(Vdd)이 인가되어, 캐패시터(Cvth)에 충전되는 전압(V_{Cvth})은 [수학식 1]과 같다.

$$\text{수학식 1} \\ V_{Cvth} = V_B - V_A = V_{dd} - (V_{dd} - V_{th}) = V_{th}$$

여기서, V_{Cvth} 는 캐패시터(Cvth)에 충전되는 전압을 의미하고, V_A 는 캐패시터(Cvth)의 노드(A)에 인가되는 전압, V_B 는 캐패시터(Cvth)의 노드(B)에 인가되는 전압을 의미한다.

또한, 제 4 박막 트랜지스터(M4)는 발광제어선(Em)의 하이 레벨의 신호에 응답하여 턴오프되어, 제 1 박막 트랜지스터(M1)에서 흐르는 전류가 유기발광소자(OLED)로 흐르는 것을 차단한다.

다음, 현재 스캔라인(Sn)에 로우 레벨의 선택신호가 인가되면, 제 3 박막 트랜지스터(M3)가 턴온되어 데이터 전압(Vdata)이 노드(B)에 인가된다. 또한, 캐패시터(Cvth)에는 제 1 박막 트랜지스터(M1)의 문턱 전압(Vth)에 해당되는 전압이 충전되어 있으므로, 제 1 박막 트랜지스터(M1)의 게이트에는 데이터 전압(Vdata)과 제 1 박막 트랜지스터(M1)의 문턱 전압(Vth)의 차에 대응되는 전압이 인가된다.

마지막으로, 발광제어선(Em)의 로우 레벨에 응답하여 제 4 박막 트랜지스터(M4)가 턴온되어 제 1 박막 트랜지스터(M1)의 게이트-소스 전압(V_{GS})에 대응하는 전류(I_{OLED})가 유기발광소자(OLED)에 공급되어, 유기발광소자(OLED)는 발광하게 된다.

유기발광소자(OLED)에 흐르는 전류(I_{OLED})는 다음 [수학식 2]와 같다.

$$\text{수학식 2} \\ I_{OLED} = k(V_{gs} - V_{th})^2 = k((V_{dd} - V_{data} + V_{th}) - V_{th})^2 = k(V_{dd} - V_{data})^2$$

여기서, I_{OLED} 는 유기 EL 소자(OLED)에 흐르는 전류, V_{gs} 는 제 1 박막 트랜지스터(M1)의 소스와 게이트 사이의 전압, V_{th} 는 제 1 박막 트랜지스터(M1)의 문턱 전압, V_{data} 는 데이터 전압, k 는 상수 값을 나타낸다. 상술한 바와 같이 유기 EL 소자(OLED)로 흐르는 전류(I_{OLED})는 전원전압(Vdd)과 데이터전압(Vdata)에 의하여 결정되기 때문에 구동 트랜지스터의 문턱전압 편차에 따른 휘도불균일 문제를 해결할 수 있다.

도 4는 본 발명의 일 실시예에 따른 전면발광 유기전계발광표시장치의 화소 어레이 중 적색, 녹색 및 청색 화소를 나타낸 레이아웃도이다.

도 4를 참조하면, 기판 상에 신호선들이 배열된다. 상기 신호선들은 복수 개의 스캔 라인들($Sn-1$, Sn , Em), 복수 개의 데이터 라인들(D_R , D_G , D_B) 및 복수 개의 전원라인(Vdd)일 수 있다. 각 스캔 라인들($Sn-1$, Sn , Em)은 제 2 방향으로 서로 평행하게 연장된다. 각 데이터 라인들(D_R , D_G , D_B)은 각 스캔 라인들($Sn-1$, Sn , Em)과 서로 절연되면서 교차하고, 제 1 방향으로 연장된다. 또한, 전원라인(Vdd)은 각 스캔 라인들($Sn-1$, Sn , Em)과 서로 절연되면서 교차하고, 데이터 라인들(D_R , D_G , D_B)과 평행하게 제 1 방향으로 연장된다. 복수 개의 데이터 라인(D_R , D_G , D_B)은 적색 데이터 라인(D_R), 녹색 데이터 라인(D_G) 및 청색 데이터 라인(D_B)이다. 이전 스캔라인($Sn-1$)과 상부에 있는 화소(미도시)의 현재 스캔라인(Sn)은 서로 연결되어 같은 선택신호를 인가받는다.

상기 신호선들, 그 중에서도 상기 스캔 라인($Sn-1$, Sn , Em)과 상기 데이터 라인(D_R , D_G , D_B)의 교차에 의해 적색, 녹색 및 청색 화소영역들(C_R , C_G , C_B)이 정의된다. 본 명세서에서 화소영역이라 함은 유기발광소자(OLED)에 인가되는 구동전류를 제어하기 위한 화소구동회로가 위치하는 영역이다. 다시 말해서, 도 2에 도시된 화소회로도에서의 유기발광소자(OLED)를 제외한 나머지 소자들이 기판 상에 실제로 위치하는 영역이다.

상기 적색, 녹색 및 청색 화소영역들(C_R , C_G , C_B) 상에 적색, 녹색 및 청색 화소구동회로들이 각각 위치한다. 상기 각 화소구동회로는 제 1 내지 제 5 박막 트랜지스터(M1-M5) 및 2개의 캐패시터(C_{vth} , C_{st})로 이루어졌다. 상기 화소구동회로의 연결관계 및 구동원리는 도 2 및 도 3에서 이미 설명하였는바 생략하기로 한다.

상기 적색, 녹색 및 청색 화소구동회로들은 적색, 녹색 및 청색 화소전극들(150R, 150G, 150B)과 각각 연결된다. 더 자세하게는 상기 각 화소구동회로에 포함된 제 4 박막 트랜지스터(M4)의 소오스/드레인 전극 중 어느 하나의 전극과 상기 각 화소전극(150R, 150G, 150B)이 비아홀(147)을 통하여 연결된다. 상기 각 비아홀(147)은 상기 각 화소전극(150R, 150G, 150B)의 외각부에 위치할 수 있다. 즉, 각 화소전극(150R, 150G, 150B)의 상부우측에 위치시킴으로써, 후속공정에서 형성되는 발광영역인 개구부의 개구율이 최대가 될 수 있다. 따라서, 종래의 유기전계발광표시장치인 도 1에서 나타낸 비발광영역(NLA)이 발광영역으로 더 확장되어 개구율이 최대가 될 수 있다.

상기 각 화소전극(150R, 150G, 150B) 내에 발광영역인 개구부가 정의되며, 각 화소전극(150R, 150G, 150B)의 개구부 상에 유기발광층 및 대향전극이 차례로 위치한다. 상기 화소전극(150R, 150G, 150B), 상기 유기발광층 및 상기 대향전극은 유기발광소자(OLED)를 형성한다.

상기 각 화소전극(150R, 150G, 150B)은 각 화소영역(C_R , C_G , C_B)상에 절연막을 사이에 두고 배치된다. 바람직하게는 상기 각 화소구동회로에 포함된 모든 제 1 내지 제 5 박막 트랜지스터(M1-M5)가 전부 오버랩(overlap)되도록 배치될 수 있다. 따라서, 상기 각 화소전극(150R, 150G, 150B)사이의 빈공간으로 발광 빛이 투과되어 발생하는 도 1에서 나타난 종래의 문제점인 박막 트랜지스터의 포토-리퀴지(photo-leakage)를 감소시킬 수 있다.

또한, 상기 각 화소전극(150R, 150G, 150B)간의 간격(space)을 최소로 하고, 레이아웃 설계 룰(design rule)이 허용하는 최대로 각 화소전극(150R, 150G, 150B)을 설계한다. 예를 들어 240×320 개의 화소를 가지는 2.2인치 QVGA의 경우, 각 화소 사이즈가 $47\mu\text{m}$ 인데, 이웃하는 화소전극간 간격(space)을 $4\mu\text{m}$ 로 함으로써, 각 화소전극의 사이즈를 $47\mu\text{m} - 4\mu\text{m} = 43\mu\text{m}$ 로 설계할 수 있다. 따라서, 도 1에서 나타난 종래의 $30\mu\text{m}$ 인 화소전극보다 $13\mu\text{m}$ 더 넓게 화소전극을 설계할 수 있다. 이와 같이 각 화소전극(150R, 150G, 150B)을 최대한 넓게 설계함으로써, 상기 각 화소전극(150R, 150G, 150B)은 각 화소구동회로에 포함된 모든 박막 트랜지스터(M1-M5) 뿐만 아니라 상기 데이터 라인(D_R , D_G , D_B)과도 절연체를 사이에 두고 오버랩(overlap)이 될 수 있다. 이 때 각 화소전극(150R, 150G, 150B)과 각 데이터 라인(D_R , D_G , D_B)간의 기생 캐패시터에 의한 크로스토크(crosstalk)가 발생할 수 있는데, 이는 각 화소전극(150R, 150G, 150B)아래에 두꺼운 절연막(예: 평탄화막)을 형성함으로써 기생 캐패시터 발생을 감소시킬 수 있다. 예를 들어, 상기 데이터라인(D_R , D_G , D_B)상부에 두께 5000\AA 내지 30000\AA 의 평탄화막을 형성함으로써, 기생 캐패시터를 감소시켜 캐패시터 커플링(coupling)에 의한 크로스토크(crosstalk)를 방지할 수 있다.

도 5는 도 4에 도시된 전면발광 유기전계발광표시장치 중 녹색 화소영역의 절단선 I-I'를 따라 취해진 단면도이다. 적색 화소영역 및 청색 화소영역은 상기 녹색 화소영역과 동일하게 형성되기 때문에 설명을 생략하기로 한다.

도 5를 참조하면, 녹색 화소영역(C_G)을 형성하기 위한 기판(100)을 준비한다. 상기 기판(100)은 투명한 기판 또는 불투명한 기판일 수 있다. 또한, 상기 기판(100)은 유리, 플라스틱, 석영, 실리콘 또는 금속 기판일 수 있다.

상기 기판(100) 상에 버퍼층(105)을 형성할 수 있다. 상기 버퍼층(110)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx), 실리콘 산질화막(SiO_2Nx) 또는 이들의 다중층일 수 있다.

상기 버퍼층(110) 상에 제 1 내지 제 5 반도체층(101-105)을 형성한다. 상기 반도체층들(101-105)은 비정질 실리콘막(a-Si) 또는 비정질 실리콘막을 결정화한 다결정 실리콘막(poly-Si)일 수 있다. 바람직하게는 상기 반도체층들(101-105)은 높은 전하이동도를 갖는 다결정 실리콘막이다. 상기 반도체층들(101-105) 상에 게이트 절연막(115)을 형성한다. 상기 게이트 절연막(115)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 또는 이들의 다중층일 수 있다.

상기 게이트 절연막(115) 상에 상기 제 1 내지 제 5 반도체층(101-105) 각각과 중첩하는 게이트 전극들(120-125)을 형성한다. 게이트 전극들(120-125)중 게이트전극들(121, 122)은 상기 제 2 반도체층(102)의 듀얼게이트 역할을 한다. 이

때, 상기 게이트 전극들(120-125)을 형성함과 동시에 스캔라인들(도 6의 Sn, Sn-1, Em)을 형성할 수 있다. 즉, 게이트 전극들(121-123)은 스캔라인(Sn)과 같이 형성되고, 게이트 전극(124)은 스캔라인(Em)과 같이 형성되며, 게이트 전극(125)은 스캔라인(Sn-1)과 같이 형성된다.

이어서, 상기 게이트 전극들(120-125)을 마스크로 하여 상기 제 1 내지 제 5 반도체층(101-105)에 도전성 불순물($n+$ 이온 또는 $p+$ 이온)을 주입하여 상기 반도체층(101-105) 각각에 소오스 영역들(101a-105a) 및 드레인 영역들(101c-105c)을 형성한다. 이때, 상기 소오스 영역들(101a-105a)과 드레인 영역들(101c-105c) 사이에 채널영역(101b-105B)이 정의된다.

상기 게이트 전극들(120-125) 상에 층간절연막(130)을 형성한다. 상기 층간절연막(130) 및 상기 게이트절연막(115) 내에 상기 소오스/드레인 영역들(101a-105a/101c-105c)을 각각 노출시키는 콘택홀들을 형성한다. 상기 콘택홀들이 형성된 기판 상에 도전막을 적층한 후, 이를 패터닝하여 소오스 전극들(132a-135a), 드레인 전극들(131c-135c), 데이터 라인(D_G) 및 전원 라인(Vdd)을 형성한다. 상기 소오스 전극들(132a-135a)과 드레인 전극들(131c-135c)은 상기 노출된 소오스/드레인 영역들(101a-105a/101c-105c)에 각각 접한다. 여기서, 상기 소오스 전극(132a)은 상기 게이트 전극(120)과 콘택된다. 그리고, 상기 전원라인(Vdd)은 상기 소오스 전극(135a)와 연결되고, 상기 데이터 라인(D_G)은 상기 소오스 전극(133a)와 연결된다.

상기 반도체층(101), 상기 게이트 전극(120), 상기 소오스 전극(131a) 및 드레인 전극(미도시)은 제 1 박막 트랜지스터(도 6의 M1)를 형성한다. 상기 반도체층(102), 상기 게이트 전극(121, 122), 상기 소오스 전극(132a) 및 상기 드레인 전극(132c)은 제 2 박막 트랜지스터(도 6의 M2)를 형성한다.

또한, 상기 반도체층(103), 상기 게이트 전극(123), 상기 소오스 전극(133a) 및 상기 드레인 전극(133c)은 제 3 박막 트랜지스터(도 6의 M3)를 형성한다. 상기 반도체층(104), 상기 게이트 전극(124), 상기 소오스 전극(134a) 및 상기 드레인 전극(134c)은 제 4 박막 트랜지스터(도 6의 M4)를 형성한다.

나아가, 상기 반도체층(105), 상기 게이트 전극(125), 상기 소오스 전극(135a) 및 상기 드레인 전극(135c)은 제 5 박막 트랜지스터(도 6의 M5)를 형성한다.

상기 소오스 전극들(132a-135a) 및 드레인 전극들(131c-135c)을 포함한 기판 전면 상에 패시베이션막(140)을 형성한다. 상기 패시베이션막(140)은 실리콘 산화막(SiO_2), 실리콘 질화막($SiNx$) 또는 이들의 다중층으로 형성할 수 있다. 바람직하게는 상기 패시베이션막(140)은 기체 및 수분을 효과적으로 차단하여 하부의 박막트랜지스터를 보호할 수 있고, 수소를 풍부하게 함유하여 상기 다결정 실리콘막의 결정립 경계(grain boundary)에 존재하는 불완전 결함을 보호할 수 있는 실리콘 질화막($SiNx$)이다.

상기 패시베이션막(140) 상에 하부 단차를 완화할 수 있는 유기막으로 이루어진 평탄화막(145)을 형성한다. 상기 평탄화막(145)은 BCB(benzocyclobutene)막, 폴리이미드막 또는 폴리아크릴막일 수 있다. 또한, 후속공정에서 형성되는 화소전극은 상기 평탄화막(145) 상에 상기 데이터 라인(D_G)과 오버랩(overlap)되게 형성되기 때문에 기생 캐패시터에 의한 크로스토크(crosstalk)가 발생할 수 있다. 따라서 상기 평탄화막(145)을 두껍게 형성하여야 한다. 바람직하게는 두께 5000Å 이상으로 평탄화막(145)을 형성함으로써 기생 캐패시터에 의한 크로스토크(crosstalk)를 방지할 수 있다. 나아가, 상기 비아홀(147)의 종횡비(aspect ratio)를 고려할 때, 상기 평탄화막(145)의 두께는 30000Å 이하인 것이 바람직하다.

상기 패시베이션막(140) 및 상기 평탄화막(145)내에 상기 제 4 박막 트랜지스터(M4)의 드레인 전극(134c)을 노출시키는 비아홀(147)을 형성한다.

상기 비아홀(135a)이 형성된 상기 평탄화막(145) 상에 화소전극(150G)을 형성한다. 상기 화소전극(150G)은 상기 비아홀(147) 내에 노출된 상기 드레인 전극(134c)에 접속하고, 상기 평탄화막(145) 상으로 연장된다. 상세하게는, 상기 화소전극(150G)은 상기 제 1 내지 제 5 박막 트랜지스터(M1-M5)를 전부 오버랩(overlap)시키게 형성된다. 따라서, 상기 화소전극(150G)과 이웃하는 화소전극들(150R, 150B)사이의 빈공간으로 발광빛이 투과됨으로써 발생하는 박막 트랜지스터의 포토-리퀴지(photo-leakage)를 감소시키게 된다. 또한, 상기 화소전극(150G)은 상기 데이터라인(D_G) 및 전원라인(Vdd)과도 중첩될 수 있다. 따라서, 도 1에 나타난 종래의 전면 발광 유기전계발광표시장치의 화소전극(15G) 보다 더 넓은 화소전극(150G)을 형성할 수 있다.

한편, 본 발명의 실시시에 따른 유기전계발광표시장치는 전면발광이기 때문에 상기 화소전극(150G)은 광반사 도전막을 사용하여 형성할 수 있다. 상기 광반사 도전막은 일함수가 높은 Ag, Al, Ni, Pt, Pd 또는 이들의 합금막이거나, 일함수가 낮은 Mg, Ca, Al, Ag, Ba 또는 이들의 합금막일 수 있다.

이와는 달리, 상기 화소전극(150G)을 형성하기 전에 상기 화소전극(150G) 하부에 반사막 패턴(149)을 더 형성하고, 상기 화소전극(150G)은 광투과 도전막을 사용하여 형성할 수 있다. 상기 광투과 도전막은 ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막일 수 있다. 상기 반사막 패턴(149)은 60% 이상의 반사율을 갖는 것이 바람직하며, 나아가, 상기 반사막 패턴(149)은 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금 또는 이들의 합금막일 수 있다. 이러한 반사막 패턴(149)은 상기 비아홀(149)로부터 소정 간격 이격되도록 형성할 수 있다.

상기 화소전극(150G) 상에 상기 각 화소전극의 적어도 일부영역을 노출시키는 개구부를 갖는 화소정의막(pixel defining layer; 155)을 형성할 수 있다. 상기 화소정의막(155)은 BCB(benzocyclobutene), 아크릴계 포토레지스트, 페놀계 포토레지스트 또는 이미드계 포토레지스트를 사용하여 형성할 수 있다.

상기 개구부들내에 노출된 녹색 화소전극(150G) 상에 녹색 유기발광층(160G)이 형성된다. 상기 유기발광층은 진공증착법, 잉크젯 프린트법 또는 레이저 열전사법을 사용하여 형성될 수 있다. 나아가, 상기 유기발광층(160G)의 상부 또는 하부에 정공주입층, 정공수송층, 정공억제층, 전자수송층 또는 전자주입층이 형성될 수 있다. 이어서, 상기 유기발광층(160G)과 상기 화소정의막(155) 상에 대향전극(170)이 형성된다. 상기 대향전극(170)은 상기 기판 전면에 형성될 수 있다. 상기 대향전극(170)은 광투과 도전막으로 형성하는 것이 바람직하다. 상기 광투과 도전막은 ITO막 또는 IZO막이거나, 빛을 투과시킬 수 있을 정도의 얇은 두께를 갖는 Mg, Ca, Al, Ag, Ba 또는 이들의 합금막일 수 있다.

상기 화소전극(150G), 상기 녹색 유기발광층(160G) 및 상기 대향전극(170)은 녹색 유기발광소자(OLED(G))를 형성한다. 상기 녹색 유기발광소자(OLED(G))의 발광영역은 상기 개구부들에 의해 각각 정의된다.

상기 녹색 유기발광소자(OLED(G))의 구동시에 정공들과 전자들 또는 전자들과 정공들은 상기 화소전극 및 상기 대향전극으로부터 상기 녹색 유기발광층(160G)으로 각각 주입되고, 상기 녹색 유기발광층(160G) 내로 주입된 정공과 전자는 녹색 유기발광층(160G)에서 결합하여 엑시톤(exciton)을 생성한다. 이러한 엑시톤이 여기상태에서 기저상태로 전이하면서 빛을 방출하게 된다. 상기 녹색 유기발광층(160G)으로부터 방출된 빛은 상기 화소전극(광반사 도전막으로 형성된 경우; 150G) 또는 상기 화소전극(광투과 도전막으로 형성된 경우; 150G) 하부의 반사막 패턴(149)에서 반사되어 상기 광투과 도전막인 대향전극(170)을 투과하여 외부로 방출된다.

지금까지 본 발명의 실시시에 따른 화소구동회로로서 5개의 박막 트랜지스터와 2개의 커패시터가 포함되는 것을 예로 들어 설명하였지만, 본 발명은 이에 한정되지 않고 2개 이상의 박막 트랜지스터와 1개 이상의 커패시터에 의해 동작하는 모든 화소구동회로에 적용될 것이다.

도 6은 본 발명의 실시시에 따른 유기전계발광표시장치의 또 다른 화소회로에 대한 회로도이다. 도 6에 도시된 화소회로는 NxM 개의 화소 회로 중 m번째 데이터라인(Dm)과 n번째 스캔라인(Sn)에 연결된 화소회로를 나타낸다.

도 6을 참조하면, 화소 회로는 유기발광소자(OLED)와 상기 유기발광소자(OLED)를 구동하기 위한 화소구동회로로 이루어진다. 화소구동회로는 제 1 박막 트랜지스터(M1), 제 2 박막 트랜지스터(M2) 및 커패시터(Cst)를 포함한다. 제 1 박막 트랜지스터(M1)는 전원전압(Vdd)과 유기발광소자(OLED) 사이에 연결된다. 제 2 박막 트랜지스터(M2)는 스캔라인(Sn)에 인가되는 선택 신호에 응답하여 온/오프 제어되며, 데이터라인(Dm)과 제 1 박막 트랜지스터(M1)의 게이트 사이에 연결된다. 커패시터(Cst)는 전원전압(Vdd)과 제 1 박막 트랜지스터(MD)의 게이트 사이에 연결된다.

상술한 화소 회로의 동작을 살펴보면 다음과 같다. 먼저 스캔라인(Sn)에 선택 신호가 인가되면, 제 2 박막 트랜지스터(MS)가 온 상태가 된다. 이 상태에서, 데이터라인(Dm)에 인가되는 데이터 전압은 제 2 박막 트랜지스터(M2)를 통해 커패시터(Cst)의 일단에 인가되고, 커패시터(Cst)에는 전원전압(Vdd)과 데이터 전압 간의 전압차에 상응하는 전압이 저장된다. 제 1 박막 트랜지스터(M1)는 커패시터(Cst)에 저장된 소정의 전압에 의해 정전류원으로 동작하며, 유기발광소자(OLED)에 구동전류를 공급한다. 유기발광소자(OLED)는 화소전극, 대향전극 및 상기 화소전극과 상기 대향전극 사이에 개재된 유기발광층을 구비한다.

이때, 유기발광소자(OLED)에 흐르는 전류는 다음의 [수학식 3]과 같다.

수학식 3

$$I_{OLED} = k(V_{gs} - V_{th})^2 = k(V_{dd} - V_{data} - V_{th})^2$$

여기서, I_{OLED} 는 유기 발광 소자(OLED)에 흐르는 전류, V_{gs} 는 제 1 박막 트랜지스터(M1)의 소오스와 게이트 사이의 전압, V_{th} 는 제 1 박막 트랜지스터(MD)의 문턱 전압, V_{data} 는 데이터 전압, 그리고 k 는 상수 값을 나타낸다.

또한, 상기 화소구동회로는 상기 제 1 박막 트랜지스터(M1)와 유기발광소자(OLED) 사이에 연결되어, 게이트에 연결된 발광제어라인(미도시)의 발광제어신호에 응답하여 상기 제 1 박막 트랜지스터(M1)의 구동전류를 차단하거나 흐르게하는 제 3 박막 트랜지스터를 더 포함할 수 있다.

이러한 화소회로를 갖는 유기전계발광표시장치의 화소 레이아웃은 화소영역(도 4의 C_R , C_G , C_B)에 상기 제 1 박막 트랜지스터(M1) 및 제 2 박막 트랜지스터(M2)(제 3 박막 트랜지스터가 있다면 포함)가 위치하는 것을 제외하고는 도 4를 참조하여 나타낸 화소 레이아웃과 동일할 수 있다.

상술한 도 6과 같은 화소회로에 있어서, 화소전극은 상기 제 1 박막 트랜지스터(M1) 및 제 2 박막 트랜지스터(M2)(제 3 박막 트랜지스터가 있다면 포함)상에 절연막을 사이에 두고 전부 오버랩(overlap)되게 형성되는 것을 요지로 한다.

도 7은 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소회로를 나타낸 회로도이다.

도 7을 참조하면, 화소회로는 유기발광소자(OLED)와 상기 유기발광소자(OLED)를 구동하기 위한 화소구동회로로 구성된다.

화소구동회로는 제 1 내지 제 5 박막 트랜지스터(M11-M15)와 캐패시터(Cst)로 이루어졌다. 상세하게는, 제 1 트랜지스터(M11)는 다수의 스캔라인 중 해당하는 스캔라인에 인가되는 현재 스캔라인(S_n)에 게이트가 연결되고, 다수의 데이터라인 중 해당하는 데이터라인(D_m)에 인가되는 데이터신호가 소스에 인가된다. 제 2 트랜지스터(M12)는 상기 현재 스캔라인 바로 이전의 스캔라인(S_{n-1})에 인가되는 이전 선택신호가 게이트에 인가되고, 드레인에 초기화전압(V_{init})이 인가된다. 미러형태를 갖는 제 3 및 제 4 트랜지스터(M13, M14)는 게이트가 공통으로 연결되어 있다. 제 5 트랜지스터(M15)는 발광제어라인(E_m)에 게이트에 연결되고 드레인이 상기 제 4 트랜지스터(M14)의 드레인에 연결된다. 그리고, 상기 제 5 트랜지스터(M15)와 기준전압(V_{ss})사이에 연결되는 유기발광소자(OLED)와, 상기 제 4 트랜지스터(M14)의 게이트-소오스간에 연결되는 캐패시터(Cst)를 구비한다.

상기 유기발광소자(OLED)는 화소전극, 대향전극 및 상기 화소전극과 상기 대향전극 사이에 개재된 유기발광층을 구비한다.

상기한 바와같은 구조를 갖는 유기 전계 발광 표시장치의 화소회로의 동작을 설명하면 다음과 같다.

먼저, 초기화동작시에는, 이전 스캔라인(S_{n-1})에 로우(low)레벨의 선택신호가 인가되고, 현재 스캔라인(S_n)에 하이(high)레벨의 선택신호가 인가되고, 발광제어라인(E_m)에 하이(high)레벨의 발광제어신호가 인가되면, 제 2 트랜지스터(M12)가 턴온되고, 제 1 트랜지스터(M11)와 제 5 트랜지스터(M15)가 턴오프되어 미러타입의 제 3 및 제 4 트랜지스터(M13, M14)도 턴오프된다. 따라서, 캐패시터(Cst)에 저장된 데이터는 제 2 트랜지스터(M12)를 통해 초기화전압(V_{init})으로 초기화된다.

한편, 데이터 프로그램시에는, 이전 스캔라인(S_{n-1})에 하이(high)레벨의 선택신호가 인가되고, 현재 스캔라인(S_n)에 로우(low)레벨의 선택신호가 인가되고, 발광제어라인(E_m)에 하이(high)레벨의 발광제어신호가 인가되면, 제 2 및 제 5 트랜지스터(M12, M15)는 턴오프되고, 제 1 트랜지스터(M11)가 턴온되어 미러타입의 제 3 및 제 4 트랜지스터(M13, M14)가 턴온된다. 따라서, 데이터라인에 인가되는 전압레벨의 데이터신호(V_{data})가 제 3 트랜지스터(M13)을 통해 제 4 트랜지스터(M14)의 게이트에 전달된다.

다음으로, 발광시에는 이전 스캔라인(Sn-1)에 하이(high)레벨의 선택신호가 인가되고, 현재 스캔라인(Sn)에 하이(high)레벨의 선택신호가 인가되고, 발광제어라인(Em)에 로우(low)레벨의 발광제어신호가 인가되면, 발광제어신호에 의해 제 5 트랜지스터(M15)가 턴온되므로, 제 4 트랜지스터(M14)의 게이트에 인가되는 전압레벨의 데이터신호(Vdata)에 대응하는 구동전류가 유기발광소자(OLED)로 흐르게 되어 발광하게 된다.

상기 제 4 트랜지스터(M14)의 게이트에 인가되는 전압은 $V_{data} - V_{th_{M13}}$ 가 되고, 유기발광소자(OLED)를 통해 흐르는 전류는 하기의 [수학식 4]으로 표현된다.

$$I_{OLED} = k(V_{gs_{M4}} - V_{th_{M4}})^2 = k(V_{dd} - V_{data} + V_{th_{M3}} - V_{th_{M4}})^2 = k(V_{dd} - V_{data})^2$$

여기서, I_{OLED} 는 유기발광소자(OLED)에 흐르는 전류, $V_{gs_{M4}}$ 는 제 4 트랜지스터(M14)의 소오스와 게이트사이의 전압, $V_{th_{M13}}$ 은 제 3 트랜지스터(M13)의 문턱전압, $V_{th_{M14}}$ 은 제 4 트랜지스터(M14)의 문턱전압, V_{data} 는 데이터전압, k 는 상수값을 각각 나타낸다. 이때, 전류미러용 제 3 및 제 4 트랜지스터(M13, M14)의 문턱전압이 같으면, 즉 $V_{th_{M13}} = V_{th_{M14}}$ 가 같다면, 트랜지스터의 문턱전압을 보상할 수 있어 유기발광소자(OLED)의 구동전류를 균일하게 유지할 수 있다.

이러한 화소회로를 갖는 유기전계발광표시장치의 화소 레이아웃은 초기전압라인(Vint)이 횡방향 또는 열방향으로 추가적으로 배열되고, 화소영역(도 4의 C_R , C_G , C_B)에 상기 제 1 내지 제 5 트랜지스터들(M11-M15) 및 상기 캐패시터(Cst)가 위치하는 것을 제외하고는 도 4를 참조하여 나타난 화소 레이아웃과 동일할 수 있다.

도 7과 같은 화소회로에 있어서, 상기 화소전극은 상기 제 1 내지 제 5 트랜지스터들(M11-M15)상에 절연막을 사이에 두고 전부 오버랩(overlap)되게 형성되는 것을 요지로 하며, 상기 초기전압라인(Vint)과도 중첩될 수 있다.

도 8은 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소회로를 나타낸 회로도이다.

도 8을 참조하면, 본 발명의 유기전계 발광표시장치의 화소회로는 유기발광소자(OLED)와 상기 유기발광소자(OLED)를 구동하기 위한 화소구동회로로 구성된다.

화소구동회로는 제 1 내지 제 6 트랜지스터(M21-M26)와 하나의 캐패시터(Cst)로 이루어진다. 제 2 트랜지스터(M22)는 게이트에 해당하는 스캔라인(Sn)에 인가되는 현재 선택신호가 인가되고 소스에 데이터라인(Dm)이 연결되어 데이터신호가 인가되며, 드레인이 상기 제 1 트랜지스터(M21)의 소스에 연결된다.

제 1 트랜지스터(M21)는 게이트가 상기 캐패시터(Cst)의 일측단자에 연결되고, 드레인이 상기 유기발광소자(OLED)의 일측단자에 연결된다. 제 3 트랜지스터(M23)는 상기 제 1 트랜지스터(M21)의 게이트와 드레인에 각각 드레인과 소스가 각각 연결되고 게이트에 현재 선택신호가 인가된다.

캐패시터(Cst)의 타측에는 해당하는 전원전압라인(Vdd)으로부터 전원전압이 제공된다. 제 5 트랜지스터(M25)는 발광제어신호가 게이트에 인가되고, 소스에 상기 전원전압라인(Vdd)으로부터 전원전압이 인가되며, 드레인이 상기 제 2 트랜지스터(M22)의 드레인에 연결된다.

제 6 트랜지스터(M26)는 발광제어신호가 게이트에 인가되고, 소스가 상기 제 1 트랜지스터(M21)의 드레인에 연결되고, 드레인이 상기 유기발광소자(OLED)의 일단에 연결된다. 제 4 트랜지스터(M24)는 게이트에 이전 선택신호가 인가되고 소스가 상기 캐패시터(Cst)의 일측단자에 연결되며 드레인이 상기 초기전압라인(Vinit)에 연결되어 초기전압이 인가된다.

유기발광소자(OLED)는 화소전극, 대향전극 및 상기 화소전극과 상기 대향전극 사이에 개재된 발광층을 구비한다.

상기한 바와같은 도 8의 구성을 갖는 화소회로의 동작을 설명하면 다음과 같다.

먼저, 초기화동작시에는, 이전 스캔라인(Sn-1)의 선택신호가 로우레벨이고 현재 스캔라인(Sn)과 발광제어라인(Em)의 신호가 하이레벨인 초기화구간에서, 로우레벨의 이전 스캔라인(Sn-1)의 선택신호에 의해 제 4 트랜지스터(M24)가 턴온되

고, 하이레벨의 현재 스캔라인(Sn)와 발광제어라인(Em)의 선택신호 및 발광제어신호에 의해 제 1 내지 제 3 트랜지스터(M21-M23)과 제 5 및 제 6 트랜지스터(M25, M26)가 턴오프된다. 따라서, 캐패시터(Cst)에 저장되어 있던 데이터 즉, 제 1 트랜지스터(M21)의 게이트전압은 초기화된다.

다음, 데이터 프로그램 동작시에는, 이전 스캔라인(Sn-1)의 선택신호가 하이레벨이고 현재 스캔라인(Sn)의 선택신호가 로우레벨이며 발광제어라인(Em)의 발광제어신호가 하이레벨인 프로그램구간에서, 제 4 트랜지스터(M24)는 턴오프되고, 로우레벨의 현재 스캔라인(Sn)의 선택신호에 의해 제 3 트랜지스터(M23)가 턴온되어 제 1 트랜지스터(M21)는 다이오드 연결된다.

이때, 현재 스캔라인(Sn)의 선택신호에 의해 제 2 트랜지스터(M22)도 턴온되고, 발광제어라인(Em)의 발광제어신호에 의해 제 5 및 제 6 트랜지스터(M25, M26)가 턴오프된다. 즉, 상기 제 1 트랜지스터(M21)는 다이오드 연결되어 있으므로 제 1 트랜지스터(M21)의 게이트전압에는 $V_{data} - V_{th_{M21}}$ 이 인가되고, 상기 게이트전압이 캐패시터(Cst)에 저장되어 프로그램동작이 완료된다.

마지막으로, 발광시에는 이전 스캔라인(Sn-1)의 선택신호가 하이레벨이고, 현재 스캔라인(Sn)의 선택신호가 하이레벨로 된 다음 발광제어라인(Em)의 발광제어신호가 로우레벨로 되는 발광구간에서, 로우레벨의 발광제어라인(Em)의 발광제어신호에 의해 제 5 및 제 6 트랜지스터(M25, M26)가 턴온되고, 하이레벨의 이전 스캔라인(Sn-1)의 선택신호에 의해 제 4 트랜지스터(M24)가 턴오프되며, 하이레벨의 현재 스캔라인(Sn)의 선택신호에 의해 제 3 트랜지스터(M23)와 제 2 트랜지스터(M22)가 턴오프된다. 따라서, 제 1 트랜지스터(M21)의 게이트에 인가되는 전압레벨의 데이터신호에 대응하여 발생되는 구동전류가 제 1 트랜지스터(M21)를 통해 유기발광소자(OLED)로 흘러 유기발광소자(OLED)는 발광을 하게 된다.

이때, 유기발광소자(OLED)로 흐르는 전류는 하기의 [수학식 5]과 같다.

수학식 5

$$I_{OLED} = k(V_{gs_{M21}} - V_{th_{M21}})^2 = k(V_{dd} - V_{data} + V_{th_{M21}} - V_{th_{M21}})^2 = k(V_{dd} - V_{data})^2$$

여기서, I_{OLED} 는 유기발광소자(OLED)에 흐르는 전류, $V_{gs_{M21}}$ 는 제 1 트랜지스터(M21)의 소스와 게이트사이의 전압, $V_{th_{M21}}$ 은 제 1 트랜지스터(M21)의 문턱전압, V_{data} 는 데이터전압, V_{dd} 는 전원전압, k 는 상수값을 각각 나타낸다.

상기의 수학식 5 에서 알 수 있는 바와같이, 제 1 트랜지스터(M21)의 문턱전압에 관계없이 데이터라인에 인가되는 전압레벨의 데이터신호에 대응하여 구동전류가 유기발광소자(OLED)를 통해 흐른다.

도 8과 같은 화소회로를 갖는 유기전계발광표시장치의 화소 레이아웃은 초기전압라인(Vint)이 횡방향 또는 열방향으로 추가적으로 배열되고, 화소영역(도 4의 C_R , C_G , C_B)에 상기 제 1 내지 제 6 트랜지스터들(M21-M26) 및 상기 캐패시터(Cst)가 위치하는 것을 제외하고는 도 4를 참조하여 나타낸 화소 레이아웃과 동일할 수 있다. 이 때, 상기 화소전극은 상기 제 1 내지 제 6 트랜지스터들(M21-M26)상에 절연막을 사이에 두고 상기 6개의 박막 트랜지스터(M21-M26)를 전부 오버랩(overlap)도게 형성되는 것을 요지로 하며, 상기 초기전압라인(Vint)과도 중첩될 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

상술한바와 같이, 본 발명의 실시예에 따른 유기전계발광표시장치는 화소전극을 최대한 넓게함으로써, 개구율을 향상시킬 수 있는 효과가 있다.

또한, 화소구동회로에 포함되는 모든 박막 트랜지스터가 오버랩(overlap)되도록 화소전극을 배치하여 이웃한 화소전극 사이의 빈공간으로 발광빛의 투과로 인한 박막 트랜지스터의 포토-리퀴지(photo-leakage)를 감소시킬 수 있는 효과가 있다.

도면의 간단한 설명

도 1은 종래의 전면발광 유기전계발광표시장치의 화소어레이 중 적색, 녹색 및 청색 화소를 나타낸 레이아웃도이다.

도 2는 본 발명의 실시예에 따른 유기전계발광표시장치의 화소회로를 나타낸 회로도이다.

도 3은 도 2에 도시된 화소회로의 동작을 나타내는 타이밍도이다.

도 4는 본 발명의 실시예에 따른 전면발광 유기전계발광표시장치의 화소 어레이 중 적색, 녹색 및 청색 화소를 나타낸 레이아웃도이다.

도 5는 도 4에 도시된 전면발광 유기전계발광표시장치 중 녹색 화소영역의 절단선 I-I'를 따라 취해진 단면도이다.

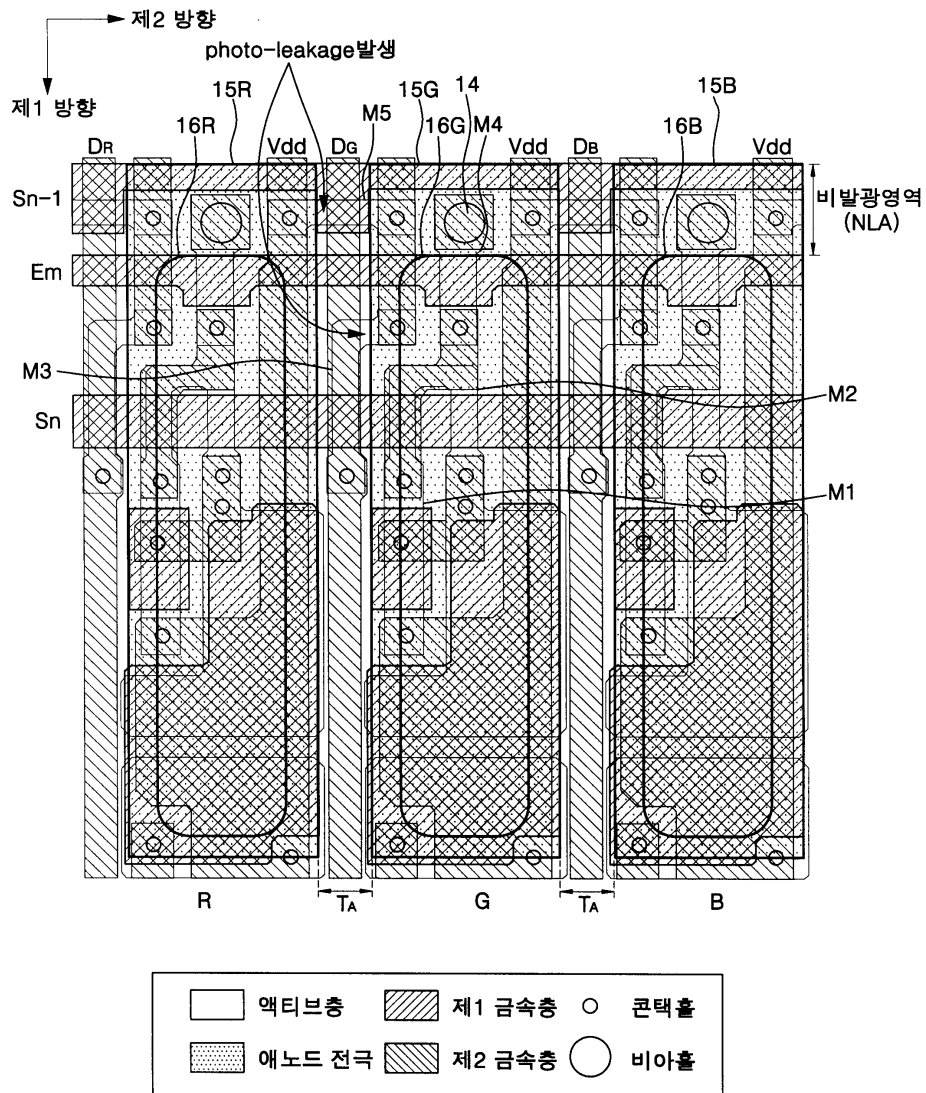
도 6은 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소회로에 대한 회로도이다.

도 7은 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소회로를 나타낸 회로도이다.

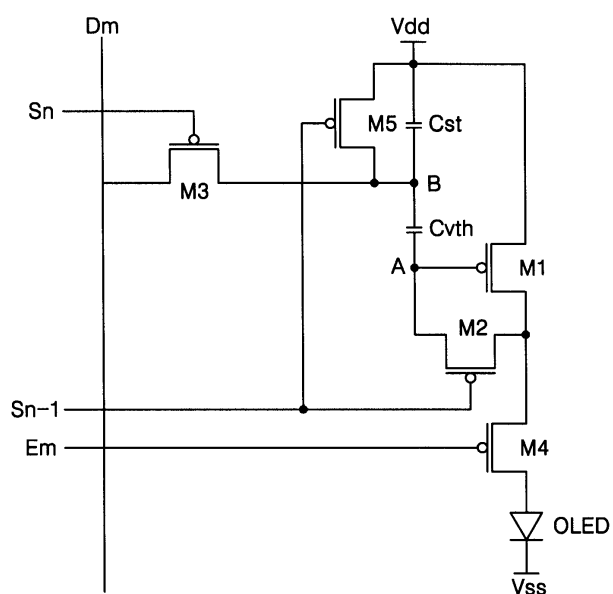
도 8은 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소회로를 나타낸 회로도이다.

도면

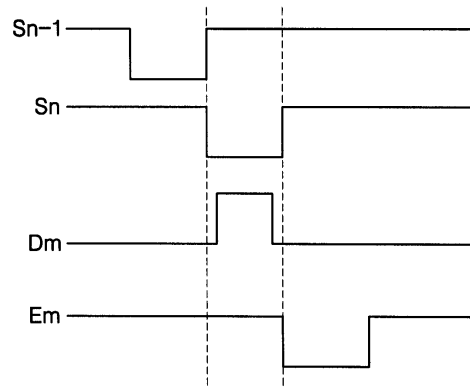
도면1



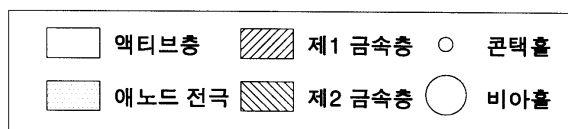
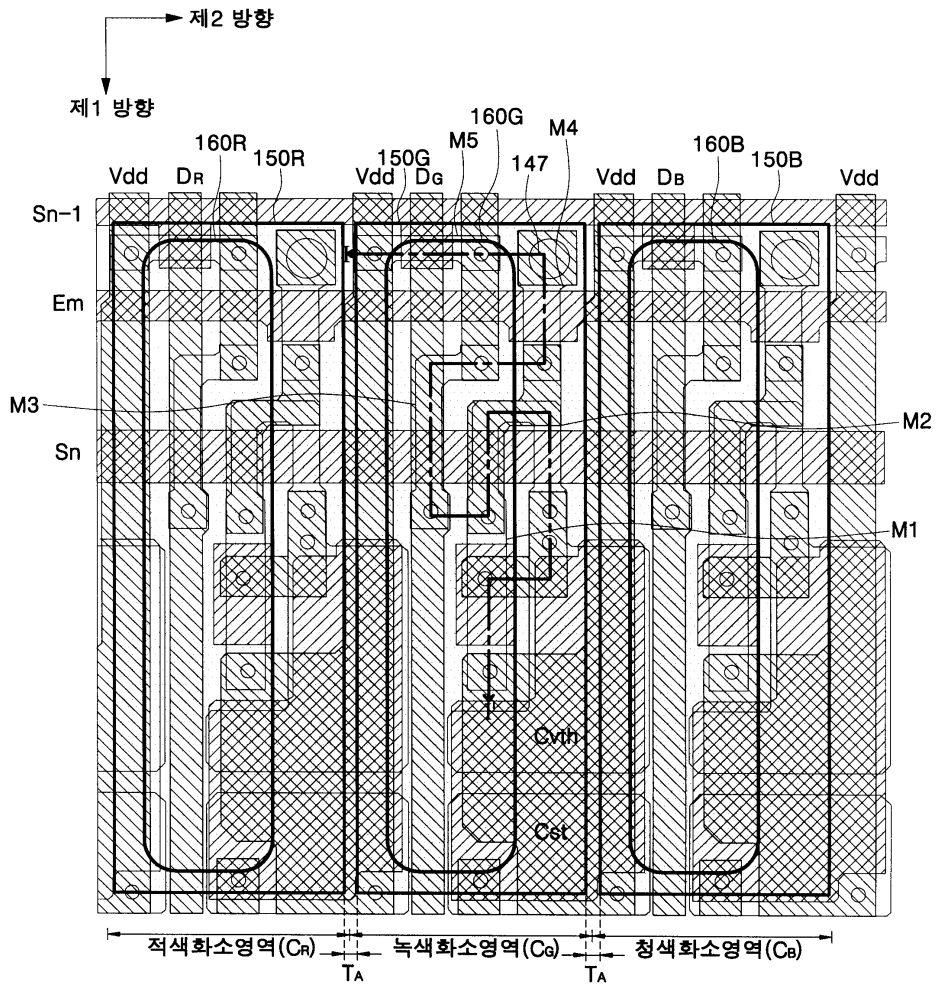
도면2



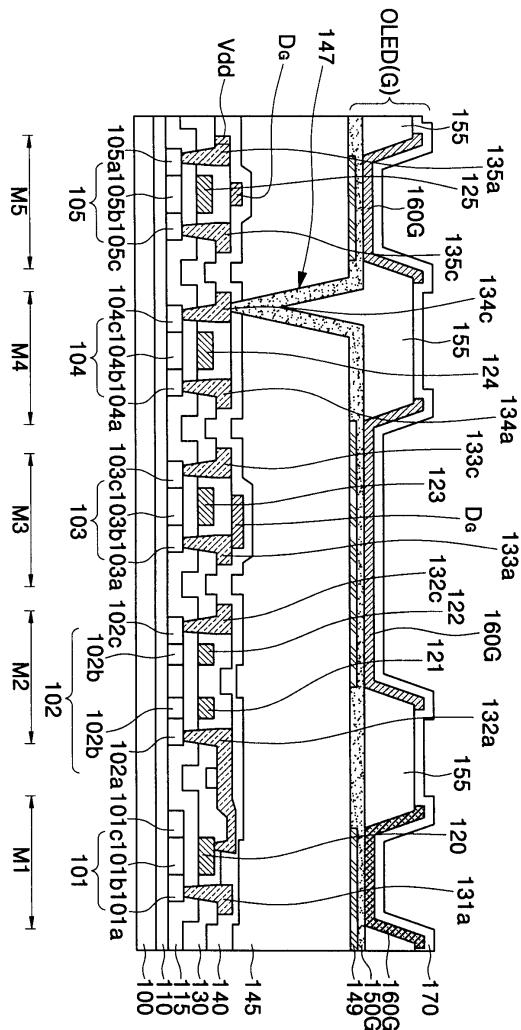
도면3



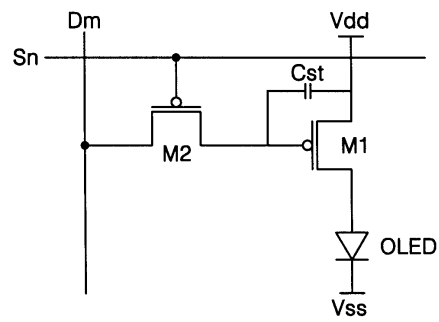
도면4



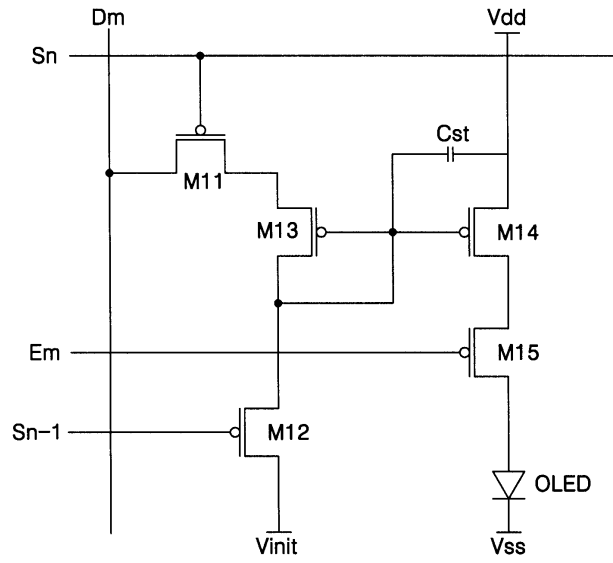
도면5



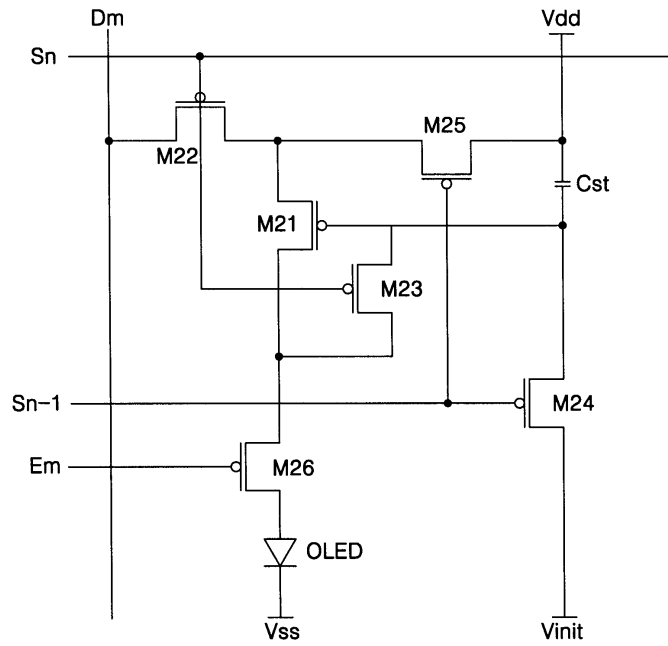
도면6



도면7



도면8



专利名称(译)	前发光有机电致发光显示装置		
公开(公告)号	KR100700648B1	公开(公告)日	2007-03-27
申请号	KR1020050008756	申请日	2005-01-31
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KWAK WONKYU 곽원규 LEE KWANHEE 이관희		
发明人	곽원규 이관희		
IPC分类号	H05B33/26		
CPC分类号	H01L27/3262 G09G2300/0852 G09G2300/0842 G09G2300/0465 G09G2300/0861 G09G2320/043 H01L2251/5315 H01L27/3272 G09G3/3233 H01L27/3276 H01L51/5206 G09G2300/0819 H01L51/5218		
代理人(译)	PARK, 常树		
其他公开文献	KR1020060087885A		
外部链接	Espacenet		

摘要(译)

公开了使用像素电极的新布局的顶部发光有机电致发光显示装置，用于减少薄膜晶体管的光泄漏（光泄漏）并提高开口率。在根据本发明优选实施例的顶部发光有机电致发光显示装置的范围内，布局设计规则确定像素电极，它是最广泛形成的。此外，在像素电极上形成的薄膜晶体管整体形成为重叠的下部。顶部发光有机电致发光显示器件，光泄漏（光泄漏），高孔径比，像素电极。

