



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월15일 10-0658616 2006년12월11일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0038950 2004년05월31일 2004년05월31일	(65) 공개번호 (43) 공개일자	10-2005-0113833 2005년12월05일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	신동용 서울특별시관악구봉천1동969-37
(74) 대리인	유미특허법인

(56) 선행기술조사문헌 JP10254412 A JP2002328643 A 1005153050000 * 심사관에 의하여 인용된 문헌	JP2001147659 A KR1020030095215 A
---	-------------------------------------

심사관 : 조지은

전체 청구항 수 : 총 35 항

(54) 발광 표시 장치 및 그 표시 패널과 구동 방법

(57) 요약

본 발명은 발광 표시 장치 및 그 표시 패널과 구동 방법에 관한 것이다. 본 발명에 따르면, 화소 회로는 인가되는 전류에 대응하여 빛을 방출하는 발광 소자, 선택 신호에 응답하여 데이터 신호를 전달하는 제1 스위칭 소자, 제1 스위칭 소자로부터 데이터 신호가 전달되는 동안 다이오드 연결되는 트랜지스터, 트랜지스터의 게이트 및 소스 간에 접속되는 제1 커패시터, 트랜지스터의 게이트와 부스트 주사선에 전기적으로 연결되어 있으며, 부스트 신호의 전압 레벨 변화에 대응하여 상기 제1 커패시터의 전압을 변경하는 제2 커패시터, 및 발광 신호에 응답하여 트랜지스터로부터 출력되는 전류를 발광 소자로 전달하는 제2 스위칭 소자를 포함한다. 여기서, 부스트 신호의 펄스 폭은 수평 주기와 실질적으로 동일하게 설정되고, 선택 신호의 펄스 폭은 수평 주기보다 좁게 설정되며, 발광 신호의 펄스 폭은 수평 주기의 배수가 되도록 설정된다.

대표도

도 9

특허청구의 범위

청구항 1.

데이터 신호를 전달하기 위한 복수의 데이터선, 선택 신호를 전달하기 위한 복수의 제1 주사선, 및 상기 데이터선과 상기 제1 주사선에 각각 연결되는 복수의 화소 회로를 포함하는 발광 표시 장치에 있어서,

상기 화소 회로는,

인가되는 전류에 대응하여 빛을 방출하는 발광 소자,

상기 제1 주사선으로부터의 상기 선택 신호에 응답하여 상기 데이터선으로부터의 상기 데이터신호를 전달하는 제1 스위칭 소자,

상기 제1 스위칭 소자로부터 상기 데이터 신호가 전달되는 동안 다이오드 연결되는 트랜지스터,

상기 트랜지스터의 제1 주 전극과 제어 전극 사이에 접속되고, 상기 제1 스위칭 소자로부터의 상기 데이터 전류에 대응하는 제1 전압을 저장하는 제1 저장 소자,

상기 트랜지스터의 상기 제어 전극과 제1 제어 신호를 전달하는 제2 주사선에 전기적으로 연결되어 있으며, 상기 제1 제어 신호가 제1 레벨에서 제2 레벨로 변경되는 경우에 상기 제1 저장 소자와의 커플링을 통해 상기 제1 저장 소자의 상기 제1 전압을 제2 전압으로 변경하는 제2 저장 소자, 및

제2 제어 신호에 응답하여, 상기 트랜지스터로부터 출력되는 전류를 상기 발광 소자로 전달하는 제2 스위칭 소자를 포함하며,

상기 제1 제어 신호는 수평 주기 동안 상기 제1 레벨을 유지하도록 설정되는 발광 표시 장치.

청구항 2.

제1항에 있어서,

상기 선택 신호가 인에이블 레벨인 기간은 상기 수평 주기 내에 포함되는 발광 표시 장치.

청구항 3.

제1항에 있어서,

상기 제2 제어 신호가 디스에이블 레벨인 기간은 상기 수평 주기를 포함하는 발광 표시 장치.

청구항 4.

제3항에 있어서,

상기 제2 제어 신호가 상기 디스에이블 레벨인 기간은 상기 수평 주기의 정수 배인 발광 표시 장치.

청구항 5.

제1항에 있어서,

상기 화소 회로는 상기 선택 신호에 응답하여 상기 트랜지스터를 다이오드 연결하는 제3 스위칭 소자를 더 포함하는 발광 표시 장치.

청구항 6.

제1항에 있어서,

상기 제1 주사선에 상기 선택 신호를 인가하는 제1 주사 구동부와 상기 제2 제어 신호를 생성하는 제2 주사 구동부를 더 포함하는 발광 표시 장치.

청구항 7.

제6항에 있어서,

상기 제1 및 제2 주사 구동부는 제3 레벨의 펄스를 가지는 제1 신호를 제1 기간만큼 순차적으로 지연시켜 복수의 제2 신호를 생성하는 시프트 레지스터를 포함하는 발광 표시 장치.

청구항 8.

제7항에 있어서,

상기 시프트 레지스터는 입력 신호를 상기 제1 기간만큼 지연시켜 상기 제2 신호로 출력하는 복수의 플립플롭을 포함하는 발광 표시 장치.

청구항 9.

제8항에 있어서,

상기 플립플롭은 제1 클록 신호에 동기하여 상기 입력 신호를 반전하여 출력하는 제1 인버터, 상기 제1 인버터의 출력 신호를 반전하여 상기 제2 신호로 출력하는 제2 인버터, 및 상기 제2 인버터의 양단에 접속되어 제2 클록 신호에 동기하여 상기 제2 신호를 반전하여 출력하는 제3 인버터를 포함하는 발광 표시 장치.

청구항 10.

제9항에 있어서,

상기 제1 클록 신호와 상기 제2 클록 신호는 서로 반전된 신호인 발광 표시 장치.

청구항 11.

제10항에 있어서,

상기 복수의 플립플롭 중 홀수 번째 플립플롭과 짝수 번째 플립플롭에 인가되는 상기 제1 클록 신호는 서로 반전된 신호인 발광 표시 장치.

청구항 12.

제9항에 있어서,

상기 제1 기간은 상기 제1 클럭 신호의 반 주기 기간과 실질적으로 길이가 동일한 발광 표시 장치.

청구항 13.

제7항에 있어서,

상기 제1 주사 구동부와 상기 제2 주사 구동부는 상기 시프트 레지스터를 공유하는 발광 표시 장치.

청구항 14.

제7항 내지 제13항 중 어느 한 항에 있어서,

상기 제1 주사 구동부는, 상기 복수의 제2 신호 중 인접하는 두 개의 신호가 모두 상기 제3 레벨인 기간에서 제4 레벨의 펄스를 가지는 제3 신호를 출력하고,

상기 수평 주기의 양단에서 제2 기간만큼 상기 제3 레벨을 가지는 제4 신호와 상기 제3 신호가 상기 제4 레벨인 기간에서 상기 제3 레벨인 펄스를 가지는 신호를 상기 선택 신호로 출력하는 발광 표시 장치.

청구항 15.

제7항 내지 제13항 중 어느 한 항에 있어서,

상기 제2 주사 구동부는, 상기 복수의 제2 신호 중 인접하는 두 개의 신호 중 어느 하나가 상기 제3 레벨인 구간에서 제4 레벨의 펄스를 가지는 신호를 생성하여 상기 제2 제어 신호로 출력하는 발광 표시 장치.

청구항 16.

제9항에 있어서,

상기 제2 주사 구동부는, 인접하는 플립플롭에 포함된 상기 제1 인버터의 출력 중 어느 하나가 상기 제3 레벨인 구간에서 제4 레벨의 펄스를 가지는 신호를 생성하여 상기 제2 제어 신호로 출력하는 발광 표시 장치.

청구항 17.

데이터 신호를 전달하기 위한 복수의 데이터선, 선택 신호를 전달하기 위한 복수의 제1 주사선, 발광 신호를 전달하기 위한 복수의 제2 주사선, 및 상기 데이터선과 상기 제1 및 제2 주사선에 각각 연결되는 복수의 화소 회로를 포함하는 표시 패널;

상기 데이터 신호를 상기 데이터선에 인가하기 위한 데이터 구동부;

상기 선택 신호를 상기 제1 주사선에 인가하기 위한 제1 주사 구동부; 및

상기 발광 신호를 상기 제2 주사선에 인가하기 위한 제2 주사 구동부

를 포함하며,

상기 제1 및 제2 주사 구동부는 제1 레벨의 펄스를 가지는 제1 신호를 제1 기간만큼 순차적으로 지연시켜 복수의 제2 신호를 생성하는 시프트 레지스터를 포함하고,

상기 제1 주사 구동부는 상기 복수의 제2 신호 중 인접하는 두 개의 신호가 모두 상기 제1 레벨인 기간에서 제2 레벨의 펄스를 가지는 제3 신호를 출력하고, 수평 주기의 양단에서 제2 기간만큼 상기 제1 레벨을 가지는 제4 신호와 상기 제3 신호가 상기 제2 레벨인 기간에서 상기 제1 레벨인 펄스를 가지는 신호를 상기 선택 신호로 출력하고,

상기 제2 주사 구동부는 상기 복수의 제2 신호 중 인접하는 두 개의 신호 중 어느 하나가 상기 제1 레벨인 구간에서 상기 제2 레벨의 펄스를 가지는 신호를 생성하여 상기 발광 신호로 출력하는 발광 표시 장치.

청구항 18.

제17항에 있어서,

상기 화소 회로는,

인가되는 전류에 대응하여 빛을 방출하는 발광 소자,

상기 선택 신호에 응답하여 상기 데이터 신호를 전달하는 제1 스위칭 소자,

상기 제1 스위칭 소자로부터 상기 데이터 신호가 전달되는 동안 다이오드 연결되는 트랜지스터,

상기 트랜지스터의 제1 주 전극과 제어 전극 사이에 접속되는 제1 저장 소자,

상기 트랜지스터의 상기 제어 전극과 제1 제어 신호를 전달하는 제3 주사선에 전기적으로 연결되는 제2 저장 소자, 및

상기 발광 신호에 응답하여, 상기 트랜지스터로부터 출력되는 전류를 상기 발광 소자로 전달하는 제2 스위칭 소자를 포함하는 발광 표시 장치.

청구항 19.

제18항에 있어서,

상기 제1 제어 신호는 상기 제3 신호를 반전한 신호인 발광 표시 장치.

청구항 20.

제18항에 있어서,

상기 제1 제어 신호를 상기 제3 주사선에 인가하기 위한 제3 주사 구동부를 더 포함하는 발광 표시 장치.

청구항 21.

제18항에 있어서,

상기 화소 회로는 상기 선택 신호에 응답하여 상기 트랜지스터를 다이오드 연결하는 제3 스위칭 소자를 더 포함하는 발광 표시 장치.

청구항 22.

데이터 신호를 전달하기 위한 복수의 데이터선, 선택 신호를 전달하기 위한 복수의 주사선, 및 상기 데이터선과 상기 주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소 회로를 포함하는 발광 표시 장치의 표시 패널에 있어서,

상기 화소 회로는,

인가되는 전류에 대응하여 빛을 방출하는 발광 소자,

상기 주사선으로부터의 선택 신호에 응답하여 상기 데이터선으로부터의 데이터 신호를 전달하는 제1 스위칭 소자,

상기 발광 소자를 발광시키기 위한 구동 전류를 공급하며, 상기 제1 스위칭 소자로부터 상기 데이터 신호가 전달되는 동안 다이오드 연결되는 트랜지스터,

상기 트랜지스터의 제1 주 전극과 제어 전극 사이에 접속되는 제1 저장 소자,

상기 트랜지스터의 상기 제어 전극과 제1 제어 신호를 공급하는 신호선 사이에 연결되는 제2 저장 소자, 및

제2 제어 신호에 응답하여 상기 트랜지스터의 제2 주 전극과 상기 발광 소자를 전기적으로 연결시키는 제2 스위칭 소자를 포함하며,

상기 선택 신호가 인에이블인 기간은 수평 주기 내에 포함되도록 설정되고, 상기 제2 제어 신호가 디스에이블인 기간은 상기 수평 주기의 정수 배로 설정되는 표시 패널.

청구항 23.

제22항에 있어서,

상기 제1 제어 신호는 상기 수평 주기 동안 제1 레벨을 유지하고, 상기 수평 주기 이외의 기간에서는 제2 레벨을 유지하도록 설정되는 표시 패널.

청구항 24.

제22항에 있어서,

상기 화소 회로는 상기 선택 신호에 응답하여 상기 트랜지스터를 다이오드 연결하는 제3 스위칭 소자를 더 포함하는 표시 패널.

청구항 25.

제22항에 있어서,

상기 주사선에 상기 선택 신호를 공급하는 제1 주사 구동부, 및 상기 제2 제어 신호를 생성하기 위한 제2 주사 구동부를 더 포함하는 표시 패널.

청구항 26.

제25항에 있어서,

상기 제1 및 제2 주사 구동부는 제3 레벨의 펄스를 가지는 제1 신호를 제1 기간만큼 순차적으로 지연시켜 복수의 제2 신호를 생성하는 시프트 레지스터를 포함하는 표시 패널.

청구항 27.

제26항에 있어서,

상기 제1 주사 구동부는, 상기 복수의 제2 신호 중 인접하는 두 개의 신호가 모두 상기 제3 레벨인 기간에서 제4 레벨의 펄스를 가지는 제3 신호를 출력하고,

상기 수평 주기의 양단에서 제2 기간만큼 상기 제3 레벨을 가지는 제4 신호와 상기 제3 신호가 상기 제4 레벨인 기간에서 상기 제3 레벨인 펄스를 가지는 신호를 상기 선택 신호로 출력하는 표시 패널.

청구항 28.

제26항에 있어서,

상기 제2 주사 구동부는, 상기 복수의 제2 신호 중 인접하는 두 개의 신호 중 어느 하나가 상기 제3 레벨인 구간에서 제4 레벨의 펄스를 가지는 신호를 생성하여 상기 제2 제어 신호로 출력하는 표시 패널.

청구항 29.

데이터 신호를 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 제1 주사선, 제1 제어 신호를 전달하는 복수의 제2 주사선, 그리고 상기 데이터선과 상기 제1 주사선에 각각 전기적으로 연결되어 있는 복수의 화소 회로를 포함하는 발광 표시 장치를 구동하는 방법에 있어서,

상기 화소 회로는, 상기 선택 신호의 제1 레벨에 응답하여 상기 데이터선으로부터의 데이터 전류를 전달하는 제1 스위칭 소자, 제1 주 전극과 제어 전극 사이에 제1 저장 소자가 형성되고 상기 제어 전극과 상기 제2 주사선 사이에 제2 저장 소자가 형성되어 있는 트랜지스터, 그리고 상기 트랜지스터로부터의 전류에 대응하여 빛을 발광하는 발광 소자를 포함하며,

상기 구동 방법은,

상기 제1 제어 신호를 제3 레벨에서 제4 레벨로 변경하여 수평 주기동안 유지하는 제1 단계;

상기 선택 신호를 제2 레벨에서 상기 제1 레벨로 변경하여 상기 데이터 전류에 대응하는 전압을 제1 기간 동안 상기 제1 저장 소자에 충전하는 제2 단계; 및

상기 제1 제어 신호를 상기 제4 레벨에서 상기 제3 레벨로 변경하여 상기 제1 저장 소자의 전압을 변경하는 제3 단계

를 포함하는 발광 표시 장치의 구동 방법.

청구항 30.

제29항에 있어서,

상기 화소 회로는 상기 선택 신호에 응답하여 상기 트랜지스터를 다이오드 연결하는 제2 스위칭 소자를 더 포함하는 발광 표시 장치의 구동 방법.

청구항 31.

제29항에 있어서,

상기 제1 기간은 상기 수평 주기 내에 포함되도록 설정되는 발광 표시 장치의 구동 방법.

청구항 32.

제29항에 있어서,

제2 제어 신호의 제5 레벨에 응답하여 상기 트랜지스터로부터 상기 발광 소자로 흐르는 전류를 차단시키는 제3 스위칭 소자를 더 포함하는 발광 표시 장치의 구동 방법.

청구항 33.

제32항에 있어서,

상기 제1 단계 이전에 상기 제1 제어 신호를 제6 레벨에서 상기 제5 레벨로 변경하여 제2 기간 동안 유지하는 단계를 더 포함하는 발광 표시 장치의 구동 방법.

청구항 34.

제33항에 있어서,

상기 제2 기간은 상기 수평 주기를 포함하도록 설정되는 발광 표시 장치의 구동 방법.

청구항 35.

제34항에 있어서,

상기 제2 기간은 상기 수평 주기의 정수 배에 해당되는 기간이 되도록 설정되는 발광 표시 장치의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치 및 그 표시 패널과 구동 방법에 관한 것으로, 특히 유기 전계발광(electroluminescent, 이하 EL이라 함) 표시 장치 및 그 표시 패널과 구동 방법에 관한 것이다.

일반적으로 유기 EL 표시 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, M X N 개의 유기 발광셀들을 전압 기입 혹은 전류 기입하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 도 1에 도시된 바와 같이 애노드(ITO), 유기 박막, 캐소드 레이어(metal)의 구조를 가지고 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emission layer, EML), 전자 수송층(electron transport layer, ETL), 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injection layer, EIL)과 정공 주입층(hole injection layer, HIL)을 포함하고 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT)를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 접속하고 박막 트랜지스터의 게이트에 접속된 커패시터의 용량에 의해 유지된 전압에 따라 구동하는 방식이다. 이때, 커패시터에 전압을 설정하기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

도 2는 종래의 전압 기입 방식에 따른 화소의 등가 회로도이다.

종래의 전압 기입 방식의 유기 EL 표시 장치에서는 도 2에서와 같이, 유기 EL 소자(OLED)에 트랜지스터(M1)가 연결되어 발광을 위한 전류를 공급하고, 트랜지스터(M1)의 전류량은 스위칭 트랜지스터(M2)를 통해 인가되는 데이터 전압에 의해 제어되도록 되어 있다. 이때, 인가된 전압을 일정 기간 유지하기 위한 커패시터(C1)가 트랜지스터(M1)의 소스와 게이트 사이에 연결되어 있다.

스위칭 트랜지스터(M2)가 턴온되면, 데이터 전압이 트랜지스터(M1)의 게이트에 인가되어, 커패시터(C1)에는 게이트와 소스 사이에 걸리는 전압(V_{GS})이 충전되며, 이 전압(V_{GS})에 대응하여 트랜지스터(M1)에 전류(I_{OLED})가 흐르고, 이 전류(I_{OLED})에 대응하여 유기 EL 소자(OLED)가 발광한다.

이때, 유기 EL 소자(OLED)에 흐르는 전류는 다음의 수학식 1과 같다.

수학식 1

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = \frac{\beta}{2} (V_{DD} - V_{DATA} - V_{TH})^2$$

여기서, I_{OLED} 는 유기 EL 소자(OLED)에 흐르는 전류, V_{GS} 는 트랜지스터(M1)의 게이트와 소스 사이의 전압, V_{TH} 는 트랜지스터(M1)의 문턱 전압, V_{DATA} 는 데이터 전압, β 는 상수 값을 나타낸다.

수학식 1에 나타난 바와 같이, 데이터 전압에 대응하는 전류가 유기 EL 소자(OELD)에 공급되고, 공급된 전류에 대응하여 유기 EL 소자가 발광하게 된다. 이때, 인가되는 데이터 전압은 계조를 표현하기 위하여 일정 범위에서 다단계의 값을 갖는다.

그런데 이와 같은 종래의 전압 기입 방식의 화소 회로에서는 제조 공정의 불균일성에 의해 생기는 박막 트랜지스터의 문턱 전압(V_{TH}) 및 캐리어(carrier)의 이동도(mobility)의 편차로 인해 고계조를 얻기 어렵다는 문제점이 있다. 예를 들어, 3V로 화소의 박막 트랜지스터를 구동하는 경우 8비트(256) 계조를 표현하기 위해서는 $12mV(=3V/256)$ 이하의 간격으로 박막 트랜지스터의 게이트에 전압을 인가해야 하는데, 만일 제조 공정의 불균일로 인한 박막 트랜지스터의 문턱 전압의 편차가 100mV인 경우에는 고계조를 표현하기 어려워진다. 또한 이동도의 편차로 인해 수학식 1에서의 β 값이 달라지므로 더욱 고계조를 표현하기 어렵게 된다.

이에 반해 전류 기입 방식의 화소 회로는 화소 회로에 전류를 공급하는 전류원이 패널 전체를 통해 균일하다고 하면 각 화소내의 구동 트랜지스터가 불균일한 전압-전류 특성을 갖는다 하더라도 균일한 디스플레이 특성을 얻을 수 있다.

도 3은 종래의 전류 기입 방식에 따른 화소의 등가 회로도이다.

전류 기입 방식의 화소 회로에서도 도3에서와 같이, 유기 EL 소자(OLED)에 트랜지스터(M1)가 연결되어 발광을 위한 전류를 공급하며, 트랜지스터(M1)의 전류량은 트랜지스터(M2)를 통해 인가되는 데이터 전류에 의해 제어된다.

따라서, 트랜지스터(M2, M3)가 턴온되면, 데이터 전류(I_{DATA})에 대응하는 전압이 커패시터(C1)에 저장되고, 이후에, 커패시터(C1)에 저장된 전압에 대응하는 전류가 유기 EL 소자(OLED)로 흘러 발광이 이루어진다. 이때, 유기 EL 소자(OLED)에 흐르는 전류는 수학식 2와 같다.

수학식 2

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = I_{DATA}$$

여기서, V_{GS} 는 트랜지스터(M1)의 게이트와 소스 사이의 전압, V_{TH} 는 트랜지스터(M1)의 문턱 전압, β 는 상수 값을 나타낸다.

수학식 2에서 나타낸 바와 같이 종래의 전류 기입 방식의 화소에 의하면, 유기 EL 소자에 흐르는 전류(I_{OLED})는 데이터 전류(I_{DATA})와 동일하므로, 기입 전류원이 패널 전체를 통해 균일하다고 하면 균일한 특성을 얻을 수 있게 된다. 그런데 유기 EL 소자에 흐르는 전류(I_{OLED})는 미세 전류이므로, 미세 전류(I_{DATA})로 데이터선을 충전하는데는 시간이 많이 걸린다는 문제점이 있다. 예를 들어, 데이터선 부하 커패시턴스가 30pF이라 가정할 경우에 수십nA에서 수백nA 정도의 데이터 전류로 데이터선의 부하를 충전하려면 수ms의 시간이 필요하다. 이는 수십 μ s 수준인 라인 시간(line time)을 고려 해볼 때 충전 시간이 충분하지 못하다는 문제점이 있다.

또한, 데이터선을 충전하는데 소요되는 시간을 감소시키기 위하여, 유기 EL 소자에 흐르는 전류(I_{OLED})를 높이게 되면, 전체적으로 화소의 휘도가 높아져서 화질 특성이 저하되는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 트랜지스터의 문턱 전압이나 이동도를 보상할 수 있으며 데이터선을 충분히 충전시킬 수 있는 발광 표시 장치를 제공하는 것이다.

발명의 구성

상기 과제를 달성하기 위하여 본 발명의 하나의 특징에 따른 발광 표시 장치는 데이터 신호를 전달하기 위한 복수의 데이터선, 선택 신호를 전달하기 위한 복수의 제1 주사선, 및 상기 데이터선과 상기 제1 주사선에 각각 연결되는 복수의 화소 회로를 포함하는 발광 표시 장치로서, 상기 화소 회로는, 인가되는 전류에 대응하여 빛을 방출하는 발광 소자, 상기 제1 주사선으로부터의 상기 선택 신호에 응답하여 상기 데이터선으로부터의 상기 데이터 신호를 전달하는 제1 스위칭 소자, 상기 제1 스위칭 소자로부터 상기 데이터 신호가 전달되는 동안 다이오드 연결되는 트랜지스터, 상기 트랜지스터의 제1 주전극과 제어 전극 사이에 접속되고, 상기 제1 스위칭 소자로부터의 상기 데이터 전류에 대응하는 제1 전압을 저장하는 제1 저장 소자, 상기 트랜지스터의 상기 제어 전극과 제1 제어 신호를 전달하는 제2 주사선에 전기적으로 연결되어 있으며, 상기 제1 제어 신호가 제1 레벨에서 제2 레벨로 변경되는 경우에 상기 제1 저장 소자와의 커플링을 통해 상기 제1 저장 소자의 상기 제1 전압을 제2 전압으로 변경하는 제2 저장 소자, 및 제2 제어 신호에 응답하여, 상기 트랜지스터로부터 출력되는 전류를 상기 발광 소자로 전달하는 제2 스위칭 소자를 포함하며, 상기 제1 제어 신호는 수평 주기 동안 상기 제1 레벨을 유지하도록 설정된다.

본 발명의 다른 하나의 특징에 따른 발광 표시 장치는 데이터 신호를 전달하기 위한 복수의 데이터선, 선택 신호를 전달하기 위한 복수의 제1 주사선, 발광 신호를 전달하기 위한 복수의 제2 주사선, 및 상기 데이터선과 상기 제1 및 제2 주사선에 각각 연결되는 복수의 화소 회로를 포함하는 표시 패널; 상기 데이터 신호를 상기 데이터선에 인가하기 위한 데이터 구동부; 상기 선택 신호를 상기 제1 주사선에 인가하기 위한 제1 주사 구동부; 및 상기 발광 신호를 상기 제2 주사선에 인가하기 위한 제2 주사 구동부를 포함하고, 상기 제1 및 제2 주사 구동부는 제1 레벨의 펄스를 가지는 제1 신호를 제1 기간만큼 순차적으로 지연시켜 복수의 제2 신호를 생성하는 시프트 레지스터를 포함하고, 상기 제1 주사 구동부는 상기 복수의 제2 신호가 모두 상기 제1 레벨인 기간에서 제2 레벨의 펄스를 가지는 제3 신호를 출력하고, 상기 수평 주기의 양단에서 제2

기간만큼 상기 제1 레벨을 가지는 제4 신호와 상기 제3 신호가 상기 제2 레벨인 기간에서 상기 제1 레벨인 펄스를 가지는 신호를 상기 선택 신호로 출력하고, 상기 제2 주사 구동부는 상기 복수의 제2 신호 중 인접하는 두 개의 신호 중 어느 하나가 상기 제1 레벨인 구간에서 상기 제2 레벨의 펄스를 가지는 신호를 생성하여 상기 발광 신호로 출력한다.

본 발명의 하나의 특징에 따른 발광 표시 장치의 표시 패널은 데이터 신호를 전달하기 위한 복수의 데이터선, 선택 신호를 전달하기 위한 복수의 주사선, 및 상기 데이터선과 상기 주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소 회로를 포함하는 발광 표시 장치의 표시 패널로서, 상기 화소 회로는, 인가되는 전류에 대응하여 빛을 방출하는 발광 소자, 상기 주사선으로부터의 선택 신호에 응답하여 상기 데이터선으로부터의 데이터 신호를 전달하는 제1 스위칭 소자, 상기 발광 소자를 발광시키기 위한 구동 전류를 공급하며, 상기 제1 스위칭 소자로부터 상기 데이터 신호가 전달되는 동안 다이오드 연결되는 트랜지스터, 상기 트랜지스터의 제1 주 전극과 제어 전극 사이에 접속되는 제1 저장 소자, 상기 트랜지스터의 상기 제어 전극과 제1 제어 신호를 공급하는 신호선 사이에 연결되는 제2 저장 소자, 상기 선택 신호에 응답하여 상기 데이터 신호를 상기 트랜지스터의 상기 제어 전극으로 전달하는 제1 스위칭 소자, 제2 제어 신호에 응답하여 상기 트랜지스터의 제2 주 전극과 상기 발광 소자를 전기적으로 차단시키는 제2 스위칭 소자를 포함하며, 상기 선택 신호가 인에이블인 기간은 수평 주기보다 짧도록 설정되고, 상기 제2 제어 신호가 인에이블인 기간은 상기 수평 주기의 정수 배로 설정된다.

본 발명의 하나의 특징에 따른 발광 표시 장치의 구동 방법은 데이터 신호를 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 제1 주사선, 제1 제어 신호를 전달하는 복수의 제2 주사선, 그리고 상기 데이터선과 상기 제1 주사선에 각각 전기적으로 연결되어 있는 복수의 화소 회로를 포함하는 발광 표시 장치를 구동하는 방법으로서, 상기 화소 회로는, 상기 선택 신호의 제1 레벨에 응답하여 상기 데이터선으로부터의 데이터 전류를 전달하는 제1 스위칭 소자, 제1 주 전극과 제어 전극 사이에 제1 저장 소자가 형성되고 상기 제어 전극과 상기 제2 주사선 사이에 제2 저장 소자가 형성되어 있는 트랜지스터, 그리고 상기 트랜지스터로부터의 구동 전류에 대응하여 빛을 발광하는 발광 소자를 포함하며, 상기 구동 방법은, 상기 제1 제어 신호를 제3 레벨에서 제4 레벨로 변경하여 수평 주기동안 유지하는 제1 단계; 상기 선택 신호를 제2 레벨에서 상기 제1 레벨로 변경하여 상기 데이터 전류에 대응하는 전압을 제1 기간 동안 상기 제1 저장 소자에 충전하는 제2 단계; 및 상기 제1 제어 신호를 상기 제4 레벨에서 상기 제3 레벨로 변경하여 상기 제1 저장 소자의 전압을 변경하는 제3 단계를 포함한다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 연결되어 있는 경우도 포함한다.

먼저, 도 4를 참조하여 본 발명의 일실시예에 따른 유기 EL 표시 장치에 대하여 설명한다. 도 4는 본 발명의 일실시예에 따른 유기 EL 표시 장치를 개략적으로 도시한 평면도이다.

도 4에 도시된 바와 같이, 본 발명의 일실시예에 따른 유기 EL 표시 장치는 유기 EL 표시 패널(100), 데이터 구동부(200), 및 주사 구동부(300, 400)를 포함한다.

유기 EL 표시 패널(100)은 열 방향으로 뻗어있는 복수의 데이터선(D1-Dn), 행 방향으로 뻗어있는 복수의 주사선(S1-Sm, E1-Em, B1-Bm) 및 복수의 화소 회로(11)를 포함한다. 데이터선(D1-Dn)은 화상 신호를 나타내는 데이터 전류를 화소 회로(10)로 전달한다. 선택 주사선(S1-Sm)은 선택 신호를 화소 회로(11)로 전달하며, 발광 주사선(E1-Em)은 발광 신호를 화소 회로(11)로 전달한다. 또한, 부스트 주사선(B1-Bm)은 부스트(boost) 신호를 화소 회로(11)로 전달한다. 화소 회로(11)는 이웃한 두 데이터선과 이웃한 두 선택 주사선에 의해 정의되는 화소 영역에 형성되어 있다.

데이터 구동부(200)는 데이터선(D1-Dn)에 데이터 전류를 인가하며, 주사 구동부(300)는 선택 주사선(S1-Sm) 및 발광 주사선(E1-Em)에 각각 선택 신호 및 발광 신호를 순차적으로 인가한다. 또한, 주사 구동부(400)는 부스트 주사선(B1-Bm)에 부스트 신호를 인가한다.

다음, 도 5를 참조하여 본 발명의 일실시예에 따른 유기 EL 표시 장치의 화소 회로(11)에 대하여 상세하게 설명한다.

도 5는 본 발명의 일실시예에 따른 화소 회로를 도시한 회로도이다. 도 5에서는 설명의 편의상 n 번째 데이터선(Dn)과 m 번째 주사선(Sm, Em, Bm)에 연결된 화소 회로만을 도시하였다.

도 5에 도시된 바와 같이, 본 발명의 일실시예에 따른 화소 회로(11)는 유기 EL 소자(OLED), 구동 트랜지스터(M1), 스위칭 트랜지스터(M2-M4), 및 커패시터(C1, C2)를 포함한다.

스위칭 트랜지스터(M2)는 데이터선(Dn)과 트랜지스터(M1)의 게이트 사이에 연결되며, 선택 주사선(Sm)으로부터의 선택 신호에 응답하여 데이터선(Dn)으로부터의 데이터 전류(I_{DATA})를 트랜지스터(M1)로 전달한다. 스위칭 트랜지스터(M3)는 트랜지스터(M1)의 드레인과 게이트 사이에 연결되며, 선택 주사선(Sm)으로부터의 선택 신호에 응답하여 트랜지스터(M1)를 다이오드 연결시킨다.

트랜지스터(M1)는 전원 전압(VDD)에 소스가 연결되고 스위칭 트랜지스터(M4)에 드레인이 연결되어 있다. 트랜지스터(M1)의 게이트-소스 전압은 데이터 전류(I_{DATA})에 대응하여 결정되며, 커패시터(C1)는 트랜지스터(M1)의 게이트와 소스 사이에 연결되어 트랜지스터(M1)의 게이트-소스 전압을 일정 기간 유지한다. 커패시터(C2)는 부스트 주사선(Bm)과 트랜지스터(M1)의 게이트 사이에 연결되어 트랜지스터(M1)의 게이트 전압을 조절한다.

스위칭 트랜지스터(M4)는 발광 주사선(Em)으로부터의 발광 신호에 응답하여 트랜지스터(M1)에 흐르는 전류를 유기 EL 소자(OLED)에 공급한다. 유기 EL 소자(OLED)는 스위칭 트랜지스터(M4)와 전원 전압(VSS) 사이에 연결되며 트랜지스터(M1)에 흐르는 전류의 양에 대응하는 빛을 발광한다.

도 5에서는 스위칭 트랜지스터(M2-M4)가 P 채널 트랜지스터로 형성된 것으로 도시하였으나, 실시예에 따라서 N 채널 트랜지스터로 형성될 수 있으며, 인가되는 제어 신호에 응답하여 연결된 양단을 스위칭할 수 있는 다른 소자를 이용하여 형성될 수 있다. 또한, 구동 트랜지스터(M1)는 N 채널 트랜지스터를 이용하여 구현할 수 있으며, N 채널의 트랜지스터를 이용하여 구동 트랜지스터(M1)를 구현하는 경우의 회로적 변경은 당업자에게 자명한 사항이므로 여기서 상세한 설명은 생략하기로 한다. 그리고, 이러한 트랜지스터(M1-M4)는 표시 패널(100)의 유리 기판 위에 형성되는 게이트 전극, 드레인 전극, 및 소스 전극을 각각 제어 전극 및 2 개의 주 전극으로 가지는 박막 트랜지스터인 것이 바람직하다.

다음, 도 6 내지 도 9를 참조하여 본 발명의 일실시예에 따른 화소 회로의 구동 방법에 대하여 자세하게 설명한다.

도 6은 도 5의 화소 회로를 구동하기 위한 본 발명의 제1 실시예에 따른 구동 파형도이다.

먼저, 선택 주사선(Sm)에 인가되는 선택 신호(select[m])가 로우 레벨이 되면, 트랜지스터(M2, M3)가 턴온되고, 트랜지스터(M1)가 다이오드 연결되어, 데이터선(Dn)으로부터의 데이터 전류(I_{DATA})가 트랜지스터(M1)에 흐르게 된다.

또한, 부스트 주사선(Bm)에 인가되는 부스트 신호(boost[m])가 로우 레벨이 되면, 커패시터(C2)의 부스트 주사선(Bm) 측에는 로우 레벨의 전압이 인가된다.

그리고, 발광 주사선(Em)에 인가되는 발광 신호(emit[m])는 하이 레벨(디스에이블 레벨)을 유지하므로, 트랜지스터(M4)는 턴오프되고, 트랜지스터(M1)와 유기 EL 소자(OLED)는 전기적으로 차단되게 된다.

이때, 트랜지스터(M1)의 게이트와 소스 사이 전압의 절대값(이하, "게이트-소스 전압"이라 함)(V_{GS})과 트랜지스터(M1)에 흐르는 전류(I_{DATA}) 사이에는 수학식 3의 관계가 성립하므로, 트랜지스터(M1)의 게이트-소스 전압(V_{GS})은 수학식 4와 같이 된다.

수학식 3

$$I_{DATA} = \frac{\beta}{2} (V_{GS} - V_{TH})^2$$

여기서, β 는 상수 값이며 V_{TH} 은 트랜지스터(M1)의 문턱 전압의 절대값이다.

수학식 4

$$V_{GS} = V_{DD} - V_G = \sqrt{\frac{2I_{DATA}}{\beta}} + V_{TH}$$

여기서, V_G 는 트랜지스터(M1)의 게이트 전압이며 V_{DD} 은 전원 전압(V_{DD})에 의해 트랜지스터(M1)에 공급되는 전압이다.

다음, 선택 신호(select[m])가 하이 레벨(디스플레이 레벨)이 되고 발광 신호(emit[m])가 로우 레벨(인에이블 레벨)이 되면 트랜지스터(M2, M3)가 턴오프되고 트랜지스터(M4)가 턴온된다.

또한, 부스트 신호(boost[m])가 로우 레벨에서 하이 레벨로 되어, 커패시터(C_2)와 부스트 주사선(B_m)의 접점의 전압이 부스트 신호의 레벨 상승폭(ΔV_B)만큼 상승한다. 따라서 커패시터(C_1, C_2)의 커플링에 의해 트랜지스터(M1)의 게이트 전압(V_G)은 상승하게 되고, 그 상승폭(ΔV_G)은 수학식 5와 같다.

수학식 5

$$\Delta V_G = \frac{\Delta V_B C_2}{C_1 + C_2}$$

여기서, C_1 및 C_2 는 각각 커패시터(C_1, C_2)의 커패시턴스이다.

트랜지스터(M1)의 게이트 전압(V_G)이 ΔV_G 만큼 증가하였으므로 트랜지스터(M1)에 흐르는 전류(I_{OLED})는 수학식 6과 같이 된다. 즉, 트랜지스터(M1)의 게이트 전압(V_G)이 증가한 만큼 트랜지스터(M1)의 게이트-소스 전압(V_{GS})의 크기가 작아지므로, 트랜지스터(M1)의 드레인 전류(I_{OLED})의 크기를 데이터 전류(I_{DATA})에 비해 작게 할 수 있다. 따라서, 큰 데이터 전류(I_{DATA})로 유기 EL 소자(OLED)에 흐르는 미세 전류를 제어할 수 있으므로, 데이터선의 충전 시간을 확보할 수 있다.

그리고 발광 주사선(E_m)의 발광 신호에 의해 트랜지스터(M4)가 턴온되어 있으므로, 트랜지스터(M1)의 전류(I_{OLED})가 유기 EL 소자(OLED)에 공급되어 발광이 이루어진다.

수학식 6

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - \Delta V_G - V_{TH})^2 = \frac{\beta}{2} \left(\sqrt{\frac{2I_{DATA}}{\beta}} - \Delta V_G \right)^2$$

그리고 수학식 6으로부터 데이터 전류(I_{DATA})를 수학식 7과 같이 나타낼 수 있다.

수학식 7

$$I_{DATA} = I_{OLED} + \Delta V_G \sqrt{2\beta I_{OLED}} - \frac{\beta}{2} (\Delta V_G)^2$$

도 6에서는 선택 신호(select[m]), 발광 신호(emit[m]), 및 부스트 신호(boost[m])의 타이밍을 동일하게 표시하였지만, 이와는 달리 이들 타이밍을 다르게 할 수도 있다.

먼저, 도 7을 참조하여 본 발명의 제2 실시예에 따른 구동 파형에 대해서 설명한다.

선택 주사선(S_m)에 인가되는 선택 신호(select[m])에 의해 트랜지스터(M2, M3)가 턴온되어 트랜지스터(M1)에 데이터 전류(I_{DATA})가 전달되는 동안 트랜지스터(M4)가 턴오프되어 있을 필요가 있다. 만약, 트랜지스터(M1)에 데이터 전류(I_{DATA})가 전달되는 동안 트랜지스터(M4)가 턴온되어 유기 EL 소자(OLED)에 전류가 흐르면, 트랜지스터(M1)의 드레인에는 데이터 전류(I_{DATA})와 유기 EL 소자(OLED)에 흐르는 전류의 합에 해당하는 전류가 흐르고, 이 전류에 대응하는 전압이 커패시터(C_1)에 기입되게 된다. 그런데 도 6과 같은 경우에는 선택 주사선(S_m)과 발광 주사선(E_m)에 연결되는 부하

의 차이 또는 버퍼에 사용된 트랜지스터의 특성 차이로 인해 선택 신호(select[m])의 지연 시간 및 상승 시간과 발광 신호(emit[m])의 지연 시간 및 하강 시간이 다를 수 있다. 따라서 도 7과 같이 발광 신호(emit[m])의 펄스 끝을 선택 신호(select[m])의 펄스 끝보다 나중에 오도록 하면, 트랜지스터(M2)가 턴온되어 있는 중간에 트랜지스터(M4)가 턴온되지 않는다.

그리고 부스트 주사선(Bm)으로부터의 부스트 신호(boost[m])의 펄스 끝이 선택 신호(select[m])의 펄스 끝보다 먼저 오면 커패시터(C2)의 노드 전압이 상승한 후에 데이터 전류(I_{DATA})의 기입이 완료되므로, 커패시터(C2)의 노드 전압을 상승시킨 효과가 없어진다. 따라서 도 7과 같이 선택 주사선(Sm)에 전달되는 선택 신호(select[m])의 펄스 끝을 부스트 주사선(Bm)에 전달되는 부스트 신호(boost[m])의 펄스 끝보다 먼저 오게 하면, 데이터 전류(I_{DATA})의 기입 이후에 커패시터(C2)의 노드 전압이 상승한다.

또한, 부스트 신호(boost[m])의 펄스 시작이 선택 신호(select[m])의 펄스 시작보다 나중에 오면, 커패시터(C1)에 전압이 기입되는 중간에 커패시터(C2)의 노드 전압 하강에 의해 커패시터(C1)의 전압이 바뀐다. 이와 같이 커패시터(C1)의 전압이 변경되면 커패시터(C1)의 전압 기입 동작이 다시 이루어져야 하므로 커패시터(C1)에 전압을 기입하는 시간이 부족해진다. 따라서 도 7과 같이 선택 신호(select[m])의 시작을 부스트 신호(boost[m])의 시작보다 나중에 오게 하면, 커패시터(C2)의 노드 전압이 하강한 이후에 데이터 전류(I_{DATA})의 기입 동작이 이루어진다.

다음, 도 8을 참조하여 본 발명의 제3 실시예에 따른 구동 파형에 대해서 설명한다.

도 7의 타이밍에서 부스트 신호선(Bm)과 발광 주사선(Em)에 연결되는 부하의 차이 또는 버퍼에 사용된 트랜지스터의 특성 차이로 인해 발광 신호(emit[m])의 펄스 끝이 부스트 신호(boost[m])의 펄스 끝보다 먼저 오면, 발광 신호(emit[m])의 펄스 끝과 부스트 신호(boost[m])의 펄스 끝 사이의 기간 동안 커패시터(C2)의 노드 전압 상승 전의 전류가 유기 EL 소자(OLED)에 흘러 유기 EL 소자(OLED)에 스트레스를 준다. 이러한 동작이 계속 반복되면 유기 EL 소자(OLED)의 수명이 짧아질 수 있다. 따라서 도 8과 같이 부스트 신호선(Bm)에 전달되는 부스트 신호(boost[m])의 펄스 끝을 발광 주사선(Em)에 전달되는 발광 신호(emit[m])의 펄스 끝보다 먼저 오게 하여, 커패시터(C2)의 노드 전압 상승 이후에 유기 EL 소자(OLED)에 전류가 흐르도록 한다.

그리고 발광 신호(emit[m])의 펄스 시작이 부스트 신호(boost[m])의 펄스 시작보다 나중에 오면, 부스트 신호(boost[m])의 펄스 시작과 발광 신호(emit[m])의 펄스 시작 사이의 기간 동안 커패시터(C2)의 노드 전압 하강에 따른 전류가 유기 EL 소자(OLED)에 흘러 유기 EL 소자(OLED)에 스트레스를 준다. 이러한 스트레스가 반복되면 유기 EL 소자(OLED)의 수명이 짧아질 수 있다. 따라서 도 8과 같이 발광 신호(emit[m])의 펄스 시작을 부스트 신호(boost[m])의 펄스 시작보다 먼저 오게 하여, 트랜지스터(M4)가 턴오프된 이후에 커패시터(C2)의 노드 전압이 하강하도록 한다.

즉, 발광 신호(emit[m])의 펄스를 하나의 주사선에 할당된 시간인 수평 주기와 실질적으로 동일하게 설정하고, 선택 신호(select[m])의 펄스 양끝을 발광 신호(emit[m])의 펄스 보다 (t_2)만큼 짧도록 형성하고, 부스트 신호(boost[m])의 펄스 양끝을 선택 신호(select[m])의 펄스 보다 (t_1)만큼 길도록 형성함으로써, 주사선(Sm, Em, Bm)에 연결되는 부하의 차이 또는 버퍼의 특성 차이로 인한 상기 문제들을 해결한다(여기서, $t_1 < t_2$).

그러나, 이러한 구동 방법은 데이터 기입 시간(programming time)이 수평 주기에 비하여 (t_2)의 두 배만큼 감소되어, 데이터 기입 시간 동안 화소 회로에 데이터를 충분히 기입할 수 없는 문제가 있었다.

예컨대, Portrait 타입의 QVGA(320RGB x 240)에서는 수평 주기가 $52\mu s$ 에 불과한데, (t_2)를 $4\mu s$ 로 할 때 $52\mu s$ 에서 (t_2)의 두배만큼 데이터 기입 시간을 줄이면 데이터 기입 시간이 15% 이상 감소되어, 데이터 기입 시간 동안 데이터가 화소 회로에 충분히 기입되지 않아 원하는 화상이 표시되지 않게 된다. 해상도가 커질수록 이 문제는 더 심각해진다.

도 9는 도 5의 화소 회로를 구동하기 위한 본 발명의 제4 실시예에 따른 구동 파형도이다.

본 발명의 제4 실시예에서는, 부스트 신호(boost[m])의 펄스 폭을 수평 주기와 실질적으로 동일하게 설정하고, 선택 신호(select[m])의 펄스의 양끝이 수평 주기 보다 (t_1)만큼 짧도록 형성함으로써, 데이터 전류(I_{DATA})의 기입 이후에 커패시터(C2)의 노드 전압이 상승하도록 하고, 커패시터(C2)의 노드 전압이 하강한 이후에 데이터 전류(I_{DATA})의 기입 동작이 이루어지도록 한다.

또한, 발광 신호(emit[m])의 펄스가 수평 주기의 2 이상의 정수 배가 되도록 설정함으로써, 커패시터(C2)의 노드 전압이 상승한 후에 유기 EL 소자(OLED)에 전류가 흐르도록 하고, 트랜지스터(M4)가 턴오프되어 유기 EL 소자(OLED)로의 전류가 차단된 이후에 커패시터(C2)의 노드 전압이 하강하도록 한다.

이와 같이, 화소 회로에 인가되는 세가지 주사 신호(select[m], emit[m], boost[m])의 스위칭 시간의 마진을 확보함으로써, 데이터 기입 시간을 늘릴 수 있게 된다.

이하에서는 도 10 및 도 11을 참조하여 도 9의 구동 파형을 생성할 수 있는 주사 구동부(300)의 구성 및 동작에 대하여 상세히 설명한다.

도 10은 도 9의 선택 신호와 발광 신호를 생성하기 위한 본 발명의 제1 실시예에 따른 주사 구동부(300)를 도시한 회로도이고, 도 11은 주사 구동부(300)의 구동 타이밍을 도시한 것이다.

도 10에 도시된 바와 같이, 주사 구동부(300)는 시프트 레지스터(310), 제1 NAND 게이트(NAND₁₁-NAND_{1m}), NOR 게이트(NOR₁₁-NOR_{1m}), 및 제2 NAND 게이트(NAND₂₁-NAND_{2m})를 포함한다. 이하의 설명에서 제1 및 제2 NAND 게이트(NAND₁₁-NAND_{1m}, NAND₂₁-NAND_{2m})와, NOR 게이트(NOR₁₁-NOR_{1m})는 선택 주사선(S1-Sm)의 개수에 대응하는 m개라 가정한다.

시프트 레지스터(310)는 클록(VCLK)의 하이 레벨에서 시작 신호(VSP1)를 입력 받아 시작 신호(VSP1)와 동일한 레벨의 출력 신호(SR₁)를 출력하며 클록(VCLK)이 다시 하이 레벨이 될 때까지 출력 신호(SR₁)의 레벨을 유지한다. 이어서, 시프트 레지스터(310)는 출력 신호(SR₁)를 반 클록(VCLK)만큼 시프트하면서 순차적으로 복수의 출력 신호(SR₂-SR_{m+1})를 출력한다.

본 발명의 일 실시예에 따르면, 주사 구동부(300)는 클록(VCLK)의 주파수를 낮추기 위하여 수평 주기를 클록(VCLK)의 반 주기와 실질적으로 동일하게 설정한다. 그런데, 시프트 레지스터(310)의 출력 신호(SR₁-SR_{m+1})는 클록(VCLK)의 정수 배에 해당하므로, 본 발명의 제1 실시예에서는 시프트 레지스터(310)가 출력 신호(SR₁)를 반 클록(VCLK)만큼 시프트하면서 순차적으로 출력하도록 한 후, NOR 게이트(NOR₁₁-NOR_{1m})를 이용하여 인접하는 두 출력 신호의 공통되는 부분을 출력하여 그 출력 신호(Out₁-Out_m)의 펄스 폭이 수평 주기와 동일하도록 한다.

즉, NOR 게이트(NOR_{1i})는 시프트 레지스터(310)의 출력 신호(SR₁-SR_{m+1}) 중 인접하는 두 개의 출력 신호(SR_i, SR_{i+1})를 NOR 연산하여 신호(Out_i)를 출력한다. NOR 게이트(NOR_{1i})는 입력 신호가 모두 로우 레벨을 갖는 경우에만 하이 레벨의 신호를 출력하는데, 시프트 레지스터(310)의 출력 신호(SR_i)는 한 클록(VCLK) 주기 동안 로우 레벨을 유지하고, 출력 신호(SR_{i+1})는 출력 신호(SR_i)를 반 클록(VCLK) 시프트시킨 신호이므로, NOR 게이트(NOR_{1i})의 출력 신호(Out_i)는 반 클록 동안 하이 레벨을 유지하는 형태를 갖게 된다.

다음, 제1 NAND 게이트(NAND_{1i})는 시프트 레지스터(310)의 출력 신호(SR₁-SR_{m+1}) 중 인접하는 두 개의 출력 신호(SR_i, SR_{i+1})를 NAND 연산하여 발광 신호(emit[i])로 출력한다. NAND 게이트는 두 개의 입력 신호 중 적어도 하나가 로우 레벨인 경우 하이 레벨을 유지하므로, 제1 NAND 게이트(NAND_{1i})의 출력 신호(emit[i])는 출력 신호(SR_i)와 출력 신호(SR_{i+1}) 중 적어도 하나가 로우 레벨인 구간에서 하이 레벨을 가지게 된다(여기서 i는 1에서 m 사이의 정수).

즉, 발광 신호(emit[i])는 출력 신호(SR_i, SR_{i+1})가 출력되는 동안 하이 레벨을 유지하게 되고, 출력 신호(SR_i, SR_{i+1})는 각각 한 클록(VCLK) 동안 로우 레벨을 유지하고, 출력 신호(SR_{i+1})는 출력 신호(SR_i)를 반 클록(VCLK)만큼 시프트시킨 신호이므로, 발광 신호(emit[i])는 반 클록(VCLK)의 세 배동안 즉, 수평 주기의 세 배동안 하이 레벨을 유지하게 된다.

그리고, 제2 NAND 게이트($NAND_{2i}$)는 NOR 게이트(NOR_{1i})의 출력 신호(Out_i)와 클립 신호(CLIP)를 NAND 연산하여 선택 신호(select[i])로 출력한다. NAND 게이트는 두 개의 입력 신호 모두 하이 레벨을 가질 때에만 로우 레벨을 가지므로, 선택 신호(select[i])는 NOR 게이트(NOR_{1i})의 출력 신호(Out_1-Out_m)의 반전 신호에서 클립 신호(CLIP)가 로우 레벨인 구간마다 하이 레벨을 가지는 형태가 된다.

여기서, 출력 신호(Out_1-Out_m)의 하이 레벨 펄스의 양끝에서 클립 신호(CLIP)가 (t1) 동안 로우 레벨을 유지하도록 하면, 수평 주기의 양끝에서 (t1)만큼 폭이 좁은 선택 신호(select[1]-select[m])를 생성할 수 있게 된다.

이하에서는 도 12 및 도 13을 참조하여 본 발명의 일 실시예에 따른 시프트 레지스터의 내부 구성 및 동작을 설명한다.

도 12는 시프트 레지스터(310)의 개략적인 회로도이고, 도 13은 시프트 레지스터(310)에 사용되는 플립플롭을 도시한 것이다. 도 12 및 도 13에서 클록(VCLKb)은 클록(VCLK)의 반전 신호이다.

도 12에 도시된 바와 같이, 시프트 레지스터(310)는 (m+1) 개의 플립플롭(FF_1-FF_{m+1})을 포함하며, 각 플립플롭(FF_1-FF_{m+1})의 출력 신호가 시프트 레지스터(310)의 출력 신호(SR_1-SR_{m+1})가 된다. 첫 번째 플립플롭(FF_1)에는 시작 신호(VSP1)가 입력되고, (i) 번째 플립플롭(FF_i)의 출력 신호가 (i+1) 번째 플립플롭(FF_{i+1})의 입력 신호가 된다.

상기 설명한 바와 같이, 시프트 레지스터(310)의 출력 신호(SR_1-SR_{m+1})는 반 클록(VCLK)만큼 시프트될 필요가 있으므로, 인접한 플립플롭(FF_i, FF_{i+1})에서 클록(VCLK, VCLKb)이 반전되어 사용된다.

구체적으로, 도 12에서 세로 방향으로 홀수 번째 위치하는 플립플롭(FF_i)은 클록(VCLK, VCLKb)을 각각 내부 클록(clk, clkb)으로 수신하고, 짝수 번째 위치하는 플립플롭(FF_{i+1})은 클록(VCLKb, VCLK)을 각각 내부 클록(clk, clkb)으로 수신한다.

플립플롭(FF_i)은 클록(clk)이 하이 레벨이면 입력 신호(in)를 그대로 출력하고, 클록(clk)이 로우 레벨이면 로우 레벨 기간 동안 입력 신호(in)를 래치하여 출력한다. 그런데, 플립플롭(FF_i)의 출력 신호(SR_i)가 플립플롭(FF_{i+1})의 입력 신호로 되고, 인접한 두 플립플롭(FF_i, FF_{i+1})에는 클록(VCLK, VCLKb)이 반전되어 입력되므로, 플립플롭(FF_{i+1})의 출력 신호(SR_{i+1})는 플립플롭(FF_i)의 출력 신호(SR_i)에 대해 반 클록(VCLK)만큼 시프트된 신호가 된다.

이하, 도 13을 참조하여 도 12의 플립플롭(FF_i)의 일 실시예에 대하여 설명한다.

도 13에 도시된 바와 같이, 플립플롭(FF_i)은 입력단에 위치하는 3상 인버터(311)와 래치를 형성하는 인버터(312) 및 3상 인버터(313)를 포함한다. 클록(clk)이 하이 레벨로 되면, 3상 인버터(311)는 입력 신호(in)를 반전하여 출력하고, 인버터(312)는 3상 인버터(311)의 출력 신호를 반전하여 출력한다. 클록(clk)이 로우 레벨로 되면 3상 인버터(311)의 출력은 차단되고 인버터(312)의 출력이 3상 인버터(313)로 입력되고 3상 인버터(313)의 출력이 인버터(312)에 입력되는 래치가 형성된다. 그리고 인버터(312)의 출력 신호가 플립플롭(FF_i)의 출력 신호(out_i)로 된다. 이와 같이, 플립플롭(FF_i)은 클록(clk)이 하이 레벨이면 입력 신호(in)를 그대로 출력하고 클록(clk)이 로우 레벨이면 하이 레벨 시의 입력 신호(in)를 래치하여 출력할 수 있다.

도 14는 본 발명의 제2 실시예에 따른 주사 구동부(300)를 도시한 것이다.

도 14에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 주사 구동부는 플립플롭(FF_1-FF_{m+1})의 내부 신호를 이용하여 발광 신호(emit[1]-emit[m])를 생성한다는 점에서 본 발명의 제1 실시예와 차이를 갖는다.

또한, 플립플롭(FF_1)은 클록(clk)의 하이 레벨에서 시작 신호(VSP1)의 반전 신호(/VSP1)를 입력 받아, 클록(clk)이 다시 하이 레벨이 될 때까지 유지하고, 플립플롭(FF_2-FF_{m+1})이 플립플롭(FF_1)의 출력 신호(/SR₁)를 반 클록만큼 시프트하면서 순차적으로 복수의 출력 신호(/SR₂-/SR_{m+1})를 출력한다.

본 발명의 제2 실시예에서도, 홀수 번째 플립플롭은 클록(VCLK, VCLKb)을 각각 내부 클록(clk, clkb)으로 수신하고, 짝수 번째 플립플롭은 클록(CLCKb, VCLK)을 각각 내부 클록(clk, clkb)으로 수신한다.

또한, 제1 NAND 게이트($NAND_{1i}$)는 (i) 번째 플립플롭(FF_i)의 내부 신호와 (i+1) 번째 플립플롭(FF_{i+1})의 내부 신호를 NAND 연산하여 발광 신호(emit[i])로 출력한다. 즉, 제1 NAND 게이트($NAND_{1i}$)는 (i) 번째 플립플롭(FF_i)에 포함된 인버터(312)의 입력 신호와 (i+1) 번째 플립플롭(FF_{i+1})에 포함된 인버터(312)의 입력 신호를 입력하여 NAND 연산을 수행함으로써, 발광 신호(emit[i])를 생성한다.

제2 NAND 게이트($NAND_{2i}$)는 (i) 번째 플립플롭(FF_i)의 출력 신호(/SR_i)와 (i+1) 번째 플립플롭(FF_{i+1})의 출력 신호(/SR_{i+1})를 NAND 연산하여 출력 신호(/Out_i)로 출력한다.

제2 NAND 게이트($NAND_{2i}$)의 출력 신호(/Out_i)를 이용하여 선택 신호(select[i])를 생성하는 회로는 본 발명의 제1 실시예로부터 자명하므로 도면에서 생략하였다. 다만, 제2 NAND 게이트($NAND_{2i}$)의 출력 신호(/Out_i)는 출력 신호(Out_i)의 반전 신호이므로, 제2 NAND 게이트($NAND_{2i}$)의 출력 단에 인버터를 연결하고, 인버터의 출력 신호와 클립 신호(CLIP)를 NAND 연산함으로써 선택 신호(select[i])를 생성할 수 있다.

이와 같이, 플립플롭(FF_1 - FF_{m+1})의 내부 신호를 이용하여 발광 신호를 출력할 수 있고, 제1 실시예와 실질적으로 동일한 구동 파형을 출력할 수 있다.

도 6 내지 도 14에서는 도 5의 화소 회로를 기준으로 하여 스위칭 트랜지스터(M2-M4)가 P 채널 트랜지스터로 형성된 경우에 대해서 설명하였지만, 화소 회로의 트랜지스터의 도전 타입이 변경되어 이들 신호의 레벨이 변경되는 경우에도 상기 설명한 주사 구동부(300)를 적용할 수 있다. 이 경우 주사 구동부(300)의 자세한 구조 및 동작은 당업자라면 용이하게 알 수 있으므로 설명을 생략한다.

또한, 상기 설명에서는 주사 구동부(300)가 선택 신호(select[1]-select[m])와 발광 신호(emit[1]-emit[m])를 생성하고, 주사 구동부(400)가 부스트 신호(boost[1]-boost[m])를 생성하는 것으로 설명하였으나, 주사 구동부(300, 400)를 하나의 구동부로 형성할 수 있다.

예컨대, 도 10에 도시된 주사 구동부(300)의 NOR 게이트(NOR_{11} - NOR_{1m})의 출력 신호(Out₁-Out_m)를 반전하여 부스트 신호로 사용할 수 있으며, 도 14에 도시된 주사 구동부(300)의 제2 NAND 게이트($NAND_{21}$ - $NAND_{2m}$)의 출력 신호(/Out₁-/Out_m)를 부스트 신호로 사용할 수 있다.

이와 같이, 주사 구동부(300, 400)를 하나의 구동부로 형성하는 경우에는 구동 회로의 구성이 간단해지고, 주사 구동부(300, 400)에 동일한 클록 신호 및 입력 신호를 사용함으로써 표시 패널(100)에 형성되는 신호선을 줄일 수 있다.

그리고, 선택 신호(select[1]-select[m])와 발광 신호(emit[1]-emit[m])를 생성하는 주사 구동부를 별도로 형성할 수 있다.

나아가, 데이터 기입 시간을 더 늘리기 위하여 부스트 신호를 시프트시키거나 거기에 더하여 펄스 폭을 2배로 할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

이와 같이 본 발명에 의하면, 큰 데이터 전류로 유기 EL 소자에 흐르는 전류를 제어할 수 있으므로, 한 라인 시간동안 데이터선을 충분히 충전할 수 있다.

또한, 유기 EL 소자에 흐르는 전류는 트랜지스터의 문턱 전압 편차나 이동도의 편차가 보상되며, 고해상도와 대면적의 발광 표시 장치가 구현될 수 있다.

그리고 데이터선의 기생 성분에 적절하게 대응할 수 있으며, 선택 주사선을 구동하는 주사 구동부의 부하를 줄일 수 있다.

도면의 간단한 설명

도 1은 유기 전계발광 소자의 개념도이다.

도 2는 종래의 전압 기입 방식에 따른 화소의 등가 회로도이다.

도 3은 종래의 전류 기입 방식에 따른 화소의 등가 회로도이다.

도 4는 본 발명의 일실시예에 따른 유기 EL 표시 장치의 개략적인 평면도이다.

도 5는 본 발명의 일실시예에 따른 화소 회로를 도시한 회로도이다.

도 6은 도 5의 화소 회로를 구동하기 위한 본 발명의 제1 실시예에 따른 구동 파형도이다.

도 7은 도 5의 화소 회로를 구동하기 위한 본 발명의 제2 실시예에 따른 구동 파형도이다.

도 8은 도 5의 화소 회로를 구동하기 위한 본 발명의 제3 실시예에 따른 구동 파형도이다.

도 9는 도 5의 화소 회로를 구동하기 위한 본 발명의 제4 실시예에 따른 구동 파형도이다.

도 10은 도 9의 선택 신호 및 발광 신호를 생성하기 위한 본 발명의 제1 실시예에 따른 주사 구동부를 도시한 것이다.

도 11은 도 10에 도시된 주사 구동부의 구동 타이밍을 도시한 것이다.

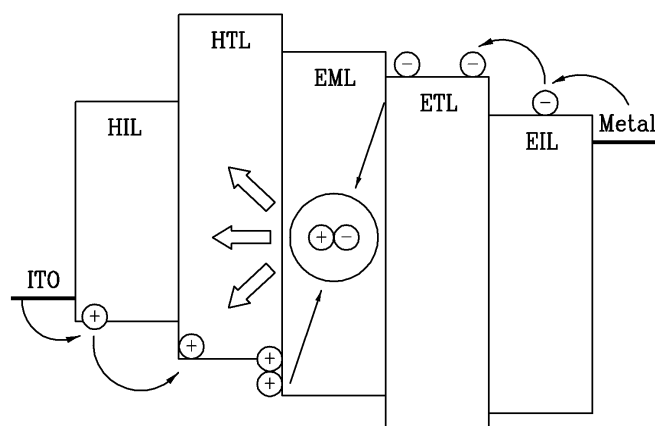
도 12는 도 10에 도시된 시프트 레지스터의 개략적인 회로도이다.

도 13은 도 12의 시프트 레지스터에 사용되는 플립플롭을 도시한 것이다.

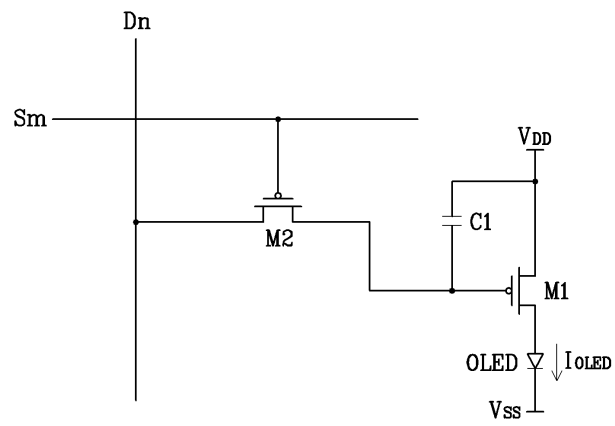
도 14는 도 9의 선택 신호 및 발광 신호를 생성하기 위한 본 발명의 제2 실시예에 따른 주사 구동부를 도시한 것이다.

도면

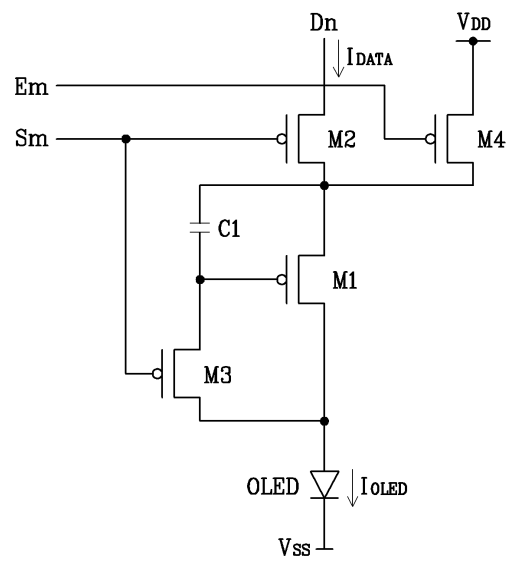
도면1



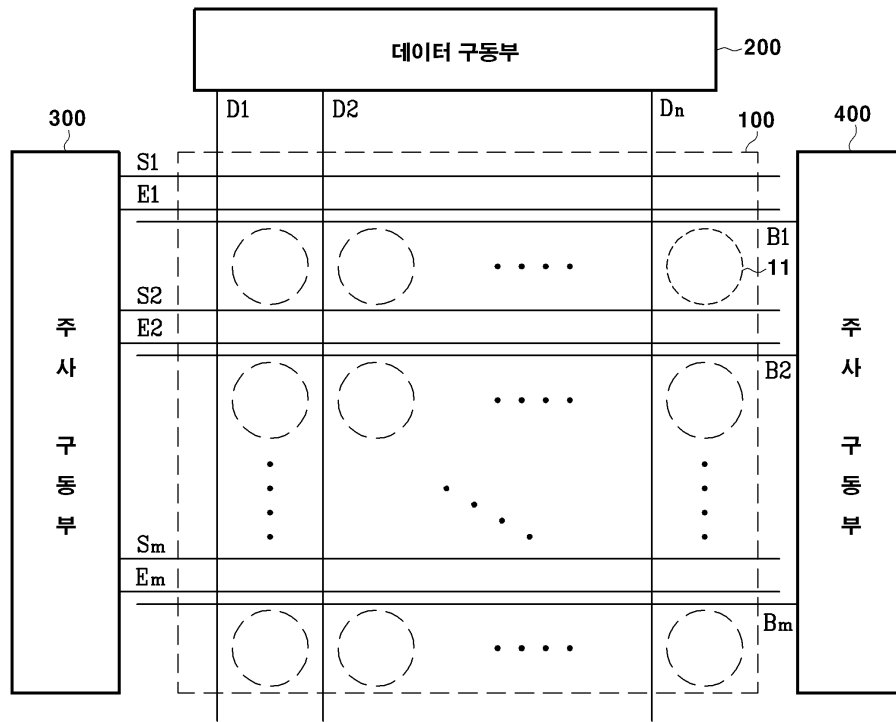
도면2



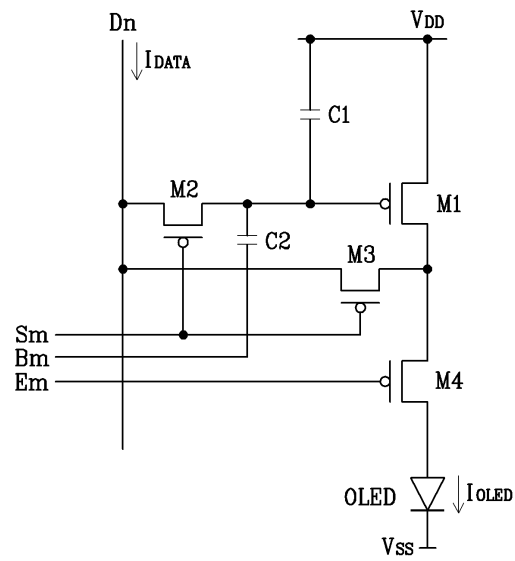
도면3



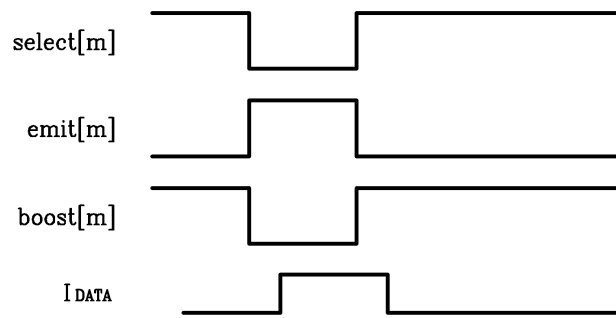
도면4



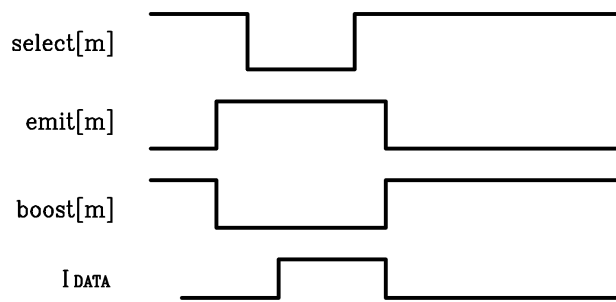
도면5



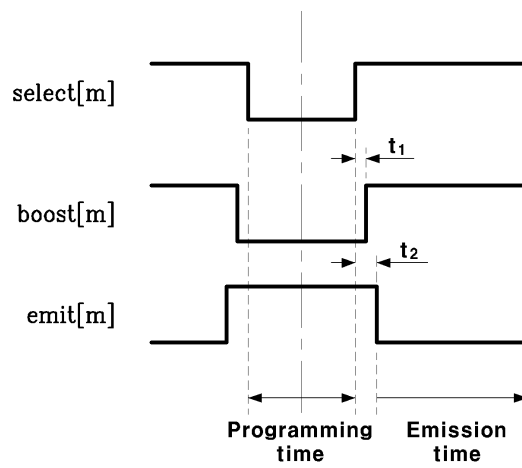
도면6



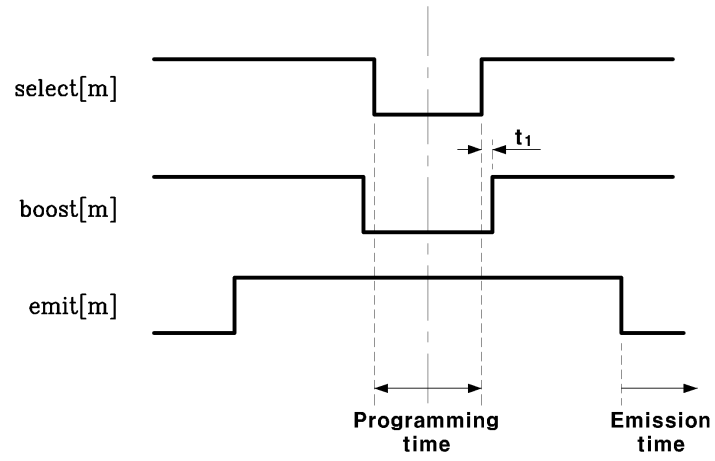
도면7



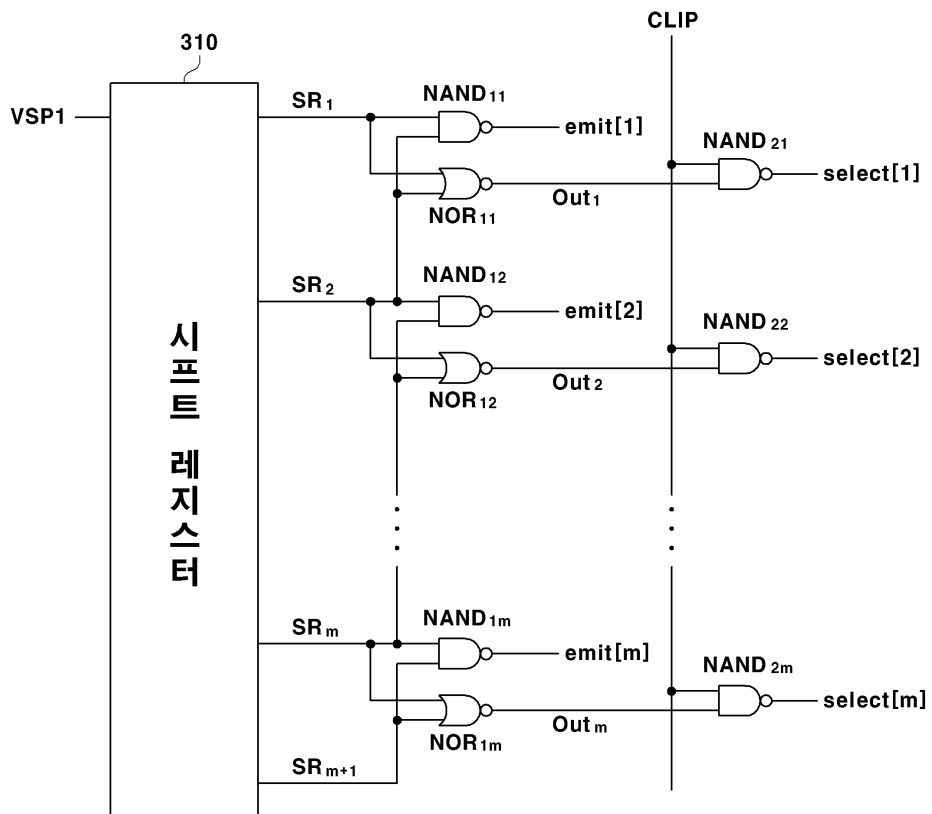
도면8



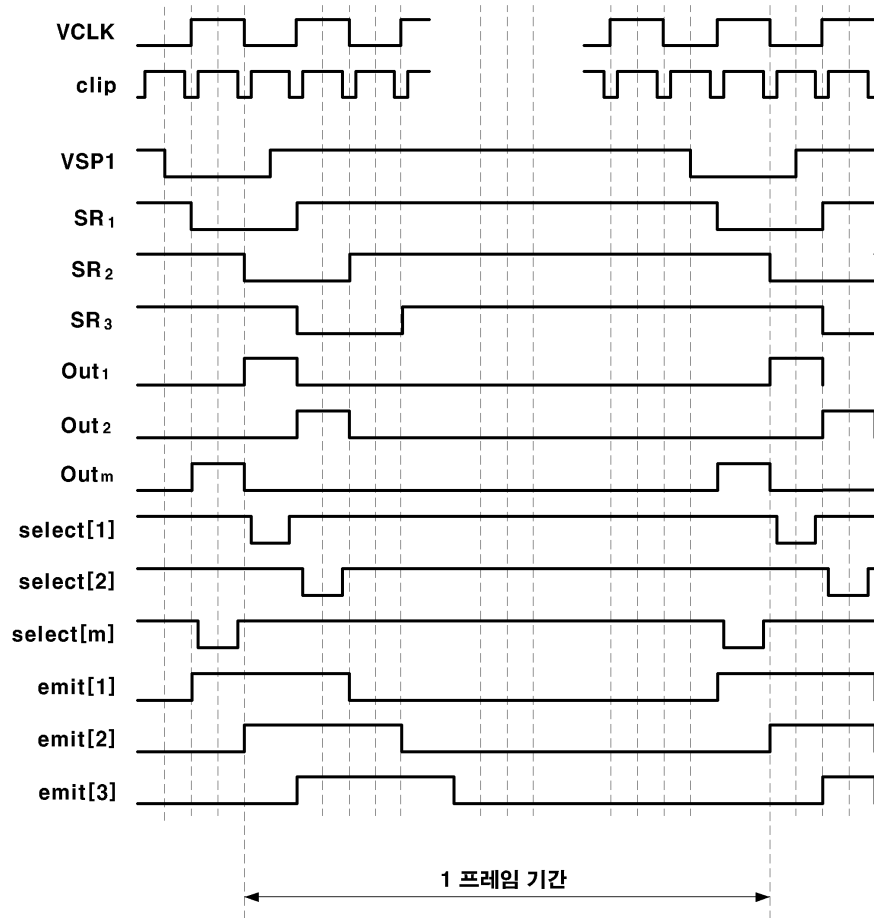
도면9



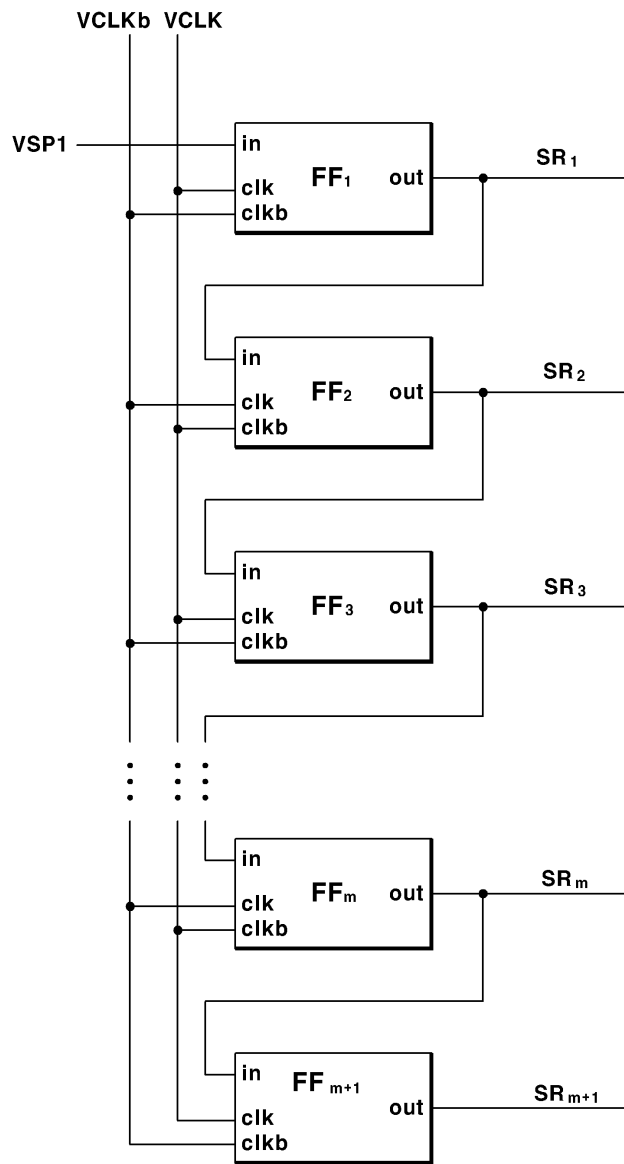
도면10



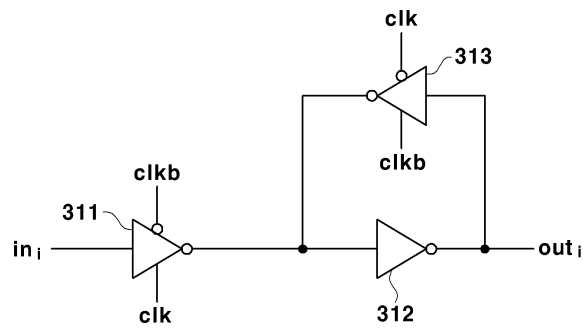
도면11



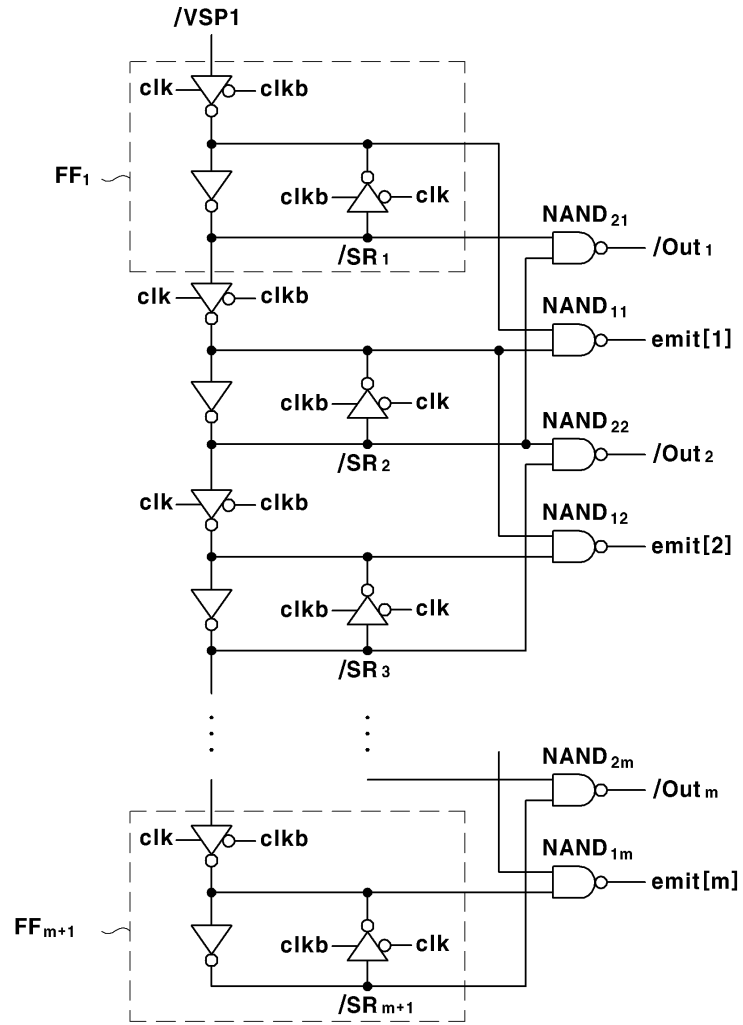
도면12



도면13



도면14



专利名称(译)	发光显示设备，显示面板，		
公开(公告)号	KR100658616B1	公开(公告)日	2006-12-15
申请号	KR1020040038950	申请日	2004-05-31
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SHIN DONGYONG		
发明人	SHIN,DONGYONG		
IPC分类号	G09G3/30 H01L51/50 G09G3/20 G09G3/32 H05B33/14		
CPC分类号	G09G2300/0814 G09G3/325 G09G2310/0262 G09G2310/0251 G09G2320/0233 G09G2300/0819 G09G3/3266		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR1020050113833A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种发光显示器，其显示面板及其驱动方法。根据本发明，响应于所施加的电流的像素电路是连接的二极管而于光的响应的发光元件，用于发射光到所述第一开关元件的选择信号，从所述第一开关装置的数据信号来传输数据信号的发送第二电容器电连接到晶体管的栅极和升压扫描线，并且适于响应于升压信号的电压电平变化而改变第一电容器的电压，以及第二开关元件，用于响应于发光信号将从晶体管输出的电流传输到发光元件。这里，升压信号的脉冲宽度基本上设置为等于水平周期中，选择信号的脉冲宽度比水平期间设置窄，闪光信号的脉冲宽度被设定为水平周期的整数倍。9 指数方面 有机EL，晶体管，发光，电容，升压

