

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년09월22일 10-0627419 2006년09월15일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0078733 2005년08월26일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	신동용 서울특별시 관악구 봉천1동 969-37
(74) 대리인	유미특허법인

심사관 : 최정운

(54) 유기 발광 표시 장치 및 그 구동 방법

요약

유기 발광 표시 장치의 화소에서, 구동 트랜지스터의 게이트와 소스 사이에 제1 커패시터가 연결되어 있고, 구동 트랜지스터의 게이트에 제2 커패시터의 제1 전극이 연결되어 있다. 먼저, 제2 커패시터의 제2 전극에 하이 레벨 전압이 인가된 상태에서, 구동 트랜지스터와 유기 발광 소자를 전기적으로 차단한다. 이어서, 제2 커패시터의 제2 전극에 로우 레벨 전압을 인가한 후, 데이터 전류를 구동 트랜지스터로 전달하여 제1 커패시터에 기입한다. 다음, 제2 커패시터의 제2 전극에 하이 레벨 전압을 인가한 후에, 구동 트랜지스터로부터의 전류를 유기 발광 소자로 전달한다. 이때, 제2 커패시터의 제2 전극에는 수평 주기보다 긴 기간 동안 로우 레벨 전압이 인가된다.

대표도

도 2

색인어

유기발광, 트랜지스터, 커패시터, 부스트, 전류 기입

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다.

도 2는 본 발명의 제1 실시예에 따른 화소의 개략적인 회로도이다.

도 3 내지 도 7은 각각 본 발명의 제1 내지 제5 실시예에 따른 화소의 신호 타이밍도이다.

도 8 및 도 11은 본 발명의 제6 실시예에 따른 두 주사 구동부의 개략적인 도면이다.

도 9는 도 8 및 도 11의 주사 구동부의 신호 타이밍도이다.

도 10은 도 8의 플립플롭의 개략적인 도면이다.

도 12는 본 발명의 제7 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다.

도 13은 본 발명의 제7 실시예에 따른 역다중화부의 개략적인 도면이다.

도 14는 도 13의 역다중화기의 개략적인 도면이다.

도 15는 도 14의 역다중화기의 스위치의 신호 타이밍도이다.

도 16a 내지 도 16d는 각각 도 15의 신호의 타이밍에 따른 도 14의 역다중화기의 동작을 나타내는 도면이다.

도 17은 도 14의 샘플/홀드 회로의 개략적인 회로도이다.

도 18은 본 발명의 제8 실시예에 따른 역다중화기의 개략적인 도면이다.

도 19는 도 18의 역다중화기의 스위치의 신호 타이밍도이다.

도 20a 내지 도 20c는 각각 도 19의 신호의 타이밍에 따른 도 18의 역다중화기의 동작을 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 발광 표시 장치 및 그 구동 방법에 관한 것으로, 특히 전류 기입 방식의 유기 발광 표시 장치에 관한 것이다.

일반적으로 유기 발광 표시 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, 행렬 형태로 배열된 $N \times M$ 개의 유기 발광 소자들을 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광 소자는 다이오드 특성을 가져서 유기 발광 다이오드(organic light emitting diode, OLED)로 불리며, 일반적으로 애노드 전극층, 유기 박막 및 캐소드 전극층의 구조를 가지고 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층, 전자 수송층 및 정공 수송층을 포함한 다층 구조로 이루어질 수 있으며, 또한 별도의 전자 주입층과 정공 주입층을 포함할 수도 있다.

그리고 유기 발광 소자를 구동하기 위해 유기 발광 소자가 형성된 화소에 인가되는 신호의 형태에 따라, 유기 발광 표시 장치의 구동 방식은 전압 기입 방식과 전류 기입 방식으로 나누어진다. 그런데 전압 기입 방식에서는 제조 공정의 불균일성에 의해 화소마다 생기는 박막 트랜지스터의 문턱 전압 및 전자 이동도의 편차로 인해 고계조를 얻기 어렵다는 문제점이 있다.

이에 반해 전류 기입 방식은 화소에 전류를 공급하는 전류원이 패널 전체에 대해 균일하다고 하면 각 화소내의 구동 트랜지스터가 불균일한 전압-전류 특성을 갖는다 하더라도 균일한 디스플레이 특성을 얻을 수 있다. 그러나 유기 발광 소자를 구동하는 전류는 일반적으로 미세 전류이므로, 화소로 미세 전류를 공급할 때 데이터선의 기생 용량 등을 충전하는데 시간이 많이 걸린다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 데이터선을 충분히 충전시킬 수 있는 전류 기입 방식의 유기 발광 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위해, 본 발명의 한 실시예에 따르면, 복수의 데이터선, 복수의 주사선, 복수의 발광 제어선, 복수의 부스트선 및 복수의 화소 회로를 포함하는 유기 발광 표시 장치가 제공된다. 각 화소 회로는 제1 내지 제4 트랜지스터, 제1 및 제2 커패시터, 그리고 유기 발광 소자를 포함한다. 제1 트랜지스터의 제1 전극은 제1 전압을 공급하는 제1 전원에 연결되어 있으며, 제1 전원과 제1 트랜지스터의 제어 전극 사이에 제1 커패시터가 연결되어 있다. 제2 트랜지스터는 복수의 데이터선 중 대응하는 데이터선과 제1 트랜지스터의 제어 전극 사이에 연결되어 있으며, 제2 트랜지스터의 제어 전극이 복수의 주사선 중 대응하는 주사선에 연결되어 있다. 제3 트랜지스터는 대응하는 주사선에 연결되어 있는 제어 전극을 가지며, 턴 온 시에 제1 트랜지스터를 다이오드 형태로 연결한다. 제2 커패시터는 제1 트랜지스터의 제어 전극과 복수의 부스트선 중 대응하는 부스트선 사이에 연결되어 있다. 제4 트랜지스터의 제1 전극은 제1 트랜지스터의 제2 전극에 연결되어 있으며, 제4 트랜지스터의 제어 전극은 복수의 발광 제어선 중 대응하는 발광 제어선에 연결되어 있다. 그리고 유기 발광 소자는 제4 트랜지스터의 제2 전극과 제2 전압을 공급하는 제2 전원 사이에 연결되어 있다. 이때, 대응하는 주사선으로 전달되는 선택 신호는 제1 기간 동안 게이트 온 전압을 가지며, 대응하는 부스트선으로 전달되는 부스트 신호가 제1 레벨을 가지는 제2 기간은 제1 기간을 포함한다. 또한 대응하는 발광 제어선으로 전달되는 발광 제어 신호가 게이트 오프 전압을 가지는 제3 기간은 제2 기간을 포함하며, 제2 기간은 수평 주기보다 길다.

본 발명의 다른 실시예에 따르면, 구동 트랜지스터, 구동 트랜지스터의 게이트와 소스 사이에 연결되어 있는 제1 커패시터, 구동 트랜지스터의 게이트에 제1 전극이 연결되어 있는 제2 커패시터 및 유기 발광 소자를 포함하는 화소 회로를 포함하는 유기 발광 표시 장치의 구동 방법이 제공된다. 이 구동 방법은 제2 커패시터의 제2 전극에 제1 레벨의 전압을 인가한 상태에서 구동 트랜지스터와 유기 발광 소자를 전기적으로 차단하는 단계, 제2 커패시터의 제2 전극에 제2 레벨의 전압을 인가하는 단계, 데이터 전류를 구동 트랜지스터로 전달하여 제1 커패시터에 기입하는 단계, 데이터 전류의 구동 트랜지스터로의 전달을 차단한 상태에서 제2 커패시터의 제2 전극에 제1 레벨의 전압을 인가하는 단계, 제2 커패시터의 제2 전극에 제1 레벨의 전압을 인가한 상태에서 구동 트랜지스터로부터의 전류를 유기 발광 소자로 전달하는 단계를 포함한다. 이때, 수평 주기보다 긴 제1 기간 동안 제2 커패시터의 제2 전극에 제2 레벨의 전압이 인가된다.

본 발명의 또다른 실시예에 따르면, 복수의 주사선, 복수의 제1 신호선, 복수의 제2 신호선, 복수의 화소, 제1 및 제2 주사 구동부를 포함하는 유기 발광 표시 장치가 제공된다. 복수의 주사선은 제1 게이트 온 전압 또는 제1 게이트 오프 전압을 가지는 선택 신호를 전달하며, 복수의 제1 신호선은 제2 게이트 온 전압 또는 제2 게이트 오프 전압을 가지는 제1 제어 신호를 전달하고, 복수의 제2 신호선은 제1 전압 또는 제1 전압과 다른 제2 전압을 가지는 제2 제어 신호를 전달한다. 각 화소는 복수의 주사선, 복수의 제1 신호선 및 복수의 제2 신호선 중 대응하는 주사선, 제1 신호선 및 제2 신호선에 연결되어 있다. 제1 주사 구동부는 수평 주기 이하의 제1 기간 동안 제1 게이트 온 전압을 가지는 선택 신호를 수평 주기만큼 시프트하면서 복수의 주사선으로 차례로 전달하며, 수평 주기보다 긴 제2 기간 동안 제2 게이트 오프 전압을 가지는 제1 제어 신호를 수평 주기만큼 시프트하면서 복수의 제1 신호선으로 차례로 전달한다. 그리고 제2 주사 구동부는 수평 주기보다 긴 제3 기간 동안 제1 전압을 가지는 제2 제어 신호를 수평 주기만큼 시프트하면서 복수의 제2 신호선으로 차례로 전달한다. 이때, 각 화소의 대응하는 제1 신호선에 전달되는 제1 제어 신호의 제2 기간은 대응하는 제2 신호선에 전달되는 제2 제어 신호의 제3 기간을 포함하며, 제3 기간은 대응하는 주사선에 전달되는 선택 신호의 제1 기간을 포함한다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

먼저, 도 1을 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치에 대하여 설명한다. 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다.

도 1에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치는 표시부(100), 데이터 구동부(200) 및 주사 구동부(300, 400)를 포함한다.

표시부(100)는 복수의 데이터선(D₁-D_m), 복수의 주사선(S₁-S_n), 복수의 발광 제어선(Em₁-Em_n), 복수의 부스트선(B₁-B_n) 및 복수의 화소(110)를 포함하며, 이들은 기판(도시하지 않음) 위에 형성되어 있다.

복수의 데이터선(D₁-D_m)은 열 방향으로 뻗어 있으며 각각 계조를 나타내는 데이터 전류를 복수의 화소(110)로 전달하며, 복수의 주사선(S₁-S_n), 복수의 발광 제어선(Em₁-Em_n) 및 복수의 부스트선(B₁-B_n)은 행 방향으로 뻗어 있으며 각각 선택 신호, 발광 제어 신호 및 부스트 신호를 복수의 화소(110)로 전달한다. 그리고 각 화소(110)는 복수의 주사선(S₁-S_n) 중 해당하는 주사선과 복수의 데이터선(D₁-D_m) 중 해당하는 데이터선에 의해 정의되는 화소 영역에 형성되어 있다.

한편, 색 표시를 구현하기 위해서는 각 화소가 원색 중 하나의 색상을 고유하게 표시하거나 각 화소가 시간에 따라 번갈아 원색을 표시하게 하여, 이들 원색의 공간적 또는 시간적 합으로 원하는 색상이 인식되도록 한다. 원색의 예로는 적색(R), 녹색(G) 및 청색(B)을 들 수 있다. 이때, 시간적 합으로 색상을 표시하는 경우에는 한 화소에서 시간적으로 R, G 및 B 색상이 번갈아 표시되어서 한 색상이 구현된다. 그리고 공간적 합으로 색상을 표시하는 경우에는 R 화소, G 화소 및 B 화소의 세 화소에 의해 한 색상이 구현되며, 이때 각 화소를 부화소라 부르고 세 개의 R, G 및 B 부화소를 합쳐서 하나의 화소라 부르기도 한다.

데이터 구동부(200)는 표시부(100)의 데이터선(D₁-D_m)에 연결되어 데이터 전류를 데이터선(D₁-D_m)에 인가한다. 주사 구동부(300)는 시작 신호(VSP1) 및 클럭(VCLK1)을 수신하여, 게이트 온 전압과 게이트 오프 전압의 조합으로 이루어지는 선택 신호와 발광 제어 신호를 생성한다. 그리고 주사 구동부(200)는 생성한 선택 신호를 주사선(S₁-S_n)에 차례로 인가하며, 생성한 발광 제어 신호를 발광 제어선(Em₁-Em_n)에 차례로 인가한다. 이때, 선택 신호 및 발광 제어 신호가 게이트 온 전압을 가지는 경우에, 해당 주사선 및 발광 제어 신호에 게이트가 각각 연결되어 있는 화소(110)의 트랜지스터(도시하지 않음)가 턴온된다. 또한, 주사 구동부(400)는 시작 신호(VSP2) 및 클럭(VCLK2)을 수신하여, 하이 레벨 전압과 로우 레벨 전압의 조합으로 이루어지는 부스트 신호를 생성한다. 그리고 주사 구동부(400)는 생성한 부스트 신호를 차례로 부스트선(B₁-B_n)에 인가한다.

이때, 데이터 구동부(200) 및/또는 주사 구동부(300, 400)는 표시부(100)가 형성된 기판 위에 집적 회로 형태로 직접 장착될 수 있다. 또는 데이터 구동부(200) 및/또는 주사 구동부(300, 400)를 표시부(100)가 형성된 기판 위에서 주사선(S₁-S_n), 발광 제어선(Em₁-Em_n), 부스트선(B₁-B_n), 데이터선(D₁-D_m) 및 화소(110)의 트랜지스터를 형성하는 층과 동일 또는 유사한 층들로 형성할 수도 있다. 또는 데이터 구동부(200) 및/또는 주사 구동부(300, 400)를 표시부(100)가 형성된 기판에 접촉되어 전기적으로 연결된 TCP(tape carrier package), FPC(flexible printed circuit) 또는 TAB(tape automatic bonding)에 칩 등의 형태로 장착할 수도 있다.

다음, 도 2를 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 화소(110)에 형성된 화소 회로에 대하여 상세하게 설명한다. 도 2는 본 발명의 제1 실시예에 따른 화소의 개략적인 회로도이다. 그리고 도 2에서는 설명의 편의상 j번째 데이터선(D_j)과 i번째 선택 주사선(S_i)에 연결된 화소 회로만을 도시하였다(여기서, j는 1과 m 사이의 정수이고, i는 1과 n 사이의 정수임).

도 2에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 화소 회로는 유기 발광 소자(OLED), 트랜지스터(M1, M2, M3, M4) 및 커패시터(C1, C2)를 포함하며, 트랜지스터(M1-M4)는 소스와 드레인을 두 전극으로 가지며 게이트를 제어 전극으로 가진다. 그리고 도 2에서는 트랜지스터(M1-M4)를 PMOS(p-channel metal oxide semiconductor) 트랜지스터로 도시하였지만, PMOS 트랜지스터와 동일 또는 유사한 기능을 하는 다른 트랜지스터를 사용할 수도 있다.

트랜지스터(M2)는 데이터선(D_j)과 트랜지스터(M1)의 게이트 사이에 연결되어 있으며, 주사선(S_i)에 연결되어 있는 게이트를 가진다. 트랜지스터(M3)는 트랜지스터(M1)의 드레인과 데이터선(D_j) 사이에 연결되어 있으며, 주사선(S_i)에 연결되

어 있는 게이트를 가진다. 두 트랜지스터(M2, M3)는 주사선(S_i)으로부터의 로우 레벨의 선택 신호에 응답하여, 트랜지스터(M1)를 다이오드 형태로 연결하고 데이터선(D_i)으로부터의 데이터 전류(I_{DATA})가 트랜지스터(M1)의 드레인으로 흐르도록 한다.

구동 트랜지스터(M1)의 소스는 전원(VDD)에 연결되어 있으며, 구동 트랜지스터(M1)의 소스와 게이트 사이에는 커패시터(C1)가 연결되어 있다. 커패시터(C1)는 구동 트랜지스터(M1)의 드레인에 흐르는 데이터 전류(I_{DATA})에 대응하는 전압을 저장한다. 그리고 커패시터(C2)는 부스트선(B_i)과 구동 트랜지스터(M1)의 게이트 사이에 연결되어 트랜지스터(M1)의 게이트 전압을 조절한다.

트랜지스터(M4)는 트랜지스터(M1)의 드레인과 유기 발광 소자(OLED)의 애노드 사이에 연결되어 있으며, 발광 제어선(Em_i)에 연결되어 있는 게이트를 가진다. 이러한 트랜지스터(M4)는 발광 제어선(Em_i)으로부터의 로우 레벨의 발광 제어 신호에 응답하여 트랜지스터(M1)에 흐르는 전류를 유기 발광 소자(OLED)에 공급한다. 유기 발광 소자(OLED)는 전원(VDD)보다 낮은 전압을 공급하는 전원(VSS)에 연결되어 있는 캐소드를 가지며, 전달되는 전류의 양에 대응하는 빛을 발광한다.

다음, 도 3을 참조하여 도 2의 화소 회로의 동작에 대하여 자세하게 설명한다. 도 2에서는 트랜지스터(M2-M4)가 PMOS 트랜지스터이므로, 선택 신호 및 발광 제어 신호는 로우 레벨 전압을 게이트 온 전압으로 가지고, 하이 레벨 전압을 게이트 오프 전압으로 가진다.

먼저, 주사선(S_i)을 통하여 인가되는 로우 레벨의 선택 신호(select[i])에 응답하여 트랜지스터(M2, M3)가 턴온되어, 트랜지스터(M1)는 다이오드 형태로 연결된다. 그러면 트랜지스터(M1)의 드레인에서 트랜지스터(M3)를 거쳐 데이터선(D_i)으로 데이터 전류(I_{DATA})가 흐른다. 그리고 발광 제어선(Em_i)을 통하여 인가되는 하이 레벨의 발광 제어 신호(emit[i])에 의해 트랜지스터(M4)는 턴오프되어 있어서, 트랜지스터(M1)와 유기 발광 소자(OLED)는 전기적으로 차단되어 있다. 또한, 부스트선(B_i)으로 전달되는 부스트 신호(boost[i])는 하이 레벨에서 로우 레벨로 된다.

이때, 트랜지스터(M1)의 게이트와 소스 사이 전압의 절대값(이하, "게이트-소스 전압"이라 함)(V_{GS})과 트랜지스터(M1)에 흐르는 전류(I_{DATA}) 사이에는 수학식 1의 관계가 성립하므로, 트랜지스터(M1)의 게이트-소스 전압(V_{GS})은 수학식 2와 같이 된다.

수학식 1

$$I_{DATA} = \frac{\beta}{2} (V_{GS} - V_{TH})^2$$

여기서, β는 상수 값이며 V_{TH}은 트랜지스터(M1)의 문턱 전압의 절대값이다.

수학식 2

$$V_{GS} = V_{DD} - V_G = \sqrt{\frac{2I_{DATA}}{\beta}} + V_{TH}$$

여기서, V_G는 트랜지스터(M1)의 게이트 전압이며 V_{DD}은 전원(VDD)에 의해 공급되는 전압이다.

다음, 주사선(S_i)의 선택 신호(select[i])가 하이 레벨로 되고 발광 제어선(Em_i)의 발광 제어 신호(emit[i])가 로우 레벨로 되면 트랜지스터(M2, M3)가 턴오프되고 트랜지스터(M4)가 턴온된다. 그리고 부스트선(B_i)의 부스트 신호(boost[i])가 로우 레벨에서 하이 레벨로 된다.

부스트선(B_i)의 부스트 신호(boost[i])가 로우 레벨에서 하이 레벨로 되면 커패시터(C2)와 부스트선(B_i)의 접점의 전압이 부스트 신호(boost[i])의 레벨 증가폭(ΔV_B)만큼 증가한다. 따라서 커패시터(C1, C2)의 커플링에 의해 트랜지스터(M1)의 게이트 전압(V_G)은 증가하고, 그 증가폭(ΔV_G)은 수학식 3과 같다.

수학식 3

$$\Delta V_G = \frac{\Delta V_B C_2}{C_1 + C_2}$$

여기서, C_1 및 C_2 는 각각 커패시터(C_1 , C_2)의 커패시턴스이다.

트랜지스터(M1)의 게이트 전압(V_G)이 ΔV_G 만큼 증가하였으므로 트랜지스터(M1)에 흐르는 전류(I_{OLED})는 수학식 4와 같이 된다. 즉, 트랜지스터(M1)의 게이트 전압(V_G)이 증가한 만큼 트랜지스터(M1)의 게이트-소스 전압(V_{GS})의 크기가 작아지므로, 트랜지스터(M1)의 드레인 전류(I_{OLED})의 크기를 데이터 전류(I_{DATA})에 비해 작게 할 수 있다. 그리고 발광 제어선(Em_i)의 발광 제어 신호(emit[i])에 의해 트랜지스터(M3)가 턴온되어 있으므로, 트랜지스터(M1)의 전류(I_{OLED})가 유기 발광 소자(OLED)에 공급되어 발광이 이루어진다.

수학식 4

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - \Delta V_G - V_{TH})^2 = \frac{\beta}{2} \left(\sqrt{\frac{2I_{DATA}}{\beta}} - \Delta V_G \right)^2$$

그리고 수학식 4로부터 데이터 전류(I_{DATA})는 수학식 5과 같이 주어지므로, 데이터 전류(I_{DATA})를 유기 발광 소자(OLED)에 흐르는 전류(I_{OLED})보다 큰 값으로 설정할 수 있다. 즉, 큰 데이터 전류(I_{DATA})로 유기 발광 소자(OLED)에 흐르는 미세 전류를 제어할 수 있으므로, 데이터선의 충전 시간을 확보할 수 있다.

수학식 5

$$I_{DATA} = I_{OLED} + \Delta V_G \sqrt{2\beta I_{OLED}} + \frac{\beta}{2} (\Delta V_G)^2$$

그리고 도 3에서는 선택 신호(select[i]), 발광 제어 신호(emit[i]) 및 부스트 신호(boost[i])의 타이밍을 동일하게 표시하였지만, 이와는 달리 이들 타이밍을 다르게 할 수도 있다. 아래에서는 이러한 실시예에 대해서 도 4 내지 도 7을 참조하여 상세하게 설명한다.

먼저, 도 4를 참조하여 본 발명의 제2 실시예에 따른 신호 타이밍에 대해서 설명한다.

주사선(S_i)의 선택 신호(select[i])에 의해 트랜지스터(M2, M3)가 턴온되어 트랜지스터(M1)에 데이터 전류(I_{DATA})가 전달되는 동안 트랜지스터(M4)가 턴오프되어 있을 필요가 있다. 만약, 트랜지스터(M1)에 데이터 전류(I_{DATA})가 전달되는 동안 트랜지스터(M4)가 턴온되어 유기 발광 소자(OLED)에 전류가 흐르면, 트랜지스터(M1)의 드레인에는 데이터 전류(I_{DATA})와 유기 발광 소자(OLED)에 흐르는 전류의 차에 해당하는 전류가 흐르고, 이 전류에 대응하는 전압이 커패시터(C_1)에 기입된다. 그런데 도 3과 같은 경우에는 주사선(S_i)과 발광 제어선(Em_i)에 연결되는 부하의 차이로 인해 선택 신호(select[i])의 상승 시점과 발광 제어 신호(emit[i])의 하강 시점이 다를 수 있다. 따라서 도 4와 같이 발광 제어 신호(emit[i])의 펄스 끝을 선택 신호(select[i])의 펄스 끝보다 나중에 오도록 하면, 트랜지스터(M2)가 턴온되어 있는 중간에 트랜지스터(M4)가 턴온되지 않는다.

그리고 커패시터(C_2)에 전달되는 부스트 신호(boost[i])의 펄스 끝이 트랜지스터(M2, M3)에 전달되는 선택 신호(select[i])의 펄스 끝보다 먼저 오면 커패시터(C_2)의 노드 전압이 증가한 후에 데이터 전류(I_{DATA})의 기입이 완료되므로, 커패시터(C_2)의 노드 전압을 증가시킨 효과가 없어진다. 따라서 도 4와 같이 주사선(S_i)으로 전달되는 선택 신호(select[i])의 펄스 끝을 부스트선(B_i)으로 전달되는 부스트 신호의 펄스 끝보다 먼저 오게 하면, 데이터 전류(I_{DATA})의 기입 이후에 커패시터(C_2)의 노드 전압이 상승할 수 있다.

또한, 커패시터(C_2)에 전달되는 부스트 신호(boost[i])의 펄스 시작이 트랜지스터(M2, M3)에 전달되는 선택 신호(select[i])의 펄스 시작보다 나중에 오면, 커패시터(C_1)에 전압이 기입되는 중간에 커패시터(C_2)의 노드 전압 하강에 의해 커패시터(C_1)의 전압이 바뀐다. 이와 같이 커패시터(C_1)의 전압이 변경되면 커패시터(C_1)의 전압 기입 동작이 다시 이루어져

야 하므로 커패시터(C1)에 전압을 기입하는 시간이 부족해진다. 따라서 도 4와 같이 주사선(S_i)으로 전달되는 선택 신호(select[i])의 펄스 시작을 부스트선(B_i)으로 전달되는 부스트 신호(boost[i])의 펄스 시작보다 나중에 오게 하면, 커패시터(C2)의 노드 전압이 하강한 이후에 데이터 전류(I_{DATA})의 기입 동작이 이루어질 수 있다.

다음, 도 5를 참조하여 본 발명의 제3 실시예에 따른 신호 타이밍에 대해서 설명한다.

도 4의 신호 타이밍에서 부스트 신호선(B_i)과 발광 제어선(Em_i)에 연결되는 부하의 차이로 인해 트랜지스터(M4)로 전달되는 발광 제어 신호(emit[i])의 펄스 끝이 커패시터(C2)로 전달되는 부스트 신호(boost[i])의 펄스 끝보다 먼저 오면, 발광 제어 신호(emit[i])의 펄스 끝과 부스트 신호(boost[i])의 펄스 끝 사이의 기간 동안 커패시터(C2)의 노드 전압 상승 전의 전류가 유기 발광 소자(OLED)에 흘러 유기 발광 소자(OLED)에 스트레스를 준다. 이러한 동작이 계속 반복되면 유기 발광 소자(OLED)의 수명이 짧아질 수 있다. 따라서 도 5와 같이 부스트 신호선(B_i)으로 전달되는 부스트 신호(boost[i])의 펄스 끝을 발광 제어선(Em_i)으로 전달되는 발광 제어 신호(emit[i])의 펄스 끝보다 먼저 오게 하여, 커패시터(C2)의 노드 전압 상승 이후에 유기 발광 소자(OLED)에 전류가 흐르도록 할 수 있다.

그리고 발광 제어 신호(emit[i])의 펄스 시작이 부스트 신호(boost[i])의 펄스 시작보다 나중에 오면, 부스트 신호(boost[i])의 펄스 시작과 발광 제어 신호(emit[i])의 펄스 시작 사이의 기간 동안 커패시터(C2)의 노드 전압 하강에 따른 전류가 유기 발광 소자(OLED)에 흘러 유기 발광 소자(OLED)에 스트레스를 준다. 이러한 스트레스가 반복되면 유기 발광 소자(OLED)의 수명이 짧아질 수 있다. 따라서 도 5와 같이 발광 제어선(Em_i)으로 전달되는 발광 제어 신호(emit[i])의 펄스 시작을 커패시터(C2)로 전달되는 부스트 신호(boost[i])의 펄스 시작보다 먼저 오게 하여, 트랜지스터(M4)가 턴오프된 이후에 커패시터(C2)의 노드 전압이 하강하도록 할 수 있다.

즉, 본 발명의 제3 실시예에 따르면, 주사 구동부(300)는 발광 제어 신호(emit[i])의 펄스를 하나의 주사선에 할당된 시간인 수평 주기(1H)와 실질적으로 동일하게 설정하여 발광 제어선(Em_i)에 인가하고, 선택 신호(select[i])의 펄스 양끝을 각각 발광 제어 신호(emit[i])의 펄스의 양끝보다 t₂ 기간만큼 짧게 설정하여 주사선(S_i)에 인가한다. 그리고 주사 구동부(400)는 부스트 신호(boost[i])의 펄스 양끝을 각각 선택 신호(select[i])의 펄스 양끝보다 t₁ 기간만큼 길게 설정하여 부스트선(B_i)에 인가하며, t₁은 t₂보다 짧은 기간이다.

이러한 동작을 위해 주사 구동부(300, 400)는 일반적인 시프트 레지스터를 사용할 수 있다. 즉, 주사 구동부(300)는 수평 주기(1H)의 펄스 폭을 가지며 수평 주기(1H)만큼 차례로 시프트되는 시프트 신호를 생성하고, 시프트 신호로부터 발광 제어 신호(emit[i])를 생성할 수 있다. 그리고 주사 구동부(300)는 시프트 신호의 펄스에서 양끝을 (t₂-t₁) 기간만큼 잘라서 선택 신호(select[i])를 생성할 수 있으며, 주사 구동부(400)는 시프트 신호의 펄스에서 양끝을 t₂ 기간만큼 잘라서 부스트 신호(boost[i])를 생성할 수 있다.

일반적으로, 선택 신호(select[i])가 게이트 온 전압(도 5의 로우 레벨 전압)을 가지는 기간 동안 한 행의 데이터가 데이터선(D_j)을 통하여 화소(110)에 기입된다. 그런데 제3 실시예에 의하면 데이터 기입 시간이 수평 주기(1H)에 비하여 최소한 t₂ 기간의 두 배만큼 감소되므로, 데이터 기입 시간 동안 화소에 데이터를 충분히 기입할 수 없다. 예를 들어, NTSC 방식에서 QVGA(240×320)급 해상도에서는 수평 주기(1H)가 52μs인데, t₂ 기간을 4μs로 설정하면 데이터 기입 시간은 수평 주기에 비해 15% 이상 감소한다. 따라서 데이터 기입 시간 동안 데이터가 화소에 충분히 기입되지 않아 원하는 화상이 표시되지 않을 수 있다.

아래에서는 데이터 기입 시간을 늘릴 수 있는 신호 타이밍에 대해서 도 6 및 도 7을 참조하여 상세하게 설명한다.

도 6에 도시한 바와 같이, 본 발명의 제4 실시예에 따른 주사 구동부(300)는 선택 신호(select[i])의 펄스 폭을 수평 주기(1H)와 실질적으로 동일하게 설정하여 주사선(S_i)에 인가한다. 그리고 주사 구동부(400)는 부스트 신호(boost[i])의 펄스의 양끝이 각각 선택 신호(select[i])의 펄스의 양끝보다 일정 기간만큼 길도록 설정하여 부스트선(B_i)에 인가하고, 주사 구동부(300)는 발광 제어 신호(emit[i])의 펄스의 양끝이 각각 부스트 신호(boost[i])의 펄스의 양끝보다 일정 기간만큼 길도록 설정하여 발광 제어선(Em_i)에 인가한다. 이와 같이 하면, 데이터 기입 시간을 수평 주기(1H)만큼 확보할 수 있어서, 원하는 데이터를 화소에 기입할 수 있다.

그런데 선택 신호(select[i])의 펄스 폭이 수평 주기(1H)와 동일하면, 선택 신호(select[i])의 펄스 끝과 이어지는 선택 신호(select[i+1])의 펄스 시작이 겹칠 수 있다. 즉, 주사선(S_i)에 형성된 기생 저항과 기생 커패시턴스 성분으로 인해 한 수평 주기(1H)의 종료 시점에서 선택 신호(select[i])가 완전히 하이 레벨로 변경되지 않을 수 있다. 그러면 i번째 주사선(S_i)에 연결된 화소의 트랜지스터(M2, M3)가 턴온된 상태에서, (i+1)번째 주사선(S_{i+1})에 연결된 화소에 대응하는 데이터가 데이터선(D_j)으로 입력되어 i번째 주사선(S_i)에 연결된 화소에 기입된 데이터가 변경될 수 있다.

따라서 도 7에 도시한 바와 같이, 본 발명의 제5 실시예에서는 선택 신호(select[i])의 펄스 양끝을 각각 수평 주기(1H)의 양끝보다 t3 기간만큼 짧게 설정한다. 여기서, t3 기간은 데이터 기입 시간이 충분히 확보될 수 있도록 도 5의 t2 기간보다 짧게 설정된다.

이와 같이 하면, 데이터 기입 시간이 수평 주기(1H)보다 t3의 두 배만큼 짧은 시간 정도로 설정되므로, 원하는 데이터를 화소에 기입할 수 있다. 또한, 선택 신호(select[i])의 지연에 의해 화소의 데이터가 변경되는 것을 방지할 수 있다.

다음, 도 8 내지 도 11을 참조하여 도 7의 신호 타이밍을 생성할 수 있는 주사 구동부(300, 400)에 대해서 상세하게 설명한다.

도 8에 도시한 바와 같이, 본 발명의 제6 실시예에 따른 주사 구동부(300)는 시프트 레지스터(310), 2n개의 NAND 게이트(NAND₁₁-NAND_{1n}, NAND₂₁-NAND_{2n}) 및 n개의 NOR 게이트(NOR₁₁-NOR_{1n})를 포함하며, 시프트 레지스터(310)는 (n+1)개의 플립플롭(FF₁₁-FF_{1(n+1)})을 포함한다.

시프트 레지스터(310)는 시작 신호(VSP1)와 수평 주기(1H)의 두 배에 해당하는 주기를 가지는 클록(VCLK1)을 수신하여, 한 클록(VCLK1) 동안 로우 레벨 펄스를 가지는 출력 신호(SR₁₁-SR_{1(n+1)})를 반 클록(VCLK1)만큼 시프트하면서 출력한다.

구체적으로, 시프트 레지스터(310)에서 i번째 플립플롭(FF_{1i})의 출력 신호(SR_{1i})가 (i+1)번째 플립플롭(FF_{1(i+1)})의 입력 신호(in)로 되고, 시작 신호(VSP1)가 첫 번째 플립플롭(FF₁₁)의 입력 신호(in)로 된다(여기서, i는 1과 n 사이의 정수). 이러한 플립플롭(FF_{1i})은 내부 클록(clk)이 하이 레벨인 경우에는 입력 신호(in)를 출력 및 래치하고, 내부 클록(clk)이 로우 레벨인 경우에는 래치된 신호를 출력한다. 이때, 홀수 번째 플립플롭(FF_{1(2k-1)})에는 클록(VCLK1)이 내부 클록(clk)으로 입력되고 반전 클록(VCLK1b)이 내부 반전 클록(clkb)으로 입력되며, 짝수 번째 플립플롭(FF_{1(2k)})에는 클록(VCLK1)이 내부 반전 클록(clkb)으로 입력되고 반전 클록(VCLK1b)이 내부 클록(clk)으로 입력된다. 그리고 도 9를 보면 시작 신호(VSP1)는 한 프레임 동안 클록(VCLK1)이 한번 하이 레벨인 기간에서 로우 레벨을 가지므로, 시프트 레지스터(310)의 복수의 플립플롭(FF₁₁-FF_{1(n+1)})은 한 클록(VCLK1), 즉 두 수평 주기(1H) 동안 로우 레벨 펄스를 가지는 신호(SR₁₁-SR_{1(n+1)})를 반 클록(VCLK1)만큼 시프트하면서 출력할 수 있다.

i번째 NAND 게이트(NAND_{1i})는 시프트 레지스터(310)의 i번째 및 (i+1)번째 출력 신호(SR_{1i}, SR_{1(i+1)})를 NAND 연산하여 발광 제어 신호(emit[i])를 생성하고 이를 i번째 발광 제어 신호선(Em_i)으로 출력한다. 이때, 두 출력 신호(SR_{1i}, SR_{1(i+1)})의 로우 레벨 펄스가 반 클록만큼 시프트되어 있으므로, 발광 제어 신호(emit[i])는 두 출력 신호(SR_{1i}, SR_{1(i+1)}) 중 적어도 하나가 로우 레벨인 동안 로우 레벨 펄스를 가진다. 즉, 발광 제어 신호(emit[i])의 로우 레벨 펄스는 수평 주기(1H)의 3배에 해당하는 폭을 가진다.

다음, i번째 NOR 게이트(NOR_{1i})는 시프트 레지스터(310)의 i번째 및 (i+1)번째 출력 신호(SR_i, SR_{i+1})를 NOR 연산한다. 그리고 i번째 NAND 게이트(NAND_{2i})는 i번째 NOR 게이트(NOR_{1i})의 출력 신호와 클립 신호(CLIP)를 NAND 연산하여 선택 신호(select[i])를 생성하고 이를 주사선(S_i)으로 출력한다. 여기서 클립 신호(CLIP)는 수평 주기(1H)와 동일한 주기로 로우 레벨 펄스를 가진다. 그리고 클립 신호(CLIP)의 로우 레벨 펄스의 폭은 t3 기간의 2배와 동일하고, 로우 레벨 펄스 기

간은 클록(VCLK1)의 수평 주기(1H)의 경계를 포함한다. 이때, 두 출력 신호(SR_{1i} , $SR_{1(i+1)}$)의 로우 레벨 펄스가 반 클록만큼 시프트되어 있으므로, NOR 게이트(NOR_{1i})의 출력 신호(out_i)는 두 출력 신호(SR_{1i} , $SR_{1(i+1)}$)가 모두 로우 레벨인 동안 하이 레벨 펄스를 가진다.

그리고 NAND 게이트($NAND_{2i}$)의 출력 신호인 선택 신호(select[i])는 NOR 게이트(NOR_{1i})의 출력 신호와 클립 신호(CLIP)가 모두 하이 레벨 펄스인 동안 로우 레벨 펄스를 가지므로, 선택 신호(select[i])의 로우 레벨 펄스는 수평 주기(1H)보다 t_3 기간의 2배만큼 짧은 폭을 가진다.

또한, 시프트 레지스터(310)의 출력 신호(SR_{11} - $SR_{1(n+1)}$)가 반 클록(VCLK1)만큼 시프트되면서 출력되므로, 주사 구동부(300)는 발광 제어 신호(emit[1]-emit[n]) 및 선택 신호(select[1]-select[n])도 반 클록(VCLK1)만큼 시프트하면서 차례로 출력할 수 있다.

다음, 도 10을 참조하여 도 8의 플립플롭(FF_{1i})의 일 실시예에 대해서 설명한다.

도 10에 도시된 바와 같이, 플립플롭(FF_{1i})은 3상 인버터(311, 313) 및 인버터(312)를 포함하며, 인버터(312)와 3상 인버터(313)는 래치를 형성한다. 내부 클록(clk)이 하이 레벨로 되면, 3상 인버터(311)는 입력 신호(in)를 반전하여 출력하고, 인버터(312)는 3상 인버터(311)의 출력 신호(outb)를 반전하여 출력한다. 내부 클록(clk)이 로우 레벨로 되면 3상 인버터(311)의 출력은 차단되고 인버터(312)의 출력이 3상 인버터(313)로 입력되고 3상 인버터(313)의 출력이 인버터(312)에 입력되는 래치가 형성된다. 그리고 인버터(312)의 출력 신호가 플립플롭(FF_{1i})의 출력 신호(out)로 된다. 이와 같이, 플립플롭(FF_{1i})은 내부 클록(clk)이 하이 레벨이면 입력 신호(in)를 그대로 출력하고 내부 클록(clk)이 로우 레벨이면 하이 레벨 시의 입력 신호(in)를 래치하여 출력할 수 있다.

이와 같이, 제6 실시예에 따른 주사 구동부(300)는 선택 신호(select[i])의 로우 레벨 펄스의 양끝을 수평 주기(1H)의 양 끝보다 각각 t_3 기간의 2배만큼 짧게 설정할 수 있으며, 발광 제어 신호(emit[i])의 펄스 폭을 수평 주기(1H)의 3배로 설정할 수 있다.

다음, 도 11을 참조하여 본 발명의 제6 실시예에 따른 주사 구동부(400)에 대해서 설명한다.

도 11에 도시한 바와 같이, 제6 실시예에 따른 주사 구동부(400)는 시프트 레지스터(410), n개의 버퍼(BUF_1 - BUF_n), n개의 인버터(INV_1 - INV_n), n개의 제1 전달 게이트($TRAN_{11}$ - $TRAN_{1n}$) 및 n개의 제2 전달 게이트($TRAN_{21}$ - $TRAN_{2n}$)를 포함하며, 시프트 레지스터(410)는 복수의 플립플롭(FF_{21} - FF_{2n})을 포함한다. 도 11에서 버퍼(BUF_i)는 2개의 인버터로 이루어지는 것으로 도시하였다.

시프트 레지스터(410)는 시작 신호(VSP2)와 수평 주기(1H)의 두 배에 해당하는 주기를 가지는 클록(VCLK2)을 수신하여, 한 클록(VCLK2) 동안 로우 레벨 펄스를 가지는 출력 신호를 반 클록(VCLK2)만큼 시프트하면서 출력한다. 다시 도 9를 보면, 클록(VCLK2)은 시프트 레지스터(310)의 클록(VCLK1)에 대해서 일정 기간만큼 시프트되어 있으며 클록(VCLK1)과 동일한 주기를 가진다. 그리고 이 일정 기간은 반 클록(VCLK1)보다 짧은 기간으로 예를 들어 클록(VCLK1)의 주기의 (1/4)에 해당하는 기간이 될 수 있다.

구체적으로, 시프트 레지스터(410)에서 i번째 플립플롭(FF_{2i})의 출력 신호가 (i+1)번째 플립플롭($FF_{2(i+1)}$)의 입력 신호(in)로 되고, 시작 신호(VSP2)가 첫 번째 플립플롭(FF_{21})의 입력 신호(in)로 된다. 또한, 시프트 레지스터(310)와 동일하게 홀수 번째 플립플롭($FF_{2(2k-1)}$)에는 클록(VCLK2)이 내부 클록(clk)으로 입력되고 짝수 번째 플립플롭($FF_{2(2k)}$)에는 클록(VCLK2)이 내부 반전 클록(clkb)으로 입력된다. 그리고 도 9를 보면 시작 신호(VSP2)는 한 프레임 동안 클록(VCLK2)이 한번 하이 레벨인 기간에서 로우 레벨을 가지므로, 시프트 레지스터(410)의 복수의 플립플롭(FF_{21} - FF_{2n})은 한 클록(VCLK2), 즉 두 수평 주기(1H) 동안 로우 레벨 펄스를 가지는 신호를 반 클록(VCLK2)만큼 시프트하면서 차례로 출력할 수 있다.

i번째 플립플롭(FF_{1i})의 출력 신호는 인버터(INV_i)를 거쳐 반전되어 제1 전달 게이트($TRAN_{1i}$)의 제어 단자 및 제2 전달 게이트($TRAN_{2i}$)의 반전 제어 단자에 입력되고, 또한 버퍼(BUF_i)를 거쳐 제1 전달 게이트($TRAN_{1i}$)의 반전 제어 단자 및

제2 전달 게이트($TRAN_{2i}$)의 제어 단자에 입력된다. 제1 전달 게이트($TRAN_{1i}$)는 플립플롭(FF_{1i})의 출력 신호의 로우 레벨에 응답하여 로우 레벨 전압(V_{low})을 부스트 신호(boost[i])로 출력하고, 제2 전달 게이트($TRAN_{2i}$)는 플립플롭(FF_{1i})의 출력 신호(SR_{2i})의 하이 레벨에 응답하여 하이 레벨 전압(V_{high})을 부스트 신호(boost[i])로 출력한다. 이때, 하이 레벨 전압과 로우 레벨 전압의 차이($V_{high}-V_{low}$)는 앞서 설명한 V_{swing} 전압으로 설정된다.

즉, 인버터(INV_i), 버퍼(BUF_i), 제1 및 제2 전달 게이트($TRAN_{1i}$, $TRAN_{2i}$)에 의해 플립플롭(FF_{2i})의 출력 신호(SR_{2i})는 레벨이 변경되어 부스트 신호(boost[i])로 출력될 수 있다. 이러한 부스트 신호(boost[i])는 수평 주기(1H)의 두 배에 해당하는 기간 동안 로우 레벨 펄스를 가질 수 있다. 그리고 플립플롭(FF_{21} - FF_{2n})의 출력 신호가 반 클록(VCLK2)만큼 시프트되면서 출력되므로, 주사 구동부(400)는 부스트 신호(boost[1]-boost[n])를 반 클록(VCLK2)만큼 시프트하면서 출력할 수 있다.

이상, 본 발명의 제6 실시예에서는 도 7의 신호 타이밍을 생성할 수 있는 주사 구동부(300, 400)에 대해서 설명하였다.

그리고 도 8의 주사 구동부(300)에서 NAND 게이트($NAND_{2i}$)를 제거하고 NOR 게이트(NOR_{1i})의 출력 신호를 반전하여 출력하면, 수평 주기(1H)와 동일한 폭을 가지는 선택 신호(select[i])를 생성할 수도 있다.

또한, 도 10에 도시한 플립플롭(FF_{1i})의 반전 출력 신호(outb)를 사용하면 도 11의 주사 구동부(400)에서 인버터(INV_i)를 제거할 수 있으며, 그리고 도 8의 주사 구동부(300)에서 NOR 게이트 대신에 두 플립플롭의 반전 출력 신호를 입력으로 받는 NAND 게이트를 사용할 수도 있으며, 또한 이 NAND 게이트에 클럭 신호도 동시에 입력시킬 수 있다.

그리고 도 11의 주사 구동부(400)에서 인버터(INV_i), 버퍼(BUF_i), 제1 및 제2 전달 게이트($TRAN_{1i}$, $TRAN_{2i}$)는 신호의 레벨을 변경하는 역할을 하므로 이들 대신에 레벨 시프터를 사용할 수도 있다. 또한, 도 11의 주사 구동부(400)에서 인버터를 제거하고 제1 전달 게이트 대신에 PMOS 트랜지스터를 사용하고 제2 전달 게이트 대신에 NMOS 트랜지스터를 사용할 수도 있다.

이상에서 설명한 변형은 위 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 이해할 수 있으므로 상세한 설명을 생략한다.

그리고 도 8 내지 도 11에서는 도 2의 화소 회로에서 트랜지스터(M2-M4)가 PMOS 트랜지스터로 형성된 경우에 대해서 설명하였지만, 트랜지스터(M2-M4)의 도전 타입이 변경되어 선택 신호, 발광 제어 신호 및/또는 부스트 신호의 레벨이 변경되는 경우에도 위에서 설명한 주사 구동부(300, 400)를 적용할 수 있다. 이 경우 주사 구동부(300, 400)의 구조 및 동작은, 위 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 이해할 수 있으므로 상세한 설명을 생략한다.

또한, 주사 구동부(300 및/또는 400)의 출력단과 주사선(S_1 - S_n), 발광 제어선(Em_1 - Em_n) 및/또는 부스트선(B_1 - B_n) 사이에는 버퍼 및/또는 레벨 시프터가 형성될 수도 있다.

이상, 본 발명의 제1 내지 제6 실시예에서는 데이터 전류를 기입하는 화소 회로와 이를 제어하는 신호를 생성하는 주사 구동부를 포함하는 유기 발광 표시 장치에 대해서 설명하였다. 이러한 유기 발광 표시 장치에서 데이터 전류를 데이터선으로 전달하는 데이터 구동부는 데이터선에 해당하는 출력 단자를 가져야 하므로, 데이터 구동부의 크기가 커진다.

데이터 구동부의 출력 단자의 개수를 줄이기 위해서 역다중화기를 사용할 수 있다. 예를 들어, 1:2 역다중화기를 사용하는 경우에 데이터 구동부로부터 하나의 신호선을 통하여 시분할되어 인가되는 데이터 전류가 2개의 데이터선으로 나누어 인가되며, 1:2 역다중화기로 데이터 구동부의 하나의 출력단과 2개의 데이터선 사이에 각각 연결되는 2개의 스위치를 사용할 수 있다. 이때, 2개의 스위치가 교번하여 스위칭됨으로써 2개의 데이터선으로 데이터 전류가 전달될 수 있으므로, 데이터선으로 데이터 전류가 전달되는 시간은 수평 주기의 절반으로 줄어든다. 앞서 설명한 것처럼 수평 주기의 절반에 해당하는 짧은 기간 동안에는 데이터 전류가 데이터선을 통하여 화소에 충분히 기입되지 않을 수 있다.

아래에서는 데이터 기입 시간을 충분히 확보할 수 있는 역다중화기를 이용한 유기 발광 표시 장치에 대해서 설명한다.

도 12는 본 발명의 제7 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다.

도 12에 도시한 바와 같이, 본 발명의 제7 실시예에 따른 유기 발광 표시 장치는 제1 실시예와 달리 역다중화부(500)를 더 포함한다.

데이터 구동부(200')는 계조를 나타내는 데이터 전류를 시분할하여 역다중화부(500)에 인가하며, 역다중화부(500)는 데이터 구동부(200')로부터 시분할되어 입력되는 데이터 전류를 데이터선(D₁-D_m)으로 인가한다. 역다중화부(500)가 1:N의 역다중화를 하는 경우에 데이터 구동부(200')에서 역다중화부(500)로 데이터 전류를 전달하는 신호선(X₁-X_{m/N})은 (m/N)개이다. 즉, 하나의 신호선(X_j)은 시분할되어 인가되는 데이터 전류를 N개의 데이터선(D_{N(j-1)+1}-D_{Nj})으로 전달한다(여기서, j는 1과 (m/N) 사이의 정수).

다음, 도 13 내지 도 20을 참조하여 본 발명의 제7 실시예에 따른 유기 발광 표시 장치의 역다중화부(500)에 대해서 상세하게 설명한다. 그리고 아래에서는 편의상 역다중화부가 1:2 역다중화를 수행하는 것으로 하여 설명한다. 또한, 도 13 내지 도 20에서는 편의상 첫 번째 신호선(X₁)과 이 신호선(X₁)에 대응하는 데이터선(D₁, D₂)을 예로 들어 설명한다.

도 13은 본 발명의 제7 실시예에 따른 역다중화부(500)를 나타내는 도면이며, 도 14는 도 13의 역다중화기(501)를 나타내는 도면이다.

도 13에 도시한 바와 같이, 본 발명의 제7 실시예에 따른 역다중화부(500)는 복수의 역다중화기(501)를 포함한다. 도 14를 보면, 역다중화기(501)는 4개의 샘플/홀드 회로(510, 520, 530, 540)를 포함한다. 각 샘플/홀드 회로(510, 520, 530, 540)는 샘플링 스위치(S11, S12, S13, S14), 데이터 저장 소자(511, 521, 531, 541) 및 홀딩 스위치(H11, H12, H13, H14)를 포함한다. 샘플/홀드 회로(510-540)의 샘플링 스위치(S11-S14)의 제1단은 각각 데이터 저장 소자(511-541)에 연결되고, 홀딩 스위치(H11-H14)의 제1단도 각각 데이터 저장 소자(511-541)에 연결된다. 샘플/홀드 회로(510-540)의 샘플링 스위치(S11-S14)의 제2단은 신호선(X₁)에 공통으로 연결되어 있다. 샘플/홀드 회로(510, 530)의 홀딩 스위치(H11, H13)의 제2단은 데이터선(D₁)에 공통으로 연결되고, 샘플/홀드 회로(520, 540)의 홀딩 스위치(H12, H14)의 제2단은 데이터선(D₂)에 공통으로 연결되어 있다. 그리고 아래에서는 샘플/홀드 회로(510-540)에서 신호선(X₁)과 연결되는 샘플링 스위치(S11-S14)의 제2단을 입력단이라 하고, 데이터선(D₁, D₂)과 연결되는 홀딩 스위치(H11-H14)의 제2단을 출력단이라 한다.

각 샘플/홀드 회로(510-540)는 샘플링 스위치(S11-S14)가 턴온되면 샘플링 스위치(S11-S14)를 통하여 전달되는 전류를 샘플링하여 전압 형태로 데이터 저장 소자(511-541)에 저장하고, 홀딩 스위치(H11-H14)가 턴온되면 데이터 저장 소자(511-541)에 저장된 전압에 대응하는 전류를 홀딩 스위치(H11-H14)를 통하여 홀딩한다.

도 14에서는, 신호선(X₁)과 데이터선(D₁) 사이에 연결된 샘플/홀드 회로(510, 530)가 하나의 샘플/홀드 회로부를 형성하여, 두 샘플/홀드 회로(510, 530)가 샘플링과 홀딩을 교대로 수행한다. 마찬가지로, 신호선(X₁)과 데이터선(D₂) 사이에 연결된 샘플/홀드 회로(520, 540)가 하나의 샘플/홀드 회로부를 형성하여, 두 샘플/홀드 회로(520, 540)가 샘플링과 홀딩을 교대로 수행한다.

여기서, 턴온되어 입력되는 전류를 전압 형태로 데이터 저장 소자에 기록하는 것을 '샘플링'으로 정의하고, 데이터 저장 소자에 기록된 데이터를 유지하는 것을 '대기'로 정의하며, 데이터 저장 소자에 기록된 데이터에 대응하는 전류를 출력하는 것을 '홀딩'으로 정의한다.

다음, 도 15, 도 16a 내지 도 16d를 참조하여 도 14의 역다중화기(501)의 동작에 대해서 설명한다.

도 15는 도 14의 역다중화기(501)의 스위치(S11-S14, H11-H14)의 신호 타이밍도이며, 도 16a 내지 도 16d는 각각 도 15의 신호 타이밍에 따른 도 14의 역다중화기(501)의 동작을 나타내는 도면이다. 도 15에서 샘플링 스위치(S11-S14)는 제어 신호가 로우 레벨일 때 턴온되며 홀딩 스위치(H11-H14)는 제어 신호가 하이 레벨일 때 턴온되는 것으로 가정한다.

도 15와 도 16a를 보면, T11 기간에서는 제어 신호에 응답하여 샘플링 스위치(S11)와 홀딩 스위치(H13, H14)가 턴온된다. 샘플링 스위치(S13)가 턴온되면 샘플/홀드 회로(510)는 신호선(X₁)을 통하여 인가되는 데이터 전류를 데이터 저장 소

자(511)로 샘플링하여 저장한다. 홀딩 스위치(H13, H14)가 턴온되면 샘플/홀드 회로(530, 540)는 데이터 저장 소자(531, 541)에 각각 저장된 데이터에 대응하는 전류를 각각 데이터선(D₁, D₂)으로 홀딩한다. 그리고 샘플링 스위치(S12)와 홀딩 스위치(H12)가 모두 턴오프되어 있는 샘플/홀드 회로(520)는 대기 상태로 있다.

다음, 도 15와 도 16b를 보면, T12 기간에서는 홀딩 스위치(H13, H14)가 턴온된 상태에서, 제어 신호에 응답하여 샘플링 스위치(S11)가 턴오프되고 샘플링 스위치(S12)가 턴온된다. 홀딩 스위치(H13, H14)가 턴온되어 있으므로 데이터 저장 소자(531, 541)에 각각 저장된 데이터에 대응하는 전류는 계속 데이터선(D₁, D₂)으로 홀딩된다. 그리고 샘플링 스위치(S12)가 턴온되면 샘플/홀드 회로(520)는 신호선(X₁)을 통하여 인가되는 데이터 전류를 데이터 저장 소자(521)로 샘플링하여 저장한다.

도 15와 도 16c를 보면, T13 기간에서는 제어 신호에 응답하여 샘플링 스위치(S12)와 홀딩 스위치(H13, H14)가 턴오프되고 샘플링 스위치(S13)와 홀딩 스위치(H11, H12)가 턴온된다. 샘플링 스위치(S13)가 턴온되면 샘플/홀드 회로(530)는 신호선(X₁)을 통하여 인가되는 데이터 전류를 데이터 저장 소자(531)로 샘플링하여 저장한다. 홀딩 스위치(H11, H12)가 턴온되면 샘플/홀드 회로(510, 520)는 각각 T11 및 T12 기간에서 데이터 저장 소자(511, 521)에 저장한 데이터에 대응하는 전류를 데이터선(D₁, D₂)으로 홀딩한다.

다음, 도 15와 도 16d를 보면, T14 기간에서는 홀딩 스위치(H11, H12)가 턴온된 상태에서 제어 신호에 응답하여 샘플링 스위치(S13)가 턴오프되고 샘플링 스위치(S14)가 턴온된다. 홀딩 스위치(H11, H12)가 턴온되어 있으므로 데이터 저장 소자(511, 521)에 각각 저장된 데이터에 대응하는 전류는 계속 데이터선(D₁, D₂)으로 홀딩된다. 그리고 샘플링 스위치(S14)가 턴온되면 샘플/홀드 회로(540)는 신호선(X₁)을 통하여 인가되는 데이터 전류를 데이터 저장 소자(541)로 샘플링하여 저장한다.

이와 같이, 역다중화기(501)의 샘플/홀드 회로(510-540)를 샘플링과 홀딩 동작에 따라 두 그룹으로 나눌 수 있으며, 제1 그룹의 샘플/홀드 회로(510, 520)가 샘플링을 하는 동안 제2 그룹의 샘플/홀드 회로(530, 540)가 직전에 샘플링한 데이터를 홀딩한다. 마찬가지로 제2 그룹의 샘플/홀드 회로(530, 540)가 샘플링을 하는 동안 제1 그룹의 샘플/홀드 회로(510, 520)가 직전에 샘플링한 데이터를 홀딩한다. 그리고 홀딩 스위치(H11, H12)는 동일한 타이밍에서 동작하므로 동일한 제어 신호로 두 홀딩 스위치(H11, H12)를 구동할 수 있으며, 마찬가지로 동일한 제어 신호로 두 홀딩 스위치(H13, H14)를 구동할 수 있다.

이때, T11과 T12 기간이 수평 주기에 해당하고, T13과 T14 기간이 다음 수평 주기에 해당한다. 이와 같이, 본 발명의 제7 실시예에서는 한 수평 주기 동안 데이터 전류를 데이터선에 계속 인가할 수 있으므로 화소에 데이터를 기입하는 시간을 확보할 수 있다. 그리고 T11 내지 T14 기간이 반복됨으로써 한 프레임동안 데이터 전류가 데이터선으로 전달될 수 있다.

도 14의 역다중화기에 포함되는 4개의 샘플/홀드 회로는 실질적으로 서로 동일하게 구현될 수 있으므로, 아래에서는 도 14의 샘플/홀드 회로 중 하나의 샘플/홀드 회로(510)에 대하여 도 17을 참조하여 상세하게 설명한다.

도 17은 도 14의 샘플/홀드 회로의 개략적인 회로도이다.

도 17에 도시한 바와 같이, 도 14의 샘플/홀드 회로는 신호선(X₁)과 데이터선(D₁) 사이에 연결되며, 트랜지스터(M11), 커패시터(Ch) 및 5개의 스위치(Sa, Sb, Sc, Ha, Hb)를 포함한다. 이러한 데이터선(D₁)에는 기생 저항 성분(R1, R2)과 기생 커패시턴스 성분(C1, C2, C3)이 형성되어 있을 수 있다. 그리고 도 17에서는 트랜지스터(M1)를 PMOS 트랜지스터로 도시하였다.

스위치(Sa)는 전원(VDD1)과 트랜지스터(M11)의 소스 사이에 연결되고, 스위치(Ha)는 전원(VSS1)과 트랜지스터(M1)의 드레인에 연결되어 있다. 트랜지스터(M11)가 PMOS이므로, 전원(VDD1)은 전원(VSS1)보다 높은 전압을 공급한다. 스위치(Sb)는 입력단인 신호선(X₁)과 트랜지스터(M11)의 게이트 사이에 연결되며, 스위치(Hb)는 트랜지스터(M11)의 소스와 출력단인 데이터선(D₁) 사이에 연결되어 있다. 스위치(Sc)는 입력단인 신호선(X₁)과 트랜지스터(M11)의 드레인에 연결되어 스위치(Sb, Sc)가 턴온되는 경우에 트랜지스터(M11)를 다이오드 형태로 연결한다. 이때, 스위치(Sc)는 트랜지

스터(M11)의 게이트와 드레인 사이에 연결되어 트랜지스터(M11)를 다이오드 형태로 연결할 수도 있다. 그리고 스위치(Sc)가 트랜지스터(M11)의 게이트와 드레인 사이에 연결되는 경우에, 스위치(Sb)는 신호선(X₁)과 트랜지스터(M1)의 드레인 사이에 연결될 수도 있다.

다음, 도 17의 샘플/홀드 회로의 동작에 대해서 설명한다. 여기서, 스위치(Sa, Sb, Sc)는 동일한 타이밍에서 턴온 및 턴오프되고, 스위치(Ha, Hb)도 동일한 타이밍에서 턴온 및 턴오프된다.

먼저, 스위치(Sa, Sb, Sc)가 턴온되고 스위치(Ha, Hb)가 턴오프되면, 트랜지스터(M1)는 다이오드 형태로 연결되고, 커패시터(Ch)에 전류가 공급되어 전압이 충전되고 트랜지스터(M1)의 게이트 전위가 저하하여 소스에서 드레인으로 전류가 흐른다. 시간 경과에 의해 커패시터(Ch)의 충전 전압이 높아져서 트랜지스터(M11)의 드레인 전류가 신호선(X₁)으로부터의 데이터 전류(I_{DATA})와 동일해지면 커패시터(Ch)의 충전 전류가 정지하여 커패시터(Ch)가 일정한 전압으로 충전된다. 이와 같은 방법으로 샘플/홀드 회로(510)는 신호선(X₁)으로부터의 데이터 전류(I_{DATA})를 샘플링한다.

다음, 스위치(Sa, Sb, Sc)가 턴오프되고 스위치(Ha, Hb)가 턴온되면, 커패시터(Ch)에 충전된 소스-게이트 전압(V_{SG})에 대응하는 전류, 즉 데이터 전류(I_{DATA})가 스위치(Hb)를 거쳐 데이터선(D₁)에 전달된다. 이와 같은 방법으로 샘플/홀드 회로(510)는 데이터선(D₁)으로 전류를 홀딩한다.

그리고 샘플/홀드 회로(510)는 도 14의 샘플/홀드 회로(520)가 샘플링하는 동안(T12)에는 스위치(Sa, Sb, Sc, Ha, Hb)가 모두 턴오프되어 커패시터(Ch)에 충전된 전압을 유지한다. 즉, 샘플/홀드 회로(510)는 대기 상태로 된다.

스위치(Sa, Sb, Sc)가 턴온되는 경우에 샘플/홀드 회로(510)는 샘플링 동작을 수행하므로 스위치(Sa, Sb, Sc)는 도 16의 샘플링 스위치(S11)에 대응하고, 스위치(Ha, Hb)가 턴온되는 경우에 샘플/홀드 회로(510)는 홀딩 동작을 수행하므로 스위치(Ha, Hb)는 도 16의 홀딩 스위치(H11)에 대응한다. 그리고 커패시터(Ch)와 트랜지스터(M1)는 데이터 전류에 대응하는 전압을 저장하는 역할을 하므로 데이터 저장 소자(511)에 대응한다.

또한, 도 16에서 스위치(Sa, Sb, Sc, Ha, Hb)는 PMOS 또는 NMOS 트랜지스터로 구현될 수 있으며, 스위치(Sa, Sb, Sc)는 동일 도전형의 트랜지스터로, 마찬가지로 스위치(Ha, Hb)도 동일 도전형의 트랜지스터로 구현될 수 있다. 또한, 도 15의 타이밍으로 구동되기 위해서는 스위치(Sa, Sb, Sc)는 PMOS, 스위치(Ha, Hb)는 NMOS 트랜지스터로 구현될 수 있다.

본 발명의 제7 실시예에서는 하나의 샘플/홀드 회로부에서 두 개의 샘플/홀드 회로를 신호선과 데이터선 사이에 병렬로 연결하였지만, 이와는 달리 두 개의 샘플/홀드 회로를 신호선과 데이터선 사이에 직렬로 연결할 수도 있다. 아래에서는 이러한 실시예에 대해서 도 18 내지 도 20c를 참조하여 상세하게 설명한다.

도 18은 본 발명의 제8 실시예에 따른 역다중화기를 나타내는 도면이다.

도 18을 보면, 본 발명의 제8 실시예에서는 제7 실시예와 달리 샘플/홀드 회로(510, 530)가 직렬로 연결되어 있고 샘플/홀드 회로(520, 540)가 직렬로 연결되어 있다. 구체적으로, 하나의 샘플/홀드 회로부에서 샘플/홀드 회로(510)의 출력단과 샘플/홀드 회로(530)의 입력단이 연결되어 있으며, 샘플/홀드 회로(530)의 출력단이 데이터선(D₁)에 연결되어 있다. 마찬가지로, 다른 하나의 샘플/홀드 회로부에서 샘플/홀드 회로(520)의 출력단과 샘플/홀드 회로(540)의 입력단이 연결되어 있으며, 샘플/홀드 회로(540)의 출력단이 데이터선(D₁)에 연결되어 있다. 그리고 샘플/홀드 회로(510, 520)의 입력단이 신호선(X₁)에 공통으로 연결되어 있다.

다음, 도 19, 도 20a 내지 도 20c를 참조하여 도 18의 역다중화기의 동작에 대해서 설명한다.

도 19는 도 18의 역다중화기의 스위치의 신호 타이밍도이며, 도 20a 내지 도 20c는 각각 도 19의 타이밍에 따른 도 18의 역다중화기의 동작을 나타내는 도면이다. 도 19에서 샘플링 스위치(S21-S24)는 제어 신호가 로우 레벨일 때 턴온되고 홀딩 스위치(H21-H24)는 제어 신호가 하이 레벨일 때 턴온된다.

도 19와 도 20a를 보면, T21 기간에서는 제어 신호에 응답하여 샘플링 스위치(S21)와 홀딩 스위치(H23, H24)가 턴온된다. 샘플링 스위치(S21)가 턴온되면 샘플/홀드 회로(510)는 신호선(X₁)을 통하여 인가되는 데이터 전류를 데이터 저장 소

자(511)로 샘플링한다. 홀딩 스위치(H23, H24)가 턴온되면 샘플/홀드 회로(530, 540)는 데이터 저장 소자(531, 541)에 저장된 데이터에 대응하는 전류를 각각 데이터선(D₁, D₂)으로 홀딩된다. 그리고 샘플링 스위치(S22)와 홀딩 스위치(H22)가 모두 턴오프되어 있는 샘플/홀드 회로(520)는 대기 상태로 있다.

다음, 도 19와 도 20b를 보면, T22 기간에서는 홀딩 스위치(H23, H24)가 턴온된 상태에서, 제어 신호에 응답하여 샘플링 스위치(S21)가 턴오프되고 샘플링 스위치(S22)가 턴온된다. 홀딩 스위치(H23, H24)가 턴온되어 있으므로 샘플/홀드 회로(530, 540)는 데이터 저장 소자(531, 541)에 저장된 데이터에 대응하는 전류를 데이터선(D₁, D₂)으로 계속 홀딩한다. 그리고 샘플링 스위치(S22)가 턴온되면 샘플/홀드 회로(520)는 신호선(X₁)을 통하여 인가되는 데이터 전류를 데이터 저장 소자(521)로 샘플링한다.

도 19와 도 20c를 보면, T23 기간에서는 제어 신호에 응답하여 샘플링 스위치(S22)와 홀딩 스위치(H23, H24)가 턴오프되고 홀딩 스위치(H21, H22)와 샘플링 스위치(S23, S24)가 턴온된다. 그러면 샘플/홀드 회로(510, 520)는 T21 및 T22 기간에서 데이터 저장 소자(511, 412)로 샘플링한 전류를 홀딩하고, 샘플/홀드 회로(530, 540)는 샘플/홀드 회로(510, 520)에서 각각 홀딩되는 전류를 각각 데이터 저장 소자(531, 541)로 샘플링한다.

이와 같이, 역다중화기(501)의 샘플/홀드 회로(510, 520, 530, 540)를 샘플링과 홀딩 동작에 따라 두 그룹으로 나눌 수 있으며, T21 및 T22 기간 동안 제1 그룹의 샘플/홀드 회로(510, 520)가 샘플링을 하고 제2 그룹의 샘플/홀드 회로(530, 540)는 지난 수평 주기의 T23 기간 동안 샘플링한 데이터를 홀딩한다. T23 기간 동안 제1 그룹의 샘플/홀드 회로(510, 520)가 T21 및 T22 기간 동안 샘플링한 데이터를 홀딩하고 제2 그룹의 샘플/홀드 회로(530, 540)가 제1 그룹의 샘플/홀드 회로(510, 520)에서 홀딩되는 데이터를 샘플링한다. 그리고 샘플링 스위치(S23, S24)는 동일한 타이밍에서 동작하므로 동일한 제어 신호로 두 스위치(S23, S24)를 구동할 수 있으며, 마찬가지로 동일한 제어 신호로 두 홀딩 스위치(H21, H22)를 구동할 수 있으며, 또한 동일한 제어 신호로 두 홀딩 스위치(H23, H24)를 구동할 수 있다.

이때, T21 내지 T23 기간이 하나의 수평 주기에 해당한다. 그리고 T21 내지 T23 기간이 반복됨으로써 한 프레임동안 데이터 전류를 데이터선으로 전달할 수 있다.

그런데 이 경우 한 수평 주기 중 T23 기간 동안에는 데이터 전류가 데이터선에 인가되지 않으므로 데이터 기입에 할당되는 시간이 감소할 수 있다. 그러나 데이터 저장 소자(511)와 데이터 저장 소자(513)는 바로 앞뒤로 연결되어 있으므로, 데이터 저장 소자(511)와 데이터 저장 소자(513) 사이에 존재하는 기생 커패시턴스는 무시할 수 있을 정도로 작다. 마찬가지로 데이터 저장 소자(512)와 데이터 저장 소자(514) 사이의 기생 커패시턴스도 매우 작다. 따라서, T23 기간에서 소요되는 시간은 데이터 전류를 공급하는 시간에 비하여 매우 짧게 할 수 있으므로, T23 기간 동안 데이터선에 데이터 전류가 공급되지 않더라도 큰 영향을 미치지 않게 된다.

도 18의 역다중화기에 포함되는 4개의 샘플/홀드 회로도 도 17에 도시한 샘플/홀드 회로로 구현될 수 있다. 그리고 도 19에 나타난 바와 같이 샘플/홀드 회로(510, 520)의 홀딩 스위치(H21, H22)와 샘플/홀드 회로(530, 540)의 샘플링 스위치(S23, S24)의 턴온 및 턴오프 타이밍이 동일하므로 홀딩 스위치(H21, H22) 또는 샘플링 스위치(S23, S24)를 제거할 수도 있다.

이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

이와 같이 본 발명의 한 실시예에 따르면, 큰 데이터 전류로 유기 발광 소자에 흐르는 전류를 제어할 수 있으므로, 데이터 기입 시간동안 데이터선을 충분히 충전할 수 있다.

본 발명의 다른 실시예에 따르면, 발광 제어 신호의 펄스 폭이 부스트 신호의 펄스 폭을 포함하도록 설정되고 부스트 신호의 펄스 폭이 선택 신호의 펄스 폭을 포함하도록 설정되므로, 신호선에 연결되는 부하의 차이로 인한 문제를 해결할 수 있다. 또한, 부스트 신호 및 발광 제어 신호의 펄스 폭이 수평 주기보다 크게 설정되므로, 충분한 데이터 기입 시간을 확보할 수 있다.

본 발명의 또다른 실시예에 따르면, 샘플/홀드 동작을 하는 역다중화기를 사용함으로써 데이터 기입 시간을 확보할 수 있으며, 또한 데이터 구동부의 출력단의 개수를 줄일 수 있다.

(57) 청구의 범위

청구항 1.

복수의 데이터선, 복수의 주사선, 복수의 발광 제어선, 복수의 부스트선 및 복수의 화소 회로를 포함하는 유기 발광 표시 장치에 있어서,

상기 각 화소 회로는,

제1 전압을 공급하는 제1 전원에 제1 전극이 연결되어 있는 제1 트랜지스터,

상기 복수의 데이터선 중 대응하는 데이터선과 상기 제1 트랜지스터의 제어 전극 사이에 연결되어 있으며, 상기 복수의 주사선 중 대응하는 주사선에 제어 전극이 연결되어 있는 제2 트랜지스터,

상기 대응하는 주사선에 제어 전극이 연결되어 있으며, 턴온 시에 상기 제1 트랜지스터를 다이오드 형태로 연결하는 제3 트랜지스터,

상기 제1 전원과 상기 제1 트랜지스터의 상기 제어 전극 사이에 연결되어 있는 제1 커패시터,

상기 제1 트랜지스터의 상기 제어 전극과 상기 복수의 부스트선 중 대응하는 부스트선 사이에 연결되어 있는 제2 커패시터,

상기 제1 트랜지스터의 제2 전극에 제1 전극이 연결되고 상기 복수의 발광 제어선 중 대응하는 발광 제어선에 제어 전극이 연결되어 있는 제4 트랜지스터, 그리고

상기 제4 트랜지스터의 제2 전극과 제2 전압을 공급하는 제2 전원 사이에 연결되어 있는 유기 발광 소자를 포함하며,

상기 대응하는 주사선으로 전달되는 선택 신호는 제1 기간 동안 게이트 온 전압을 가지며, 제1 레벨 또는 제2 레벨을 가지며 상기 대응하는 부스트선으로 전달되는 부스트 신호가 상기 제1 레벨을 가지는 제2 기간은 상기 제1 기간을 포함하며, 상기 대응하는 발광 제어선으로 전달되는 발광 제어 신호가 게이트 오프 전압을 가지는 제3 기간은 상기 제2 기간을 포함하며, 상기 제2 기간은 수평 주기보다 긴 유기 발광 표시 장치.

청구항 2.

제1항에 있어서,

상기 제1 기간은 상기 수평 주기보다 짧은 유기 발광 표시 장치.

청구항 3.

제1항에 있어서,

상기 제1 기간은 상기 수평 주기와 동일한 유기 발광 표시 장치.

청구항 4.

제1항에 있어서,

상기 제1 트랜지스터는 PMOS 트랜지스터이며, 상기 제1 전압이 상기 제2 전압보다 높은 전압인 유기 발광 표시 장치.

청구항 5.

제4항에 있어서,

상기 제1 레벨의 전압이 상기 제2 레벨의 전압보다 낮은 유기 발광 표시 장치.

청구항 6.

제5항에 있어서,

상기 제2, 제3 및 제4 트랜지스터는 각각 PMOS 트랜지스터이며,

상기 게이트 온 전압은 로우 레벨 전압이며, 상기 게이트 오프 전압은 하이 레벨 전압인 유기 발광 표시 장치.

청구항 7.

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제3 트랜지스터는 상기 대응하는 데이터선과 상기 제1 트랜지스터의 상기 제2 전극 사이에 연결되어 있는 유기 발광 표시 장치.

청구항 8.

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 부스트 신호를 상기 부스트선으로 전달하는 제1 주사 구동부를 더 포함하며,

상기 제1 주사 구동부는,

상기 수평 주기보다 긴 폭의 제1 펄스를 가지는 제1 신호를 상기 수평 주기만큼 시프트하면서 출력하는 제1 시프트 레지스터, 그리고

상기 제1 신호의 상기 제1 펄스에 응답하여 상기 제1 레벨을 생성하고 상기 제1 신호의 상기 제1 펄스 이외의 펄스에 응답하여 상기 제2 레벨을 생성하는 제1 구동부를 포함하는 유기 발광 표시 장치.

청구항 9.

제8항에 있어서,

상기 선택 신호를 상기 주사선으로 전달하고 상기 발광 제어 신호를 상기 발광 제어선으로 전달하는 제2 주사 구동부를 더 포함하며,

상기 제2 주사 구동부는,

제2 펄스를 가지는 제2 신호를 상기 수평 주기만큼 시프트하면서 출력하는 시프트 레지스터,

하나의 제2 신호 및 상기 하나의 제2 신호가 상기 수평 주기만큼 시프트된 다른 제2 신호 중 적어도 하나가 상기 제2 펄스를 가지는 기간 동안 상기 발광 제어 신호의 상기 게이트 오프 전압을 생성하는 제2 구동부, 그리고

상기 하나의 제2 신호 및 상기 다른 제2 신호가 공통으로 상기 제2 펄스인 기간 중 적어도 일부 기간 동안 상기 선택 신호의 상기 게이트 온 전압을 생성하는 제3 구동부를 포함하는 유기 발광 표시 장치.

청구항 10.

제9항에 있어서,

상기 제2 펄스는 하이 레벨 펄스이며,

상기 제2 구동부는 상기 하나의 제2 신호와 상기 다른 제2 신호를 입력으로 받은 NAND 게이트를 포함하는 유기 발광 표시 장치.

청구항 11.

제9항에 있어서,

상기 제2 펄스는 하이 레벨 펄스이며,

상기 제3 구동부는, 상기 하나의 제2 신호와 상기 다른 제3 신호를 입력으로 받은 NOR 게이트, 그리고 상기 NOR 게이트의 출력 신호와 클립 신호를 입력으로 받는 NAND 게이트를 포함하며,

상기 클립 신호는 하이 레벨 펄스와 로우 레벨 펄스를 상기 수평 주기와 동일한 주기로 가지며, 상기 클립 신호가 상기 로우 레벨 펄스를 가지는 기간은 상기 수평 주기의 경계를 포함하는 유기 발광 표시 장치.

청구항 12.

제9항에 있어서,

상기 제1 시프트 레지스터는 상기 수평 주기의 두 배의 주기를 가지는 제1 클록에 응답하여 상기 제1 신호를 시프트하며,

상기 제2 시프트 레지스터는 상기 수평 주기의 두 배의 주기를 가지는 제2 클록에 응답하여 상기 제2 신호를 시프트하고,

상기 제1 클록은 상기 제2 클록에 대해서 상기 수평 주기보다 짧은 기간만큼 느리거나 빠른 유기 발광 표시 장치.

청구항 13.

구동 트랜지스터, 상기 구동 트랜지스터의 게이트와 소스 사이에 연결되어 있는 제1 커패시터, 상기 구동 트랜지스터의 게이트에 제1 전극이 연결되어 있는 제2 커패시터 및 유기 발광 소자를 포함하는 화소 회로를 포함하는 유기 발광 표시 장치의 구동 방법에 있어서,

상기 제2 커패시터의 상기 제2 전극에 제1 레벨의 전압을 인가한 상태에서, 상기 구동 트랜지스터와 상기 유기 발광 소자를 전기적으로 차단하는 단계,

상기 제2 커패시터의 상기 제2 전극에 제2 레벨의 전압을 인가하는 단계,

데이터 전류를 상기 구동 트랜지스터로 전달하여 상기 제1 커패시터에 기입하는 단계,

상기 데이터 전류의 상기 구동 트랜지스터로의 전달을 차단한 상태에서 상기 제2 커패시터의 상기 제2 전극에 상기 제1 레벨의 전압을 인가하는 단계,

상기 제2 커패시터의 상기 제2 전극에 상기 제1 레벨의 전압을 인가한 상태에서 상기 구동 트랜지스터로부터의 전류를 상기 유기 발광 소자로 전달하는 단계를 포함하며,

수평 주기보다 긴 제1 기간 동안 상기 제2 커패시터의 상기 제2 전극에 상기 제2 레벨의 전압이 인가되는 구동 방법.

청구항 14.

제13항에 있어서,

상기 구동 트랜지스터와 상기 유기 발광 소자는 상기 제1 기간보다 긴 기간 동안 전기적으로 차단되는 구동 방법.

청구항 15.

제13항에 있어서,

상기 구동 트랜지스터는 PMOS 트랜지스터이며,

상기 제1 레벨의 전압이 상기 제2 레벨의 전압보다 높은 구동 방법.

청구항 16.

제1 게이트 온 전압 또는 제1 게이트 오프 전압을 가지는 선택 신호를 전달하는 복수의 주사선,

제2 게이트 온 전압 또는 제2 게이트 오프 전압을 가지는 제1 제어 신호를 전달하는 복수의 제1 신호선,

제1 전압 또는 상기 제1 전압과 다른 제2 전압을 가지는 제2 제어 신호를 전달하는 복수의 제2 신호선,

상기 복수의 주사선, 상기 복수의 제1 신호선 및 상기 복수의 제2 신호선 중 대응하는 주사선, 제1 신호선 및 제2 신호선에 각각 연결되어 있는 복수의 화소,

수평 주기 이하의 제1 기간 동안 상기 제1 게이트 온 전압을 가지는 상기 선택 신호를 상기 수평 주기만큼 시프트하면서 상기 복수의 주사선으로 차례로 전달하며, 상기 수평 주기보다 긴 제2 기간 동안 상기 제2 게이트 오프 전압을 가지는 상기 제1 제어 신호를 상기 수평 주기만큼 시프트하면서 상기 복수의 제1 신호선으로 차례로 전달하는 제1 주사 구동부, 그리고

상기 수평 주기보다 긴 제3 기간 동안 상기 제1 전압을 가지는 상기 제2 제어 신호를 상기 수평 주기만큼 시프트하면서 상기 복수의 제2 신호선으로 차례로 전달하는 제2 주사 구동부를 포함하며,

상기 각 화소의 상기 대응하는 제1 신호선에 전달되는 상기 제1 제어 신호의 상기 제2 기간은 상기 대응하는 제2 신호선에 전달되는 상기 제2 제어 신호의 상기 제3 기간을 포함하며, 상기 제3 기간은 상기 대응하는 주사선에 전달되는 상기 선택 신호의 상기 제1 기간을 포함하는 유기 발광 표시 장치.

청구항 17.

제16항에 있어서,

상기 제2 주사 구동부는,

상기 수평 주기보다 긴 폭의 제1 펄스를 가지는 제1 신호를 상기 수평 주기만큼 시프트하면서 출력하는 제1 시프트 레지스터, 그리고

상기 제1 신호의 상기 제1 펄스에 응답하여 상기 제1 전압을 생성하고 상기 제1 신호의 상기 제1 펄스와 다른 레벨에 응답하여 상기 제2 전압을 생성하는 제1 논리 게이트를 포함하는 유기 발광 표시 장치.

청구항 18.

제17항에 있어서,

상기 제1 주사 구동부는,

제2 펄스를 가지는 제2 신호를 상기 수평 주기만큼 시프트하면서 출력하는 시프트 레지스터,

하나의 제2 신호 및 상기 하나의 제2 신호가 상기 수평 주기만큼 시프트된 다른 제2 신호 중 적어도 하나가 상기 제2 펄스를 가지는 기간 동안 상기 제1 제어 신호의 상기 제2 게이트 오프 전압을 생성하는 제2 논리 게이트, 그리고

상기 하나의 제2 신호 및 상기 다른 제2 신호가 공통으로 상기 제2 펄스인 기간 중 적어도 일부 기간 동안 상기 선택 신호의 상기 제1 게이트 온 전압을 생성하는 제3 논리 게이트를 포함하는 유기 발광 표시 장치.

청구항 19.

제18항에 있어서,

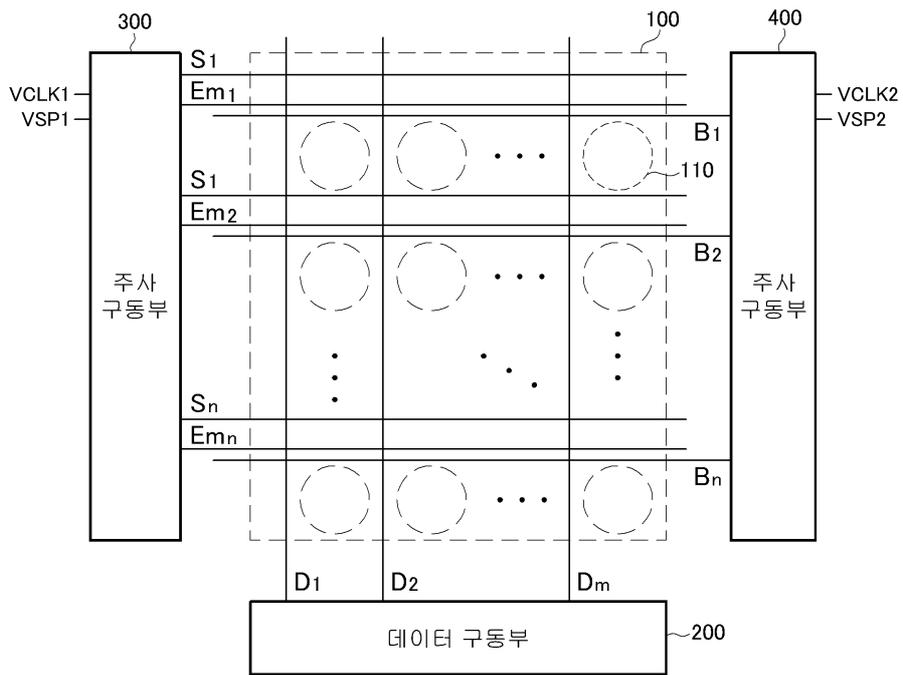
상기 제1 시프트 레지스터는 상기 수평 주기의 두 배의 주기를 가지는 제1 클록에 응답하여 상기 제1 신호를 상기 제1 클록의 반 클록만큼 시프트하며,

상기 제2 시프트 레지스터는 상기 수평 주기의 두 배의 주기를 가지는 제2 클록에 응답하여 상기 제2 신호를 상기 제2 클록의 반 클록만큼 시프트하고,

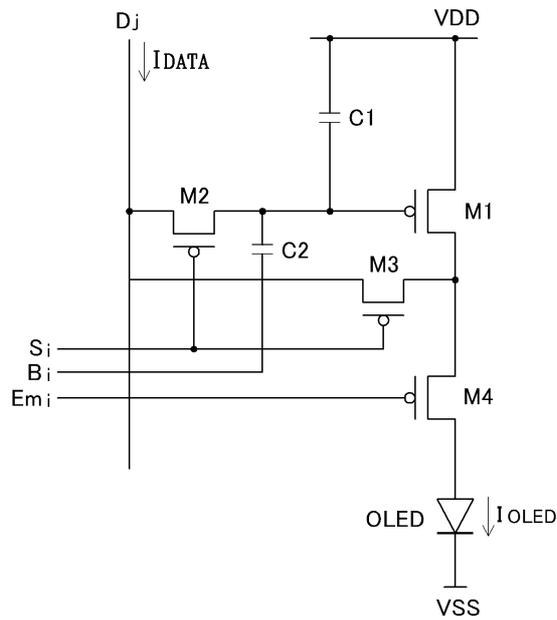
상기 제1 클록은 상기 제2 클록에 대해서 상기 수평 주기보다 짧은 기간만큼 느리거나 빠른 유기 발광 표시 장치.

도면

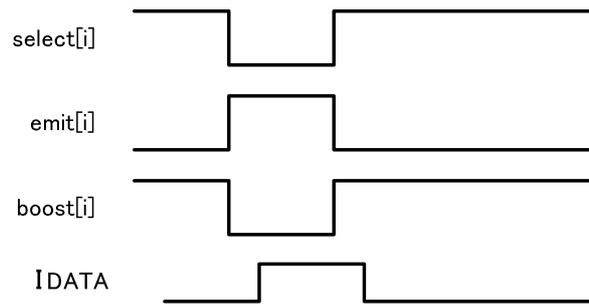
도면1



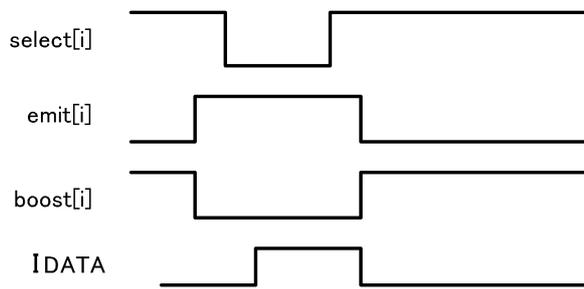
도면2



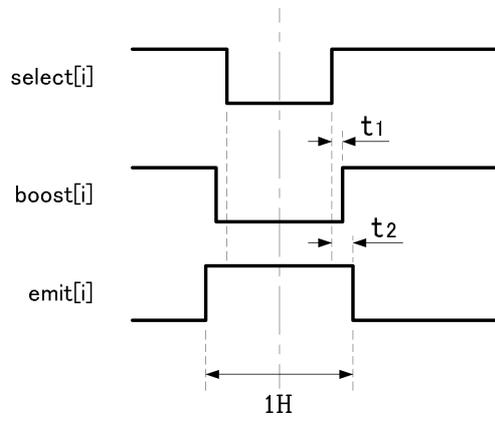
도면3



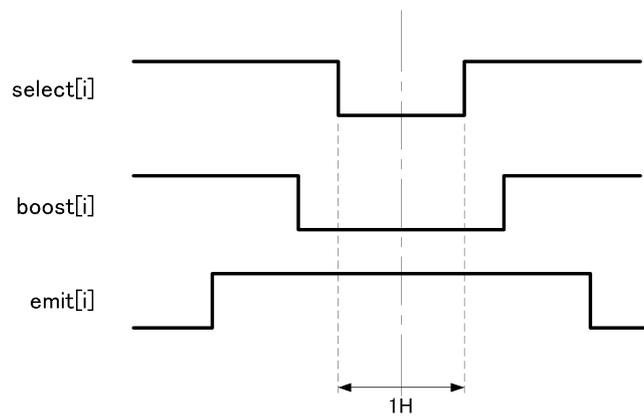
도면4



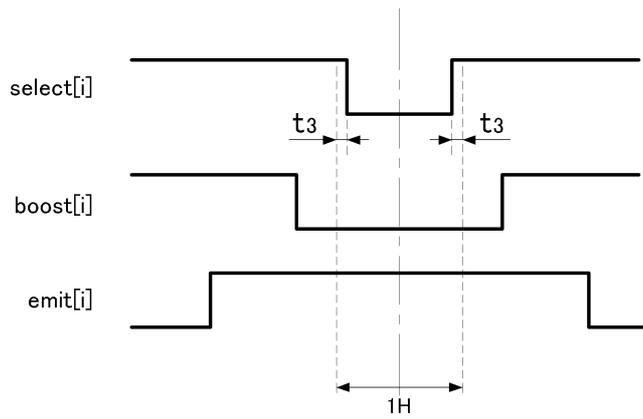
도면5



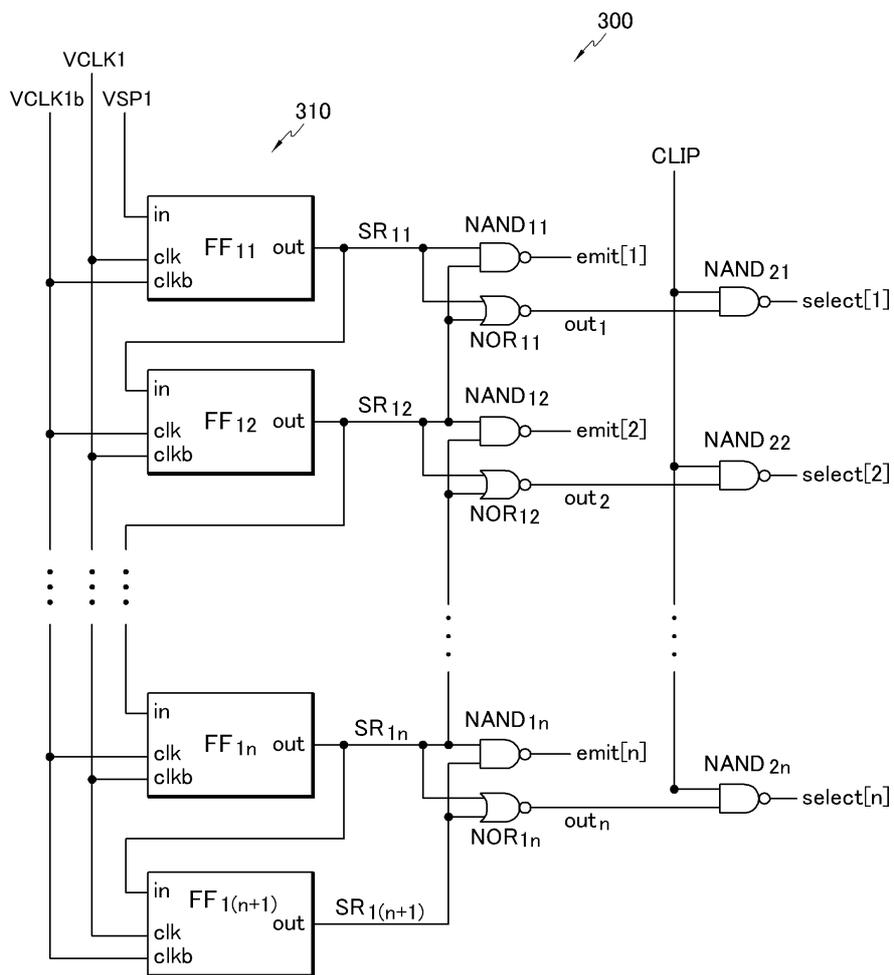
도면6



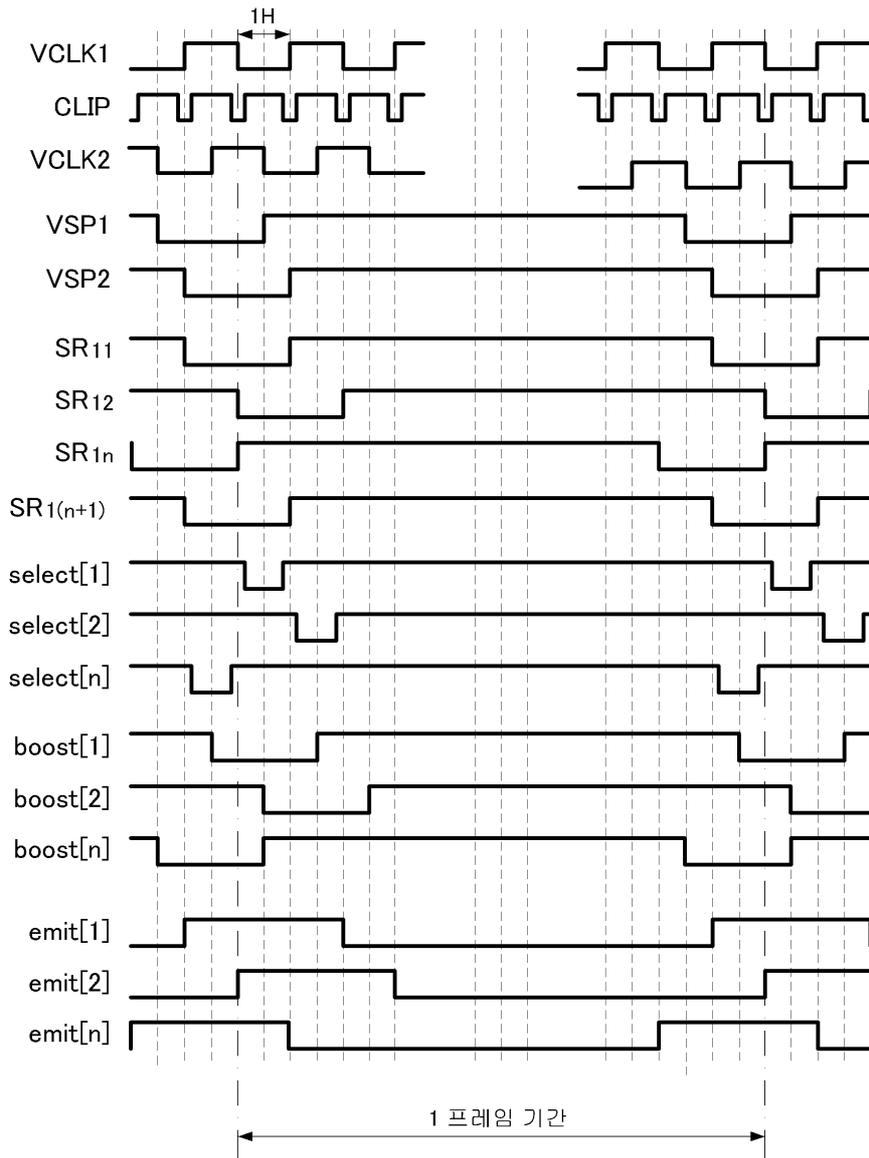
도면7



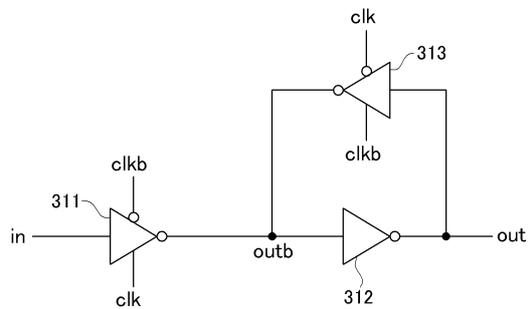
도면8



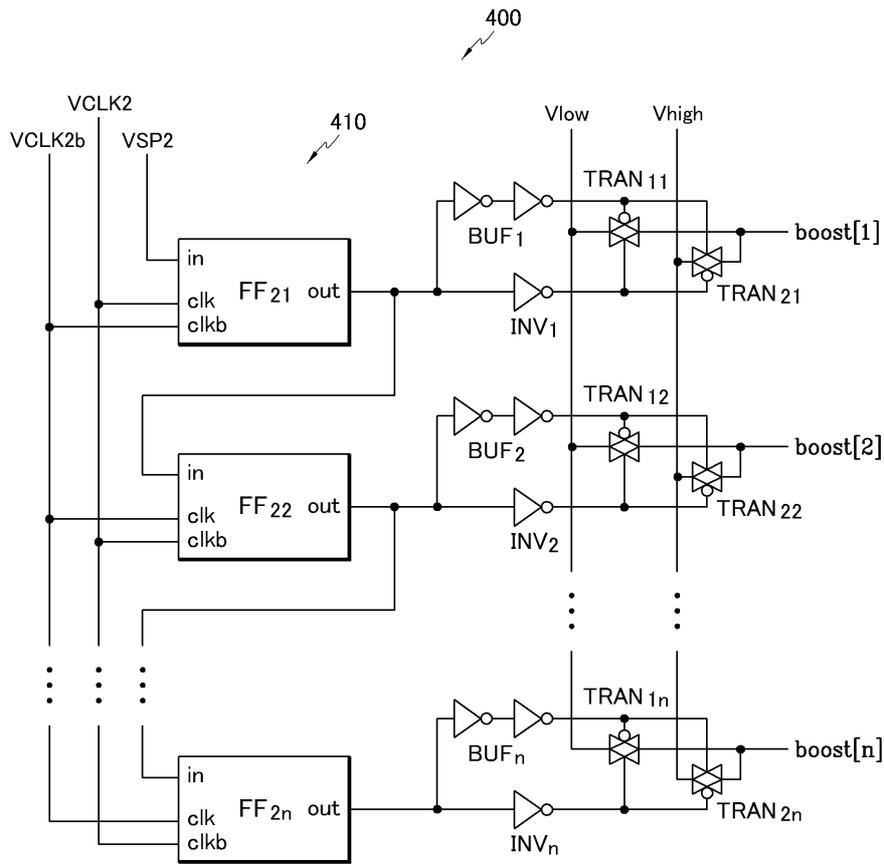
도면9



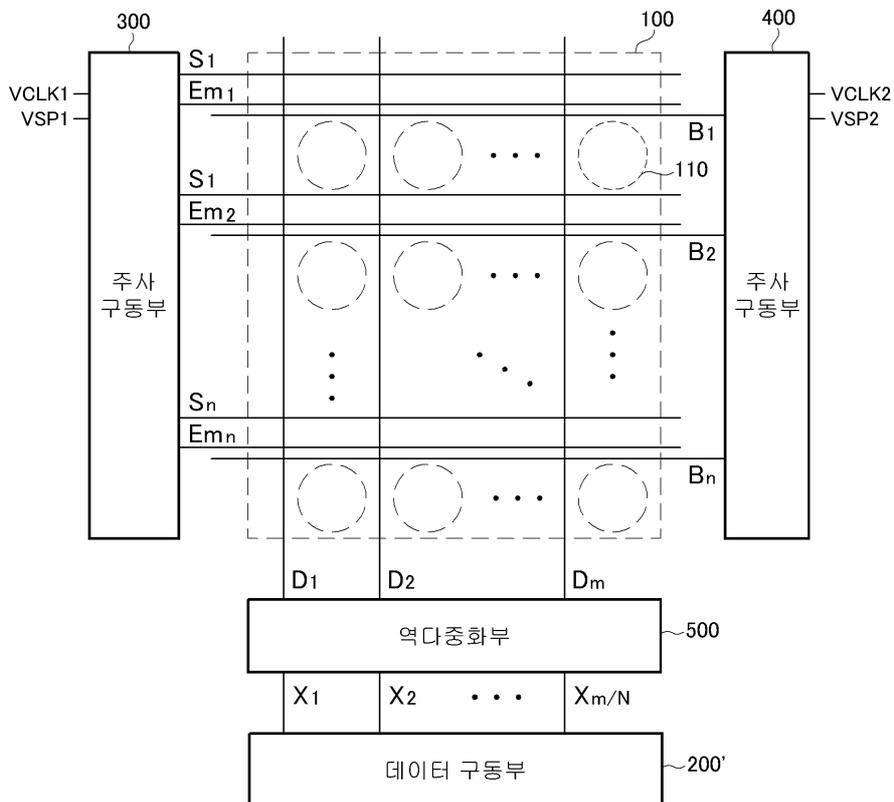
도면10



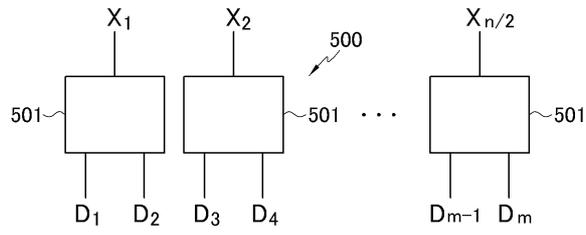
도면11



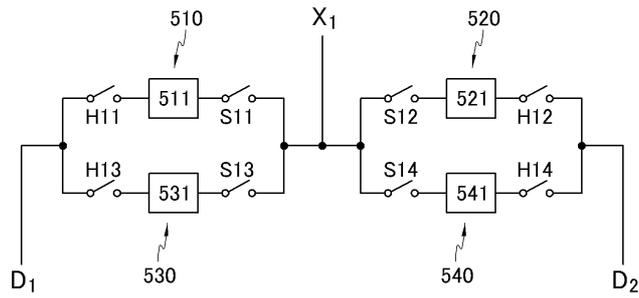
도면12



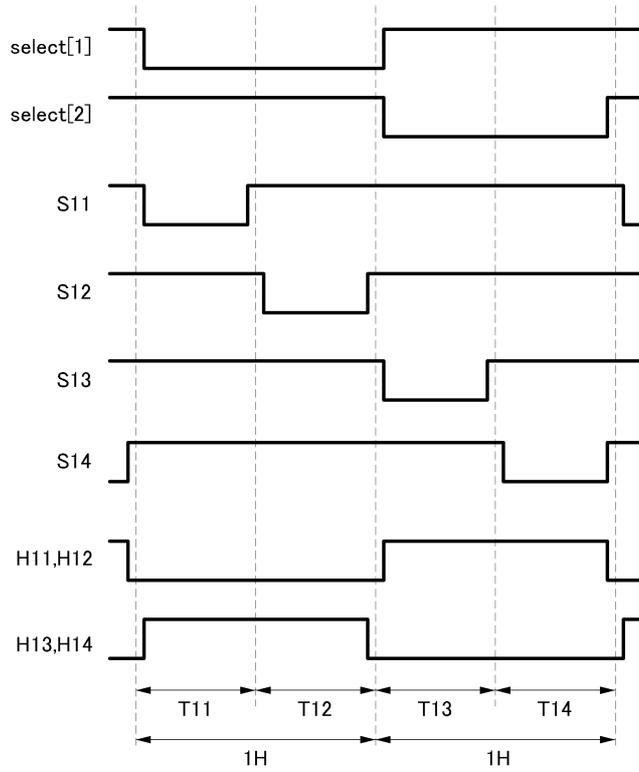
도면13



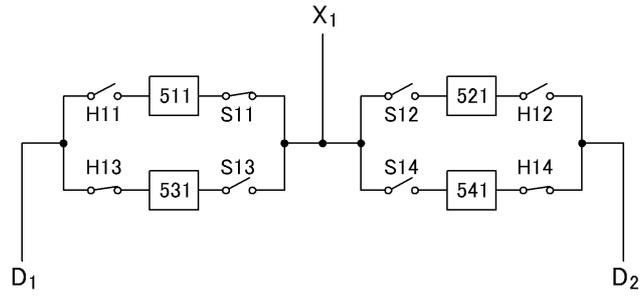
도면14



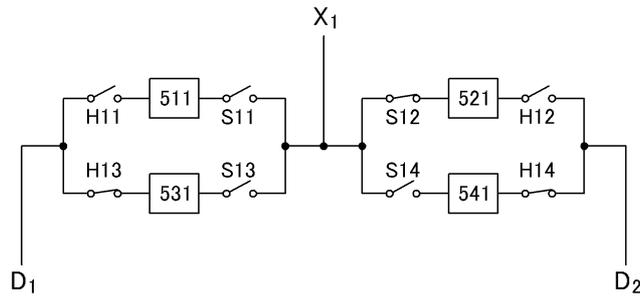
도면15



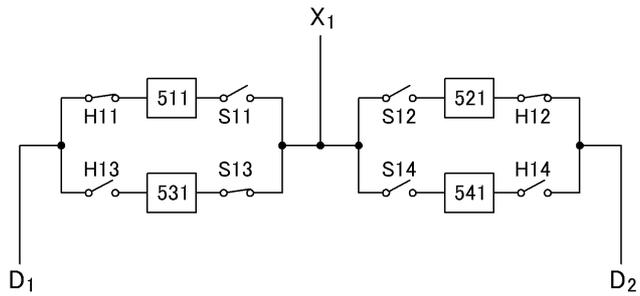
도면16a



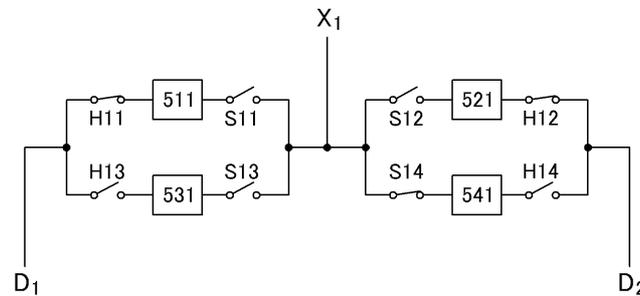
도면16b



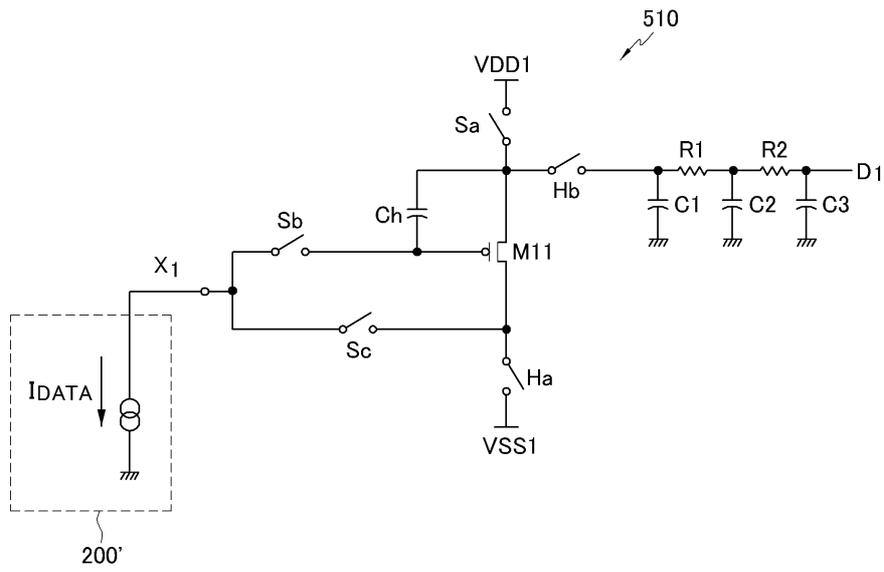
도면16c



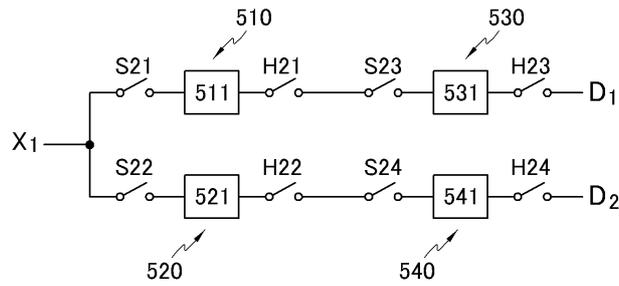
도면16d



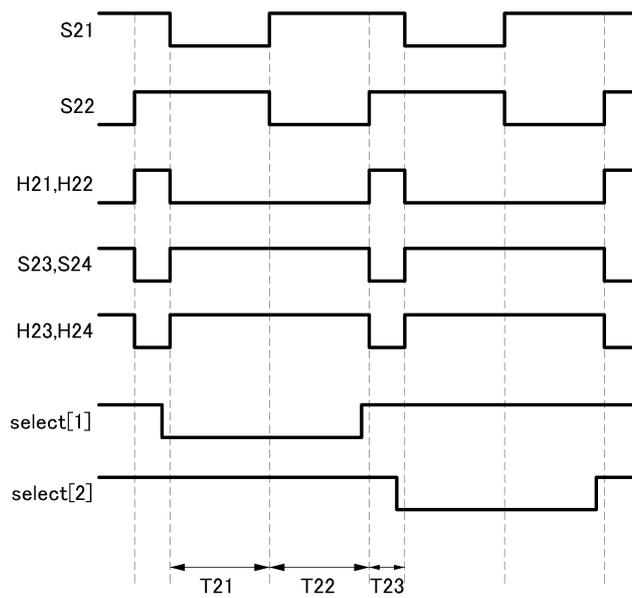
도면17



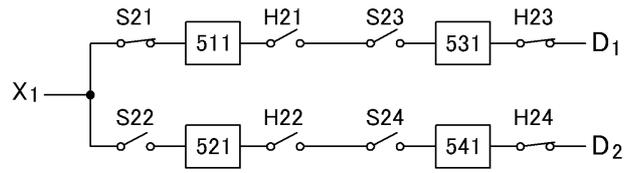
도면18



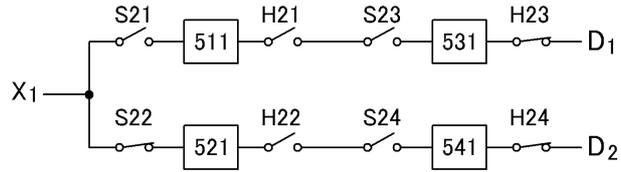
도면19



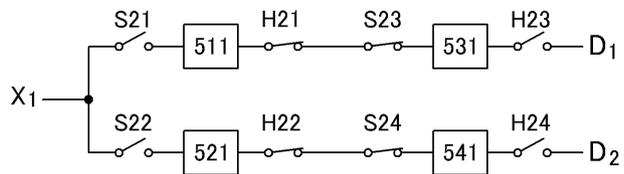
도면20a



도면20b



도면20c



专利名称(译)	OLED显示装置及其驱动方法		
公开(公告)号	KR100627419B1	公开(公告)日	2006-09-22
申请号	KR1020050078733	申请日	2005-08-26
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SHIN DONG YONG		
发明人	SHIN,DONG YONG		
IPC分类号	G09G3/30		
CPC分类号	G09G3/325 G09G3/3266		
代理人(译)	您是我的专利和法律公司		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机发光显示装置及其驱动方法，以在数据写入时间期间对数据线充分充电，并通过包括脉冲宽度的增强信号的脉冲宽度来防止由于连接到信号线的负载的差异引起的问题发射控制信号的脉冲宽度和升压信号的脉冲宽度中的选择信号的脉冲宽度。组成：在具有多条数据线 (Dj)，多条扫描线 (Si)，多条发光控制线 (Emi)，多条升压线 (Bi) 和多个像素电路的有机发光显示装置中，每个像素电路包括第一个晶体管 (M1) 的第一电极连接到提供第一电压的第一电源 (VDD)；第二晶体管 (M2)，连接在相应的数据线和第一晶体管的控制电极之间，并形成有连接到相应扫描线的控制电极；第三晶体管 (M3) 形成有控制电极，该控制电极连接到相应的扫描线并导通以连接第一个二极管类型的晶体管；第一电容器 (C1)，连接在第一电源和第一晶体管的控制电极之间；第二电容器 (C2)，连接在第一晶体管的控制电极和相应的升压线之间；第四晶体管 (M4)，包括连接到第一晶体管的第二电极的第一电极和连接到相应的发射控制线的控制电极；连接在第四晶体管的第二电极和提供第二电压的第二电源 (VSS) 之间的OLED。传输到相应扫描线的选择信号在第一周期期间具有栅极导通电压。第二时段，其中具有第一或第二电平并且发送到相应升压线的升压信号具有第一电平，包括第一时段。发送到相应的发光控制线的发光控制信号具有栅极截止电压的第三时段包括第二时段。第二个时期长于一个水平期。

