

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(21) 출원번호 10-2003-0084246 (65) 공개번호 10-2005-0050495  
(22) 출원일자 2003년11월25일 (43) 공개일자 2005년05월31일

(73) 특허권자 삼성에스디아이 주식회사  
경기 수원시 영통구 신동 575

강태옥  
경기도성남시분당구분당동샛별마을우방아파트302동1103호

정창용  
경기도수원시팔달구영통동1043-8301호

(74) 대리인 박상수

## (56) 선행기술조사문현

JP11326941 A JP2002221736 A

\* 심사관에 의하여 인용된 문헌

심사관 : 윤병수

(54) 박막트랜지스터, 그의 제조방법 및 이를 사용하는 유기전계발광소자

요약

본 발명은 박막트랜지스터 및 이의 제조방법에 관한 것으로, 구체적으로 반도체층, 게이트, 소오스/드레인 영역 및 소오스/드레인 전극을 구비한 박막트랜지스터의 상기 소오스/드레인 전극 상부에 기판 전면에 걸쳐 무기막층 및 유기평탄화막층을 순차적으로 형성하고, 상기 유기평탄화막층을 전면식각공정을 수행하여 상기 무기막층을 평탄화하고, 상기 무기막층 상에 감광막 패턴 형성후 식각공정을 수행하여 상기 소오스/드레인 전극 중 하나와 화소전극을 연결하는 비아홀이 형성된 박막트랜지스터 및 이의 제조방법에 관한 것이다. 본 발명의 제조방법에 따르면, 종래 두 개 이상의 마스크를 사용하여 형성되는 비아홀을 하나의 마스크를 사용하여 형성함으로써 공정을 단순화할 수 있으며, 상기 형성된 무기막층에 의해 화소 전극과의 접착력을 개선할 수 있다. 이러한 박막트랜지스터는 액티브 매트릭스형 유기전계발광소자에 적합하게 사용될 수 있다.

## 대표도

## 색인어

박막트랜지스터, 무기막총, 평탄화, 비아홀

## 명세서

### 도면의 간단한 설명

도 1은 종래의 액티브 매트릭스형 유기전계발광소자의 단면도,

도 2a 내지 도 2c는 상기 액티브 매트릭스형 유기전계발광소자의 박막트랜지스터 단면을 보여주는 전자주사현미경(SEM) 사진,

도 3은 본 발명의 실시예에 따른 박막트랜지스터를 구비한 액티브 매트릭스형 유기전계발광소자의 단면도,

도 4a 내지 도 4e는 본 발명의 실시예에 따른 박막트랜지스터를 구비한 액티브 매트릭스형 유기전계발광소자의 제조방법을 나타내는 확대단면도,

도 5는 상기 액티브 매트릭스형 유기전계발광소자의 박막트랜지스터 단면을 보여주는 전자주사현미경(SEM) 사진,

(도면의 주요 부위에 대한 부호의 설명)

10, 50 : 기판 11, 51 : 반도체층

12, 52: 게이트 절연막총 13, 53 : 게이트 전극

14-1, 14-2, 54-1, 54-2 : 소오스/드레인 영역

15, 55: 층간절연막총

16-1, 16-2, 56-1, 56-2 : 콘택홀

17-1, 17-2, 57-1, 57-2 : 소오스/드레인 전극

18, 58 : 보호막총 18-1, 58-1 : 무기막총

18-2, 58-2 : 유기평탄화막총 19, 59 : 비아홀

20, 60 : 화소전극 21, 61 : 평탄화막총

22, 62 : 개구부

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터에 유기평탄화막총에 의해 평탄화된 무기막총을 적용하고, 콘택홀 또는 비아홀 형성시 마스크의 수를 저감하고 공정이 단순화된 박막트랜지스터 및 이의 제조방법에 관한 것이다.

통상, 평판표시장치(Flat Panel Display) 중에서 유기전계발광표시장치(OELD : Organic Electro Luminescence Display)는 다른 평판표시장치보다 사용온도 범위가 넓고, 충격이나 진동에 강하며, 시야각이 넓고, 응답속도가 빨라 깨끗한 동화상을 제공할 수 있다는 등의 장점을 가지고 있어서 향후 차세대 평판표시장치로 주목받고 있다.

이와 같은 유기전계발광표시장치는, 전자와 정공이 반도체 안에서 전자-정공 쌍을 만들거나 캐리어(Carrier)들이 좀 더 높은 에너지 상태로 여기된 후 다시 안정화 상태인 바닥상태로 떨어지는 과정을 통해 빛이 발생하는 현상을 이용한다.

그리고, 상기 유기전계발광소자는 구동방식에 따라 별도의 구동원이 필요한 패시브 매트릭스형(Passive Matrix Type)과 스위칭소자로 기능하는 박막트랜지스터를 일체로 구비한 액티브 매트릭스형(Active Matrix Type)으로 구분할 수 있다.

도 1은 종래의 액티브 매트릭스형 유기전계발광소자의 단면도를 나타낸 것이다. 상기한 구조를 갖는 유기전계발광소자의 제조방법을 살펴보면, 먼저, 일련의 반도체 제조공정의 수행에 의해 기판(10) 상에 반도체층(11), 게이트 전극(13), 소오스/드레인 영역(14-1), (14-2), 충간 절연막층(15) 및 소오스/드레인 전극(17-1), (17-2)을 구비한 박막트랜지스터를 형성한다.

다음으로, 상기 박막트랜지스터가 형성된 기판(10) 상에 상기 소오스/드레인 전극(17-1), (17-2)을 포함하도록 보호막층(18)으로서 무기막층(18-1), 바람직하기로 실리콘질화막을 적층한다. 이어서, 상기 무기막층(18-1) 상부에 감광막 패턴을 형성한 다음, 상기 감광막 패턴을 마스크로 하여 식각공정을 실시하여 상기 소오스/드레인 전극(17-1), (17-2)과 연결되는 비아홀(19)을 형성한다. 상기 비아홀(19)을 형성한 후, 산소 플라즈마 등의 공정을 통하여 상기 감광막 패턴을 제거한다.

다음으로, 상기 비아홀(19) 상에 감광성 또는 에치 타입의 유기평탄화막층(18-2)을 형성하고 감광막 패턴을 형성한 다음, 상기 감광막 패턴을 마스크 식각공정을 실시하여 후속 공정의 화소전극(20)과 연결되는 비아홀(19)을 형성한다.

다음으로, 상기 기판(10) 전면에 걸쳐 도전성 물질을 형성한 다음, 노광, 현상 및 식각공정을 수반하는 공자의 포토리소그래피 공정을 수행하여, 소오스/드레인 전극(14-1), (14-2)이 비아홀(19)을 통해 연결되는 화소전극(20)을 형성한다.

다음으로, 상기 화소전극(20)을 포함하도록 기판(10) 전면에 걸쳐 평탄화막(21)을 형성한 다음, 상기 화소전극(20)이 노출되도록 개구부(22)를 형성한다.

이후 상기 화소전극(20) 상에 유기막층 및 상부전극을 통상적인 공정을 거쳐 형성함으로써 액티브 매트릭스형유기전계발광소자를 제작할 수 있다.

이처럼 소오스/드레인 전극(14-1), (14-2)을 보호하고, 화소전극(20)과 콘택트되는 비아홀(19)을 포함하는 보호막층(18)은, 무기막층(18-1) 및 유기평탄화막층(18-2)을 이용한 두 번의 식각공정을 통해 이루어지는데, 이러한 식각공정은 후속의 봉지공정시 실란트가 도포되는 부위에 잔존하게 될지도 모르는 유기평탄화막층(18-2)을 완전히 제거하기 위함이다. 그 결과, 상기 소오스/드레인 전극(17-1), (17-2)과 화소전극(20)을 연결하는 비아홀(19)을 형성하기 위하여 최소 두 번의 마스크를 이용한 두 번 이상의 식각공정이 수반되어야 하는 문제점이 있다.

도 2a 내지 도 2c는 상기한 구조의 박막트랜지스터의 단면을 전자주사현미경으로 관찰한 사진들이다.

도 2a를 참조하면, 상기 소오스/드레인 전극(14-1), (14-2) 중 하나의 전극 상부에 무기막층(18-1)이 적층되어 있고, 그 상부로 유기평탄화막층(18-2)이 형성되어 있음을 알 수 있다. 도 2b를 참조하면, 상기 형성된 비아홀(19)이 상기 무기막층(18-1) 및 유기평탄화막층(18-2)에 의해 단차를 가짐을 알 수 있다. 도 2c를 참조하면, 상기 유기평탄화막층(18-2)과 화소전극(20)사이에 들뜸 현상(여두운 부분)이 발생하며 크랙이 발생하는 것을 확인할 수 있었다. 상기 들뜸 현상은 보호막층(18)으로 유기평탄화막층(18-2)과 화소전극(20)과의 접착력이 좋지 않음에 기인하며, 이러한 들뜸 현상으로 인하여 소자내 불순물 및 수분이 침투하는 등 문제가 발생한다.

이에 본 발명자는 상기한 문제점을 해결하기 위하여 연구를 수행한 결과, 소오스/드레인 전극 상부에 무기막층 및 유기평탄화막층을 순차적으로 적층한 다음, 상기 유기평탄화막층을 전면식각하여 상기 무기막층을 평탄화함으로써, 상기 무기막층이 상부의 화소전극과 직접적으로 접촉되는 박막트랜지스터를 제조하였고, 상기 무기막층이 후속공정의 화소전극과의 접착력이 개선됨을 알아내어 본 발명을 완성하였다.

## 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 소오스/드레인 전극 상부의 보호막층과 화소전극과의 접촉력이 향상된 박막트랜지스터를 제공하는 것이다.

또한, 본 발명의 또 다른 목적은 수명이 증가된 박막트랜지스터를 제공하는 것이다.

또한, 본 발명의 또 다른 목적은 소오스/드레인 전극과 화소전극 사이에 형성되는 유기평탄화막층에 의해 평탄화된 무기막층을 포함하는 박막트랜지스터를 제공하는 것이다.

또한, 본 발명의 또 다른 목적은 소오스/드레인 전극 중 하나와 화소전극을 연결하는 콘택홀 또는 비아홀 형성시 마스크의 수를 절감할 수 있는 박막트랜지스터의 제조방법을 제공한다.

또한, 본 발명의 또 다른 목적은 소오스/드레인 전극과 화소전극 사이에 형성되는 보호막층이 무기막층 및 유기평탄화막층이 순차적으로 형성되며, 상기 무기막층이 상기 유기평탄화막층에 의해 평탄화하는 박막트랜지스터의 제조방법을 제공하는 것이다.

또한, 본 발명의 또 다른 목적은 소오스/드레인 전극과 화소전극 사이에 형성되는 보호막층이 무기막층 및 유기평탄화막층이 순차적으로 형성하고, 상기 유기평탄화막층을 전면식각하여 상기 무기막층을 평탄화하는 방법을 제공하는 것이다.

또한, 본 발명의 또 다른 목적은 소오스/드레인 전극 중 하나와 화소전극 사이에 형성되는 보호막층이 유기평탄화막층에 의해 평탄화된 무기막층을 포함하는 액티브 매트릭스형 유기전계발광소자를 제공하는 것이다.

## 발명의 구성 및 작용

상기한 목적을 달성하기 위하여, 본 발명은:

반도체층, 게이트, 소오스/드레인 영역 및 소오스/드레인 전극을 구비한 박막트랜지스터의 상기 소오스/드레인 전극과 화소전극 사이에 형성된 보호막층이 유기평탄화막층으로 평탄화된 무기막층을 포함하는 박막트랜지스터를 제공하는 것을 특징으로 한다.

구체적으로, 본 발명은:

절연 기판 상에 형성된 반도체층;

상기 반도체층을 포함한 상기 기판 상에 형성된 게이트 절연막층;

상기 반도체층 상부의 게이트 절연막층 상에 형성된 게이트 전극;

상기 게이트 전극 양측의 반도체층에 형성된 소오스/드레인 영역;

상기 기판 전면에 형성된 소오스/드레인 영역을 노출시키는 콘택홀을 구비한 충간 절연막층;

상기 충간 절연막층 상에 형성되어 상기 콘택홀을 통해 상기 소오스/드레인 영역과 콘택된 소오스/드레인 전극; 및

화소전극과 상기 충간 절연막 사이에 위치하며, 상기 기판 전면에 무기막층의 상부가 노출되어 화소전극과 직접적으로 콘택되고, 상기 화소전극과 접촉되지 않는 무기막층 영역 중 일부 영역의 상부에 유기평탄화막층이 위치한 보호막층;을 포함하는 박막트랜지스터를 제공하는 것을 특징으로 한다.

또한, 본 발명은:

절연 기판 상에 반도체층을 형성하는 단계;

상기 반도체층을 포함한 기판 상에 게이트 절연막층을 형성하는 단계;

상기 반도체층 상부의 상기 게이트 절연막층 상에 게이트 전극을 형성하는 단계;

상기 반도체층으로 불순물을 이온주입하여 게이트 전극 양측의 반도체층에 소오스/드레인 영역을 형성하는 단계;

상기 기판 전면에 걸쳐 층간 절연막층을 형성하는 단계;

상기 층간 절연막층의 선택된 영역을 식각하여 상기 소오스/드레인 영역을 노출시키는 콘택홀을 형성하는 단계;

상기 층간 절연막층 상에 상기 콘택홀을 통해 상기 소오스/드레인 영역과 콘택되는 소오스/드레인 전극을 형성하는 단계;

상기 기판 전면에 보호막층으로서 유기평탄화막층 및 무기막층을 순차적으로 형성하는 단계;

상기 유기평탄화막층을 전면식각하여 무기막층의 상부를 노출시키는 단계; 및

상기 무기막층의 선택된 영역을 식각하여 상기 소오스/드레인 전극 중 하나를 노출시키는 비아홀을 형성하는 단계;를 포함하는 박막트랜지스터의 제조방법을 제공하는 것을 특징으로 한다.

이때 상기 무기막층 상에 감광성 패턴막을 형성하여 하나의 마스크를 이용한 식각공정을 수행하여 비아홀을 형성하는 것이 바람직하다.

또한, 본 발명은:

반도체층, 게이트, 소오스/드레인 영역 및 소오스/드레인 전극을 구비한 박막트랜지스터를 준비하는 단계;

상기 소오스/드레인 전극을 포함하도록 기판 전면에 걸쳐 무기막층 및 유기평탄화막층을 형성하는 단계; 및

상기 무기막층의 상부가 노출될때까지 상기 유기평탄화막층을 전면식각하는 단계;를 포함하는 박막트랜지스터의 평탄화방법을 제공한다.

이때, 상기 전면식각공정은 상기 유기 평탄화막층과 무기막층의 에칭 선택비가 0.3~3.0, 바람직하기로는 0.5~2.0 범위내에서 수행하는 것이 바람직하다.

또한, 본 발명은:

절연 기판 상에 형성된 반도체층;

상기 반도체층을 포함한 상기 기판 상에 형성된 게이트 절연막층;

상기 반도체층상부의 게이트 절연막층 상에 형성된 게이트 전극;

상기 게이트 전극 양측의 반도체층에 형성된 소오스/드레인 영역;

상기 기판 전면에 형성된 소오스/드레인 영역을 노출시키는 콘택홀을 구비한 층간 절연막층;

상기 층간 절연막층 상에 형성되어 상기 콘택홀을 통해 상기 소오스/드레인 영역과 콘택된 소오스/드레인 전극;

상기 기판 전면에 유기평탄화막층에 의해 평탄화된 무기막층을 포함하며 상기 소오스/드레인 전극 중 하나를 노출시키는 비아홀을 구비한 보호막층;

상기 기판 전면에 걸쳐 형성된 개구부를 구비한 평탄화막; 및

상기 소오스/드레인 전극 중 하나로부터 비아홀을 통해 연장 형성되어 상기 개구부를 통해 노출된 화소전극을 구비한 액티브 매트릭스형 유기전계발광소자를 제공하는 것을 특징으로 한다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들은 상세히 설명한다. 각 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 본 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 3은 본 발명의 실시예에 따른 박막트랜지스터를 구비한 액티브 매트릭스형 유기전계발광소자의 단면도이고, 도 4a내지 도 4d는 도 3의 A 영역을 확대한 확대단면도로 상기 소자의 제조방법을 보여주며, 이때 F는 소오스/드레인 전극 이하 하부의 구조를 포함한다. 도 5는 상기 A 영역을 보여주는 전자주사현미경(SEM) 사진이다.

도 3은 참조하면, 통상적인 공정을 거쳐 유리기판 또는 합성수지와 같은 투명한 절연기판(50)상에 폴리실리콘막을 형성한 다음 패터닝하여 섬 형태의 반도체층(51)을 형성한다.

이어서, 상기 반도체층(51)상에 게이트 절연막층(52)을 형성한다. 다음, 상기 게이트 절연막층(52)상에 게이트 금속물질을 증착한 다음 패터닝하여 상기 반도체층(51) 상부의 게이트 절연막층(52)상에 게이트 전극(53)을 형성한다.

다음으로, 소정의 도전형을 갖는 불순물, 예를 들면 n형 또는 p형 불순물 중 하나를 상기 반도체층(51)으로 이온 주입하여 게이트 전극(53)의 양측의 반도체층(51)에 소오스/드레인 영역(54-1), (54-2)을 형성한 다음, 상기 게이트 전극(53)을 포함한 게이트 절연막층(52) 상에 층간절연막층(55)을 형성한다.

다음으로, 상기 형성된 층간 절연막층(55)상에 감광막 패턴(PR)을 형성한 다음, 상기 감광막 패턴을 마스크로 하여 선택 영역을 상기 소오스/드레인 영역(54-1), (54-2)이 노출되도록 식각하여 콘택홀(56-1), (56-2)을 형성한다.

다음으로, 상기 콘택홀(56-1), (56-2)을 포함한 상기 층간 절연막층(55)상에 소오스/드레인 전극용 금속물질을 증착한다. 이어서, 상기 증착된 소오스/드레인 금속 물질을 패터닝하여 상기 콘택홀(56-1), (56-2)을 통해 상기 소오스/드레인 영역(54-1), (54-2)과 각각 콘택되는 소오스/드레인 전극(57-1), (57-2)을 형성한다.

도 4a 내지 도 4b를 참조하면, 상기 소오스/드레인 전극(57-1), (57-2)을 포함하여 상기 기판 전면에 걸쳐 보호막층(58)으로서 무기막층(58-1) 및 유기평탄화막층(58-2)을 순차적으로 형성한다. 이어서, 상기 유기평탄화막층(58-2)에 대한 전면식각공정을 상기 무기막층의 상부가 노출될 때까지 수행한다.

이때, 전면식각공정은 상기 유기평탄화막층(58-2)에 대한 무기막층(58-1)의 에칭 선택비가 0.3~3.0, 바람직하기로 0.5~2.0의 범위 내에서 수행한다.

바람직하기로, 상기 전면식각공정은 건식식각공정 방식으로, 이 분야에서 통상적으로 사용되는 이온빔 식각, RF 스퍼터링 식각 등의 물리적 건식식각공정; 화학적 건식식각공정; 및 플라즈마 식각, 반응이온 식각, 반응 스파터링 식각, 반응 이온빔 식각, 전자 유발 화학적 건식식각 및 광자 유발 화학적 건식식각 등의 물리화학적 건식식각공정 등이 가능하다. 습식식각공정은 원하는 모형의 식각 형상이 얻어지지 않으므로, 바람직하게 건식식각공정을 사용한다.

도 5를 참조하면, 상기 전면식각공정 후 평탄화된 무기막층(58-1)을 보여주는 데, 소오스/드레인 전극 중 하나의 전극 상부에 무기막층(58-1)이 형성되고, 상기 무기막층(58-1)의 양측 일부에 유기평탄화막층(58-2)이 존재함을 알 수 있다.

상기 무기막층(58-1)을 형성하는 물질 또한 통상적으로 사용되는 실리콘질화막 또는 실리콘산화막 가 가능하다. 이러한 무기막층(58-1)은 외부로부터의 수분 또는 불순물의 확산을 억제하는 장벽 역할을 함과 동시에 소오스/드레인 전극(57-1), (57-2)을 보호하는 패시베이션 역할을 한다.

상기 유기평탄화막층(58-2)을 형성하는 물질은 통상적으로 사용되는 감광성 유기고분자 또는 에칭형 유기화합물을 사용한다. 상기 감광성 유기고분자로는 폴리아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenol resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsatuated polyesters resin), 폴리페닐렌에테르계 수지(polyphenylenes resin) 및 폴리페닐렌설파이드계 수지

(polyphenylenes resin)가 사용될 수 있다. 상기 예칭형 유기 화합물로는 벤조사이클로부텐(benzocyclobutene, BCC)이 가장 많이 사용되고 있으며, 상기 BCB는 평탄화도가 95% 이상이고, 흡수율이 작으면서 접합력(adhesion)이 양호하며, 광투과도가 90% 이상으로 매우 우수하여 유기평탄화막층(58-2)으로서 가장 널리 사용되고 있다.

도 4c 및 4e를 참조하면, 상기 무기막층(58-1) 상에 감광막 패턴(PR)을 형성한 다음, 상기 감광막 패턴을 마스크로 하여 상기 유기 평탄화층(58-2)을 포함하도록 선택된 영역을 식각하여 비아홀(59)을 형성한다. 따라서, 상기 소오스/드레인 전극(56-1), (56-2) 중 하나가 상기 비아홀(59)을 통해 화소전극(60)과 전기적으로 연결되어지며, 이로써 본 발명의 일실시 예에 따른 박막트랜지스터가 제조된다.

이처럼, 본 발명은 상기 소오스/드레인 전극(56-1), (56-2) 중 하나와 화소전극(60)을 연결하는 비아홀(59)을 한 번의 마스크를 이용한 식각공정을 수행함으로써, 종래 두 번 이상의 마스크 사용을 효과적으로 절감할 수 있는 특징이 있다.

이때 비아홀(59)을 형성하기 위한 식각공정은 이 분야에서 통상적으로 사용되는 방법이 채택될 수 있으며, 구체적으로 습식식각 및 건식식각이 사용될 수 있으며, 바람직하기로 건식식각공정을 사용한다. 상기 건식식각공정은 이온빔 식각, RF스퍼터링 식각, 반응이온 식각(RIE) 등 여러 가지 방법이 선택적으로 사용될 수 있다.

특히, 전면식각공정에 의해 평탄화된 무기막층(58-1)이 상기 화소전극과 직접적으로 접촉된다. 상기 무기막층(58-1)은 화소전극으로 사용되는 금속물질과의 접착력이 매우 우수하여, 종래 보호막층(58)과 화소전극(60) 간의 미비한 접착력으로 인한 상기 화소전극의 들뜸 현상 등이 해결된다.

특히, 본 발명에서 제시한 평탄화된 무기막층(58-1)을 포함하는 보호막층(58)은 종래 화소전극 하부에 유기평탄화막층을 사용하여 상기 유기평탄화막층(58-2)과 화소전극과의 접착력 미비로 인한 유기평탄화막층(58-2)과 화소전극(60) 등의 박리 및 균열 등의 문제를 해소할 수 있다. 그 결과 외부로부터의 침투하는 수분 및 불순물 등을 효과적으로 방지할 수 있게 되어 박막트랜지스터 및 이를 채용한 액티브 매트릭스형 유기전계발광소자의 수명을 증가시킬 수 있게 된다.

이와 같이, 본 발명에 따라 소오스/드레인 전극(57-1), (57-2) 중 하나와 화소전극을 연결하는 비아홀(59) 형성시 적용되는 두 번 이상의 식각공정을 하나의 마스크만을 이용한 한번의 식각공정으로 수행이 가능함에 따라 마스크 저감 효과 및 공정의 단순화를 이룰 수 있다.

또한 상기 제시된 박막트랜지스터는 액티브 매트릭스형 유기전계발광소자에 적절하게 도입될 수 있다.

상기 실시예에 의해 일련의 반도체 공정을 거쳐 반도체층(51), 게이트 전극(53), 소오스/드레인 영역(54-1, 54-2), 및 소오스/드레인 전극(57-1, 57-2)을 구비하고, 상기 소오스/드레인 전극(57-1, 57-2) 중 하나와 화소전극(60)을 연결하기 위한 비아홀(59)을 포함하는 박막트랜지스터를 구비한다.

이때, 상기 소오스/드레인 전극(57-1, 57-2) 중 하나와 화소전극(60)을 연결하기 위한 비아홀(59)을 포함하는 보호막층(58)은 기판(50) 전면에 걸쳐 평탄화된 무기막층(58-1)으로 형성된다.

다음으로, 상기 보호막층(58) 상에 상기 비아홀(59)을 통해 상기 소오스/드레인 전극(57-1, 57-2) 중 하나와 전기적으로 연결되는 화소전극(60)이 형성된다.

다음으로, 상기 화소전극(60)을 노출시키는 개구부(62)를 구비한 평탄화용 절연막층(61)이 상기 화소전극(60)의 에지부분을 포함한 보호막층(58) 상에 형성된다.

이어서, 도시하지는 않았지만, 이후 통상적인 공정에 의해 상기 개구부의 상기 화소전극 상에 유기막층이 형성되고, 상기 유기막층을 포함한 절연막층 상에 상부 전극이 형성되며, 이를 절연기판 등의 봉지 수단으로 봉지하여 액티브 매트릭스형 유기전계발광소자를 제작할 수 있다.

### **발명의 효과**

상술한 바와 같이, 본 발명의 박막트랜지스터의 제조방법에 따르면, 소오스/드레인 전극 중 하나와 화소전극을 전기적으로 연결하는 비아홀을 하나의 마스크를 사용하여 형성함으로써, 전체 공정을 단순화할 수 있다.

또한, 본 발명은 상부가 노출된 무기막층을 형성하고, 상기 노출된 부분이 화소전극과 직접적으로 접촉되어 있어, 보호막층과 화소전극과의 접착력이 개선된다.

또한, 상기 보호막층을 평탄화된 무기막층을 포함함으로써, 소오스/드레인 전극을 외부의 불순물 및 수분으로부터 보호하여 박막트랜지스터의 수명을 증가된다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

#### (57) 청구의 범위

##### 청구항 1.

절연 기판 상에 형성된 반도체층;

상기 반도체층을 포함한 상기 기판 상에 형성된 게이트 절연막층;

상기 반도체층 상부의 게이트 절연막층 상에 형성된 게이트 전극;

상기 게이트 전극 양측의 반도체층에 형성된 소오스/드레인 영역;

상기 소오스/드레인 영역을 노출시키는 콘택홀을 구비한 충간 절연막층;

상기 충간 절연막층 상에 형성되어 상기 콘택홀을 통해 상기 소오스/드레인 영역과 콘택된 소오스/드레인 전극; 및

화소전극과 상기 충간절연막 사이에 위치하며, 상기 기판 전면에 무기막층의 상부가 노출되어 화소전극과 직접적으로 콘택되고, 상기 화소전극과 접촉되지 않는 무기막층 영역 중 일부 영역의 상부에 유기평탄화막층이 위치한 보호막층을 포함하는 것을 특징으로 하는 박막트랜지스터.

##### 청구항 2.

제 1 항에 있어서,

상기 소오스/드레인 전극 상에 일정 두께로 적층되어 기판에 대하여 요철 형태로 형성되는 무기막층은 상기 요철 부분의 오목한 영역에 유기평탄화막층이 형성되는 것을 특징으로 하는 박막트랜지스터.

##### 청구항 3.

제 1 항 및 제 2 항 중 어느 한 항에 있어서,

상기 무기막층은 실리콘질화막( $\text{SiN}_X$ ) 또는 실리콘산화막( $\text{SiO}_2$ ) 중에서 선택된 것을 특징으로 하는 박막트랜지스터.

##### 청구항 4.

제 1 항 및 제 2 항 중 어느 한 항에 있어서,

상기 유기평탄화막층은 폴리아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenol resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌에테르계 수지(polyphenylenethers resin) 및 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin), 및 벤조사이클로부텐(benzocyclobutene, BCB)로 이루어진 그룹 중에서 선택된 것을 특징으로 하는 박막트랜지스터.

### 청구항 5.

제 1 항에 있어서,

상기 박막트랜지스터는 탑-게이트 구조인 것을 특징으로 하는 박막트랜지스터.

### 청구항 6.

제 1 항에 있어서,

상기 박막트랜지스터는 유기전계발광표시장치의 단위화소내의 구동 박막트랜지스터인 것을 특징으로 하는 박막트랜지스터.

### 청구항 7.

절연 기판 상에 반도체층을 형성하는 단계;

상기 반도체층을 포함한 기판 상에 게이트 절연막층을 형성하는 단계;

상기 반도체층 상부의 상기 게이트 절연막층 상에 게이트를 형성하는 단계;

상기 반도체층으로 불순물을 이온주입하여 게이트 양측의 반도체층에 소오스/드레인 영역을 형성하는 단계;

상기 기판 전면에 걸쳐 층간 절연막층을 형성하는 단계;

상기 층간 절연막층의 선택된 영역을 식각하여 상기 소오스/드레인 영역을 노출시키는 콘택홀을 형성하는 단계;

상기 층간 절연막층 상에 상기 콘택홀을 통해 상기 소오스/드레인 영역과 콘택되는 소오스/드레인 전극을 형성하는 단계;

상기 기판 전면에 보호막층으로서 무기막층 및 유기평탄화막층을 순차적으로 형성하는 단계;

상기 유기평탄화막층을 전면식각하여 무기막층의 상부를 노출시키는 단계; 및

상기 무기막층의 선택된 영역을 식각하여 상기 소오스/드레인 전극 중 하나를 노출시키는 비아홀을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

### 청구항 8.

제 7 항에 있어서,

상기 전면식각공정은 무기막층의 상부가 노출될 때까지 수행하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

### 청구항 9.

제 8 항에 있어서,

상기 전면식각공정은 상기 유기평탄화막층에 대한 무기막층의 예칭 선택비가 0.3~3.0 범위 내에서 수행하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

### 청구항 10.

제 8 항에 있어서,

상기 전면식각공정은 상기 유기평탄화막층에 대한 무기막층의 예칭 선택비가 0.5~2.0 범위 내에서 수행하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

### 청구항 11.

제 8 항에 있어서,

상기 전면식각공정은 건식식각공정인 것을 특징으로 하는 박막트랜지스터의 제조방법.

### 청구항 12.

제 11 항에 있어서,

상기 건식식각공정은 이온빔 식각 및 RF 스퍼터링 식각의 물리적 건식식각공정; 화학적 건식식각공정; 및 플라즈마 식각, 반응이온 식각, 반응 스퍼터링 식각, 반응 이온빔 식각, 전자 유발 화학적 건식식각 및 광자 유발 화학적 건식식각의 물리화학적 건식식각공정으로 이루어진 그룹 중에서 선택된 1종의 방법으로 수행하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

### 청구항 13.

반도체층, 게이트, 소오스/드레인 영역 및 소오스/드레인 전극을 구비한 박막트랜지스터를 준비하는 단계;

상기 소오스/드레인 전극을 포함하도록 기판 전면에 걸쳐 무기막층 및 유기평탄화막층을 형성하는 단계; 및

상기 상기 무기막층의 상부가 노출될 때까지 상기 유기평탄화막층을 전면식각하는 단계;를 포함하는 것을 특징으로 하는 박막트랜지스터의 평탄화 방법.

### 청구항 14.

제 13 항에 있어서,

상기 전면식각공정은 상기 유기평탄화막층에 대한 무기막층의 예칭 선택비가 0.3~3.0 범위 내에서 수행하는 것을 특징으로 하는 박막트랜지스터의 평탄화 방법.

### 청구항 15.

제 13 항에 있어서,

상기 전면식각공정은 상기 유기평탄화막층에 대한 무기막층의 예칭 선택비가 0.5~2.0 범위 내에서 수행하는 것을 특징으로 하는 박막트랜지스터의 평탄화 방법.

### 청구항 16.

제 13 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 전면식각공정은 건식식각공정인 것을 특징으로 하는 박막트랜지스터의 평탄화 방법.

### 청구항 17.

제 16 항에 있어서,

상기 건식식각공정은 이온빔 식각, 및 RF 스퍼터링 식각의 물리적 건식식각공정; 화학적 건식식각공정; 및 플라즈마 식각, 반응이온 식각, 반응 스퍼터링 식각, 반응 이온빔 식각, 전자 유발 화학적 건식식각 및 광자 유발 화학적 건식식각의 물리화학적 건식식각공정으로 이루어진 그룹 중에서 선택된 1종의 방법으로 수행하는 것을 특징으로 하는 박막트랜지스터의 평탄화 방법.

### 청구항 18.

절연 기판 상에 형성된 반도체층;

상기 반도체층을 포함한 상기 기판 상에 형성된 게이트 절연막층;

상기 반도체층상부의 게이트 절연막층 상에 형성된 게이트 전극;

상기 게이트 전극 양측의 반도체층에 형성된 소오스/드레인 영역;

상기 소오스/드레인 영역을 노출시키는 콘택홀을 구비한 충간 절연막층;

상기 충간 절연막층 상에 형성되어 상기 콘택홀을 통해 상기 소오스/드레인 영역과 콘택된 소오스/드레인 전극;

상기 기판 및 소오스/드레인 영역 상부에 형성되고, 상기 소오스/드레인 전극과 콘택되는 화소전극; 및

상기 화소전극과 상기 충간절연막 사이에 위치하며, 상기 기판 전면에 무기막층의 상부가 노출되어 화소전극과 직접적으로 콘택되고, 상기 화소전극과 접촉되지 않는 무기막층 영역의 상부에 유기평탄화막층이 위치하며, 상기 소오스/드레인 전극 중 하나를 노출시키는 비아홀을 구비한 보호막층;

상기 기판 전면에 걸쳐 형성되고, 상기 화소전극이 노출된 개구부를 구비한 평탄화막을 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광소자.

### 청구항 19.

제 18 항에 있어서,

상기 소오스/드레인 전극 상에 일정 두께로 적층되어 기판에 대하여 요철 형태로 형성되는 무기막층은 상기 요철 부분의 오목한 영역에 유기평탄화막층이 형성되는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광소자.

### 청구항 20.

제 18 항 및 제 19 항 중 어느 한 항에 있어서,

상기 무기막층은 실리콘질화막 또는 실리콘산화막 중에서 선택된 것을 특징으로 하는 액티브 매트릭스형 유기전계발광소자.

### 청구항 21.

제 18 항 및 제 19 항 중 어느 한 항에 있어서,

상기 유기평탄화막층은 폴리아크릴계 수지, 에폭시 수지, 폐놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌에테르계 수지 및 폴리페닐렌설파이드계 수지, 및 벤조사이클로부텐(BCB)로 이루어진 그룹 중에서 선택된 것을 특징으로 하는 액티브 매트릭스형 유기전계발광소자.

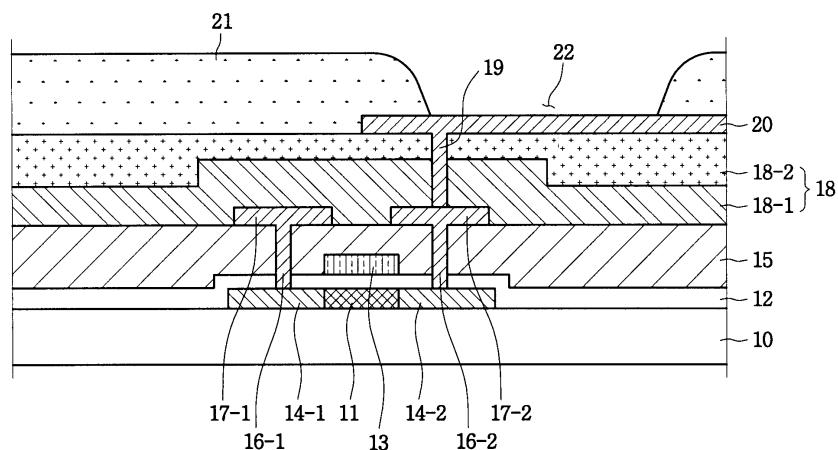
### 청구항 22.

제 17 항에 있어서,

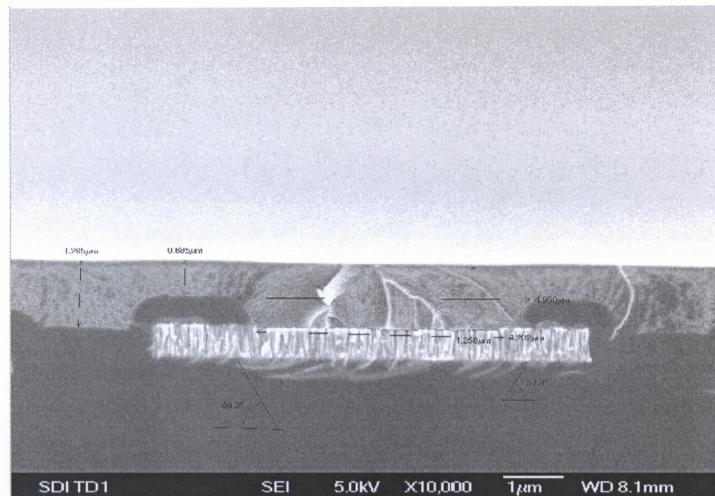
상기 소오스/드레인 전극 중 하나와 화소전극을 연결하는 비아홀은 단차가 없는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광소자.

**도면**

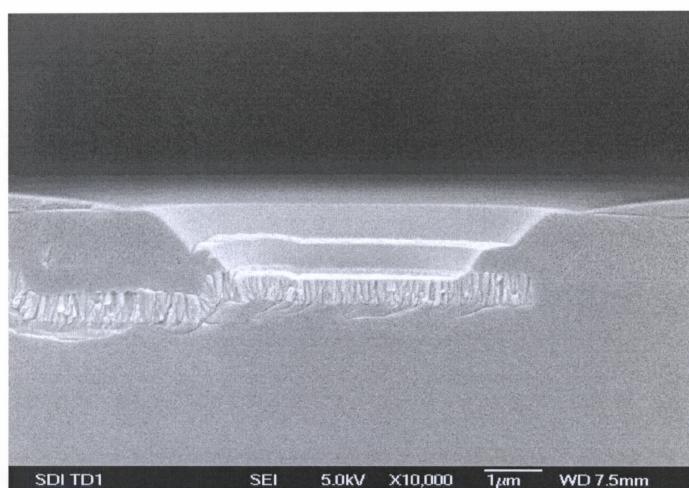
도면1



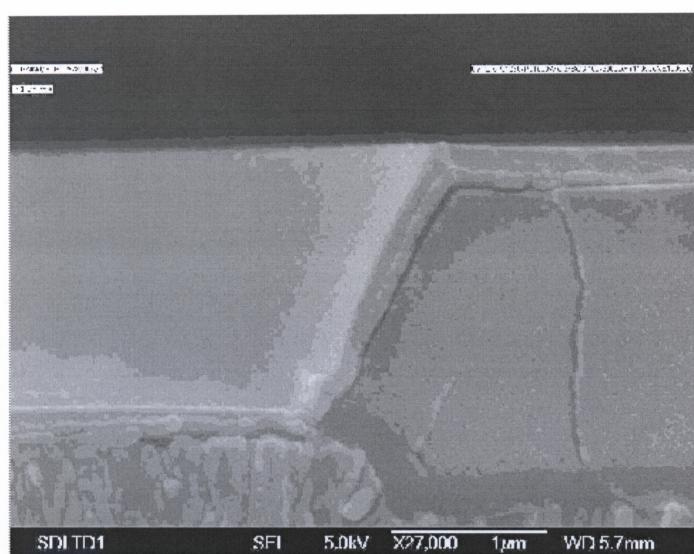
도면2a



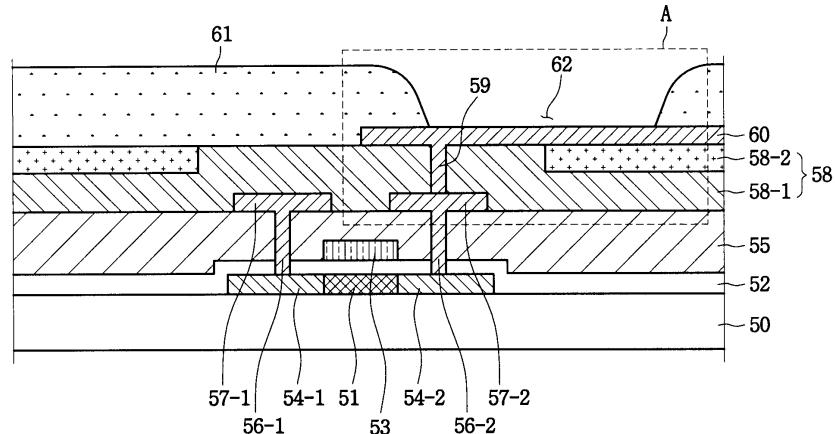
도면2b



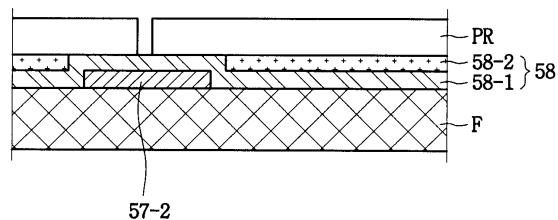
도면2c



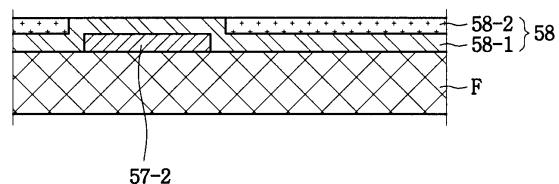
도면3



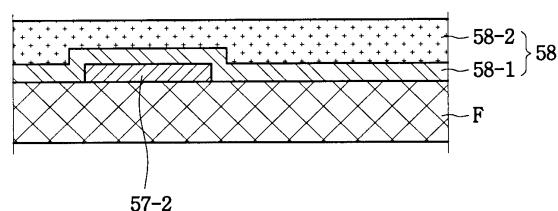
도면4a



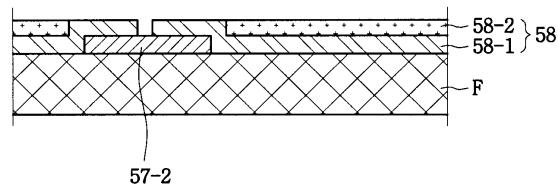
도면4b



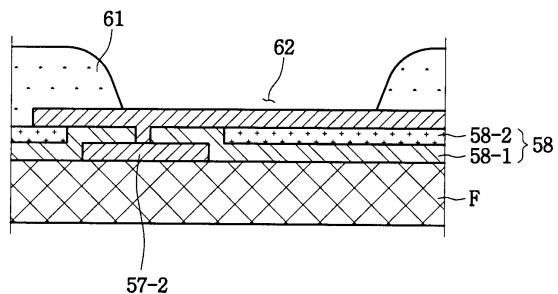
도면4c



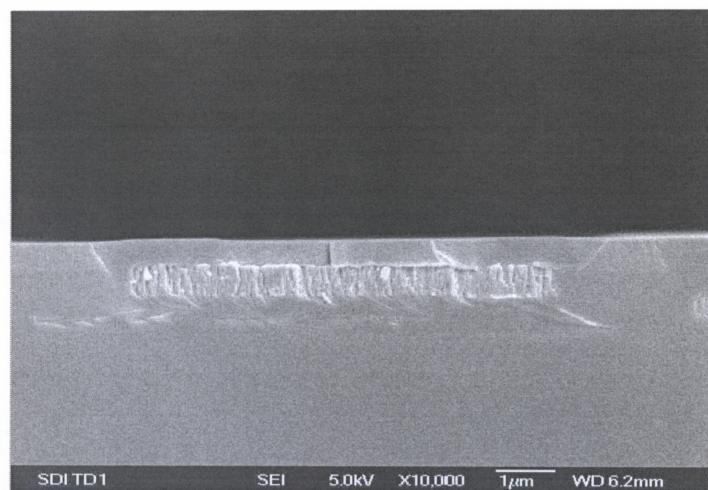
도면4d



도면4e



도면5



专利名称(译)	薄膜晶体管，其制造方法以及使用该薄膜晶体管的有机电致发光器件		
公开(公告)号	<a href="#">KR100611148B1</a>	公开(公告)日	2006-08-09
申请号	KR1020030084246	申请日	2003-11-25
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	IM CHOONGYOU 임종열 KANG TAEWOOK 강태욱 JEONG CHANGYONG 정창용		
发明人	임종열 강태욱 정창용		
IPC分类号	H01L27/12 H01L51/50 G02F1/1362 H01L21/336 G02F H01L51/52 H01L29/786 H01L27/32 H01L21/77 G02F1/136 H01L21/3065		
CPC分类号	G02F2001/136231 H01L27/3244 H01L27/1214 H01L27/1288 G02F1/136227 H01L27/12 H01L27/1248		
代理人(译)	PARK, 常树		
其他公开文献	KR1020050050495A		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明是薄膜晶体管及其其涉及一种方法，用于制备，更具体地为半导体层，栅极，源极/漏极区和源/漏电极，薄膜在基板的无机膜的整个表面，并具有一个有机晶体管的源/漏电极上部分通过一个上形成平坦化膜之一，并执行前蚀刻工艺，其中，所述有机平坦化膜和无机膜平坦化，然后通过执行蚀刻工艺，源/漏电极的一方与像素电极所形成的无机薄膜层上的光致抗蚀剂图案以及制造它的方法。根据本发明的制造方法中，为了通过使用掩模形成之前简化的过程中，通孔被使用两个或更多的掩模，并且通过所形成的无机膜，以提高像素电极间的密合性形成那里。这种薄膜晶体管可适用于有源矩阵型有机电致发光器件。3指教方面 薄膜晶体管，无机薄膜层，平面化，通孔

