



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0011525  
(43) 공개일자 2010년02월03일

(51) Int. Cl.

H05B 33/22 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0072779

(22) 출원일자 2008년07월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최혜영

서울특별시 성북구 석관2동 340-263번지

양미연

서울특별시 송파구 잠실4동 미성아파트  
17-6(16/1) 6-112

김관수

경상북도 구미시 형곡동 145-22 신세계타운 1305호

(74) 대리인

김용인, 박영복

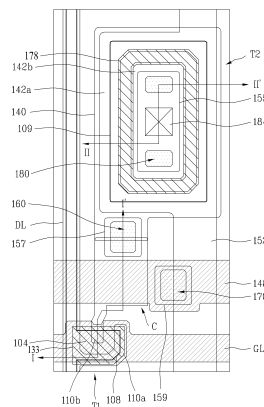
전체 청구항 수 : 총 10 항

#### (54) 유기발광 표시장치 및 그 제조방법

#### (57) 요약

본 발명은 유기발광 표시장치 및 그 제조방법에 관한 것으로, 기판 상에 화소 영역을 정의하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인 및 데이터 라인과 접속된 스위칭 박막 트랜지스터와, 상기 스위칭 박막 트랜지스터와 접속된 구동 박막 트랜지스터와, 상기 화소 영역에서 상기 구동 박막 트랜지스터와 접속된 유기발광 다이오드와, 상기 구동 박막 트랜지스터의 드레인 전극과 제 1 콘택홀을 통해 접속된 화소 전극과, 상기 스위칭 박막 트랜지스터의 채널 영역과 중첩되도록 형성된 제 1 차광 패턴과, 상기 구동 박막 트랜지스터의 채널 영역과 중첩되도록 형성된 제 2 차광 패턴을 포함하는 것을 특징으로 한다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

기관 상에 화소 영역을 정의하는 게이트 라인 및 데이터 라인과,  
 상기 게이트 라인 및 데이터 라인과 접속된 스위칭 박막 트랜지스터와,  
 상기 스위칭 박막 트랜지스터와 접속된 구동 박막 트랜지스터와,  
 상기 화소 영역에서 상기 구동 박막 트랜지스터와 접속된 유기발광 다이오드와,  
 상기 구동 박막 트랜지스터의 드레인 전극과 제 1 콘택홀을 통해 접속된 화소 전극과,  
 상기 스위칭 박막 트랜지스터의 채널 영역과 중첩되도록 형성된 제 1 차광 패턴과,  
 상기 구동 박막 트랜지스터의 채널 영역과 중첩되도록 형성된 제 2 차광 패턴을 포함하는 것을 특징으로 하는 유기발광 표시장치.

### 청구항 2

제 1 항에 있어서,  
 상기 제 1 및 제 2 차광 패턴은 상기 화소 전극과 동일층에 동일 물질로 형성되며, 불투명 금속층의 단일층이나, 투명 도전층 및 불투명 금속층의 복수층으로 형성되는 것을 특징으로 하는 유기발광 표시장치.

### 청구항 3

제 2 항에 있어서,  
 상기 불투명 금속층으로는 코발트, 니켈, 티타늄, 몰리브덴, 알루미늄, 알루미늄-네오디미움, 크롬, 탄탈륨, 텅스텐 및 백금으로 이루어진 군 또는 이들의 조합으로 형성되며, 상기 투명 도전층으로는 인듐주석산화물, 주석산화물, 인듐아연산화물 또는 인듐주석아연산화물로 형성되는 것을 특징으로 하는 유기발광 표시장치.

### 청구항 4

제 1 항에 있어서,  
 상기 제 1 및 제 2 차광 패턴은 50Å~1000Å의 두께로 형성되며,  
 상기 제 2 차광 패턴은 상기 화소 전극과 이격되어 3~10μm의 폭으로 형성되는 것을 특징으로 하는 유기발광 표시장치.

### 청구항 5

제 1 항에 있어서,  
 상기 구동 박막 트랜지스터의 게이트 전극을 노출시키는 제 2 콘택홀과,  
 상기 제 2 콘택홀을 통해 상기 스위칭 박막 트랜지스터의 드레인 전극과 구동 박막 트랜지스터의 게이트 전극을 전기적으로 연결시키는 제 1 연결 전극과,  
 상기 데이터 라인과 나란한 방향으로 형성되어 상기 구동 박막 트랜지스터와 접속된 수직 전원 라인과,  
 상기 게이트 라인과 나란한 방향으로 형성되어 상기 수직 전원 라인과 접속되는 수평 전원 라인과,  
 상기 수평 전원 라인 및 상기 스위칭 박막 트랜지스터의와 드레인 전극이 게이트 절연막을 사이에 두고 중첩되어 형성된 스토리지 캐패시터와,  
 상기 수직 전원 라인 및 수평 전원 라인을 노출시키는 제 3 콘택홀과,  
 상기 제 3 콘택홀을 통해 상기 수직 전원 라인 및 수평 전원 라인을 전기적으로 연결시키는 제 2 연결 전극을 추가로 구비하는 것을 특징으로 하는 유기발광 표시장치.

### 청구항 6

기관 상에 스위칭 박막 트랜지스터의 게이트 전극 및 구동 박막 트랜지스터의 게이트 전극을 형성하는 단계와,  
 상기 스위칭 박막 트랜지스터의 게이트 전극 및 상기 구동 박막 트랜지스터의 게이트 전극을 포함하는 상기 기  
 관 전면에 게이트 절연막, 반도체층, 소스 및 드레인 전극을 순차적으로 형성하는 단계와,  
 상기 구동 박막 트랜지스터의 드레인 전극을 노출시키는 제 1 콘택홀을 포함하는 보호막을 형성하는 단계와,  
 상기 보호막 상에 상기 구동 박막 트랜지스터와 접속되는 화소 전극과, 상기 스위칭 박막 트랜지스터의 채널 영  
 역과 중첩되도록 형성된 제 1 차광 패턴과, 상기 구동 박막 트랜지스터의 채널 영역과 중첩되도록 제 2 차광 패  
 턴을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광 표시장치의 제조방법.

#### 청구항 7

제 6 항에 있어서,

상기 제 1 및 제 2 차광 패턴은 상기 화소 전극과 동일층에 동일 물질로 형성되며, 불투명 금속층의  
 단일층이나, 투명 도전층 및 불투명 금속층의 복수층으로 형성되는 것을 특징으로 하는 유기발광 표시장치의 제  
 조방법.

#### 청구항 8

제 7 항에 있어서,

상기 불투명 금속층으로는 코발트, 니켈, 티타늄, 몰리브덴, 알루미늄, 알루미늄-네오디미움, 크롬, 탄탈륨, 텅  
 스텐 및 백금으로 이루어진 군 또는 이들의 조합으로 형성되며, 상기 투명 도전층으로는 인듐주석산화물, 주석  
 산화물, 인듐아연산화물 또는 인듐주석아연산화물로 형성되는 것을 특징으로 하는 유기발광 표시장치의 제조  
 방법.

#### 청구항 9

제 1 항에 있어서,

상기 제 1 및 제 2 차광 패턴은 50Å~1000Å의 두께로 형성되며,

상기 제 2 차광 패턴은 상기 화소 전극과 이격되어 3~10μm의 폭으로 형성되는 것을 특징으로 하는 유기발광  
 표시장치의 제조방법.

#### 청구항 10

제 6 항에 있어서,

상기 게이트 라인과 동일층에 수평 전원 라인을 형성하는 단계와,

상기 수평 전원 라인과 상기 게이트 절연막을 사이에 두고 중첩되도록 수직 전원 라인을 형성하는 단계와,

상기 보호막 상에 상기 구동 박막 트랜지스터의 게이트 전극 및 상기 스위칭 박막 트랜지스터의 드레인 전극을  
 노출시키는 제 2 콘택홀과, 상기 수평 전원 라인 및 상기 수직 전원 라인을 노출시키는 제 3 콘택홀을 형성하는  
 단계와,

상기 제 2 콘택홀을 통해 상기 구동 박막 트랜지스터의 게이트 전극 및 상기 스위칭 박막 트랜지스터의 드레인  
 전극을 전기적으로 연결시키는 제 1 연결 전극과, 상기 제 3 콘택홀을 통해 상기 수평 전원 라인 및 상기 수직  
 전원 라인을 전기적으로 연결시키는 제 2 연결 전극을 형성하는 단계를 추가로 구비하는 것을 특징으로 하는 유  
 기발광 표시장치의 제조방법.

### 명세서

#### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 특히 오프 커런트(Off Current)를 최소화할 수 있는 유기발광 표

시장치 및 그 제조방법에 관한 것이다.

## 배경 기술

- [0002] 최근 다양한 정보를 화면으로 구현해 주는 다양한 표시 장치들 중 종이와 같이 박막화가 가능한 유기 전계발광 (Electro-Luminescence) 표시장치가 주목받고 있다. 유기 전계발광 표시장치는 전극 사이의 얇은 유기 발광층을 이용한 자발광 소자로 유기 EL 또는 OLED(Organic Light Emitting Diode) 표시장치라고 부르며 이하에서는 OLED 표시장치를 사용한다. OLED 표시장치는 액정 표시장치와 비교하여 저소비전력, 박형, 자발광 등의 장점을 갖지만, 수명이 짧은다는 단점을 갖는다.
- [0003] OLED 표시장치는 한 화소를 구성하는 3색(R, G, B) 서브 화소 각각을 독립적으로 구동하여 동영상상을 표시하기에 적합한 액티브 매트릭스 타입을 중심으로 발전되고 있다. 액티브 매트릭스 OLED(이하, AMOLED) 표시장치의 각 서브 화소는 양극 및 음극 사이의 유기 발광층으로 구성된 OLED와, OLED를 독립적으로 구동하는 서브 화소 구동부를 구비한다. 서브 화소 구동부는 적어도 2개의 박막 트랜지스터와 스토리지 커패시터를 포함하여 데이터 신호에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 밝기를 제어한다. OLED는 양극과 음극 사이에 유기물로 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층을 포함한다. 양극과 음극 사이에 순방향 전압이 인가되면 음극으로부터의 전자가 전자 주입층 및 전자 수송층을 통해 발광층으로 이동하고, 양극으로부터의 정공이 정공 주입층 및 정공 수송층을 통해 발광층으로 이동한다. 발광층은 전자 수송층으로부터의 전자와 정공 수송층으로부터의 정공의 재결합으로 빛을 방출하고, 밝기는 양극과 음극 사이에 흐르는 전류량에 비례한다.
- [0004] AMOLED 표시장치는 서브화소 구동부 어레이와 OLED 어레이가 형성된 기판에 패키징판이 합착된 인캡슐레이션 (Encapsulation) 구조로 그 기판을 통해 빛을 방출한다. 패키징 판에는 수분 및 가스를 흡착하는 게터가 형성되어 유기 발광층의 열화를 방지한다. 그러나, 종래의 AMOLED 표시장치는 서브화소 구동부의 공정이 완료된 다음 OLED 어레이의 공정에서 불량 발생하면 기판 전체를 모두 불량 처리해야 하므로 전체 공정 수율이 낮은 문제점이 있다. 또한, 패키징판은 개구율을 제한하고 고해상도 표시장치에 적용되기 어려운 문제점이 있다.
- [0005] 이러한 문제점들을 해결하기 위한 방안으로 최근에는 서브 화소 구동부 어레이와 OLED 어레이가 서로 다른 기판에 분리 형성되어 합착된 듀얼 플레이트 타입(Dual Plate Type)의 AMOLED가 제안되었다. 듀얼 플레이트 타입의 AMOLED 표시장치는 상하판 합착시 스페이서에 의해 각 서브 화소의 서브 화소 구동부와 OLED가 단순하게 접촉되면서 전기적으로 연결된다.
- [0006] 이와 같은 듀얼 플레이트 타입의 유기발광 표시장치에 있어서, OLED 어레이가 형성된 상판에서 발광된 빛은 셀 내부로 산란되게 되는데 이 빛이 하판의 박막 트랜지스터의 반도체층까지 도달하게 된다. 이로 인하여, 반도체층이 광을 흡수함으로 인하여 오프 커런트의 증가로 인한 액정표시장치의 수명 단축, 블랙 특성 저하 및 잔상 악화 등의 문제점이 발생한다. 따라서, 이를 해결하기 위해 고온의 어닐링(annealing)공정이 요구되어 지나 이르는 고온 공정이기 때문에 OLED 증착이 완료된 패널에 적용하기에는 어려운 문제점이 발생한다.

## 발명의 내용

### 해결 하고자하는 과제

- [0007] 상기와 같은 문제점을 해결하기 위한 것으로, 본 발명은 유기발광 표시장치에 있어서 특히 오프 커런트(Off Current)를 최소화할 수 있는 유기발광 표시장치 및 그 제조방법을 제공하는데 목적이 있다.

### 과제 해결수단

- [0008] 상기 기술적 과제를 달성하기 위하여, 본 발명의 특징에 따른 유기발광 표시장치는 기판 상에 화소 영역을 정의하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인 및 데이터 라인과 접속된 스위칭 박막 트랜지스터와, 상기 스위칭 박막 트랜지스터와 접속된 구동 박막 트랜지스터와, 상기 화소 영역에서 상기 구동 박막 트랜지스터와 접속된 유기발광 다이오드와, 상기 구동 박막 트랜지스터의 드레인 전극과 제 1 콘택홀을 통해 접속된 화소 전극과, 상기 스위칭 박막 트랜지스터의 채널 영역과 중첩되도록 형성된 제 1 차광 패턴과, 상기 구동 박막 트랜지스터의 채널 영역과 중첩되도록 형성된 제 2 차광 패턴을 포함하는 것을 특징으로 한다.
- [0009] 본 발명의 다른 특징에 따른 유기발광 표시장치의 제조방법은 기판 상에 스위칭 박막 트랜지스터의 게이트 전극 및 구동 박막 트랜지스터의 게이트 전극을 형성하는 단계와, 상기 스위칭 박막 트랜지스터의 게이트 전극 및 상

기 구동 박막 트랜지스터의 게이트 전극을 포함하는 상기 기판 전면에 게이트 절연막, 반도체층, 소스 및 드레인 전극을 순차적으로 형성하는 단계와, 상기 구동 박막 트랜지스터의 드레인 전극을 노출시키는 제 1 콘택홀을 포함하는 보호막을 형성하는 단계와, 상기 보호막 상에 상기 구동 박막 트랜지스터와 접속되는 화소 전극과, 상기 스위칭 박막 트랜지스터의 채널 영역과 중첩되도록 형성된 제 1 차광 패턴과, 상기 구동 박막 트랜지스터의 채널 영역과 중첩되도록 제 2 차광 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

## 효 과

[0010] 본 발명에 따른 유기발광 표시장치 및 그 제조방법은 다음과 같은 효과가 있다.

[0011] 제 1 및 제 2 차광 패턴이 채널 영역을 가려줌으로써 상부 기판에서 발광된 빛이 셀 내부로 산란되어 반도체층으로 광이 흡수되는 것을 방지하며 이에 따라, 오프 커런트(Off Current)로 인한 액정표시장치의 수명 단축, 블랙 특성 저하 및 잔상 악화 등의 문제점을 해결할 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0012] 도 1은 본 발명에 따른 유기발광 표시장치의 기본 화소에 대한 등가 회로도이다.

[0013] 도 1에 도시된 유기발광 표시장치 한 화소는 게이트 라인(GL)과 수직하게 교차하는 데이터 라인(DL)과, 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 스위칭 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T1)와 전원 라인(PL) 사이에서 유기발광 다이오드(E)와 접속된 구동 박막 트랜지스터(T2)와, 구동 박막 트랜지스터(T2)의 게이트 전극과 전원 라인(PL) 사이에 접속된 스토리지 캐패시터(C)를 구비한다.

[0014] 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)의 스캔 신호에 응답하여 데이터 라인(DL)의 데이터 신호를 구동 박막 트랜지스터(T2)의 게이트 전극(30) 및 스토리지 캐패시터(C)에 공급한다. 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)로부터 데이터 신호에 응답하여 전원 라인(PL)으로부터 유기발광 다이오드(E)로 공급되는 전류를 조절하여 유기발광 다이오드(E)의 밝기를 제어한다. 스토리지 캐패시터(C)는 스위칭 박막 트랜지스터(T1)로부터의 데이터 신호를 충전하고, 충전된 전압을 구동 박막 트랜지스터(T2)에 공급하여 스위칭 박막 트랜지스터(T1)가 오프(OFF)되더라도 구동 박막 트랜지스터(T2)가 일정한 전류를 공급할 수 있다.

[0015] 이와 같은 유기발광 표시장치는 한 화소를 구성하는 3색(R, G, B) 서브 화소 각각을 독립적으로 구동하여 동영상 표시하기에 적합한 액티브 매트릭스 타입을 중심으로 발전되고 있다. 액티브 매트릭스 OLED(이하, AMOLED) 표시장치의 각 서브 화소는 양극 및 음극 사이의 유기 발광층으로 구성된 OLED와, OLED를 독립적으로 구동하는 서브 화소 구동부를 구비한다. 서브 화소 구동부는 적어도 2개의 박막 트랜지스터와 스토리지 캐패시터를 포함하여 데이터 신호에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 밝기를 제어한다. OLED는 양극과 음극 사이에 유기물로 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층을 포함한다. 양극과 음극 사이에 순방향 전압이 인가되면 음극으로부터의 전자가 전자 주입층 및 전자 수송층을 통해 발광층으로 이동하고, 양극으로부터의 정공이 정공 주입층 및 정공 수송층을 통해 발광층으로 이동한다. 발광층은 전자 수송층으로부터의 전자와 정공 수송층으로부터의 정공의 재결합으로 빛을 방출하고, 밝기는 양극과 음극 사이에 흐르는 전류량에 비례한다.

[0016] 도 2는 본 발명의 실시예에 따른 듀얼 플레이트 타입의 유기발광 표시장치를 나타내는 평면도이며, 도 3은 도 2에 도시된 I-I' 내지 II-II' 선에 따른 유기발광 표시장치를 나타내는 단면도이다.

[0017] 도 2 및 도 3에 도시된 유기발광 표시장치는 서브 화소 구동부 어레이가 형성된 하부 기판(102)과, OLED 어레이가 형성된 상부 기판(202)이 실링재(도시하지 않음)에 의해 합착된 구조를 갖는다.

[0018] 여기서 서브 화소 구동부 어레이는 화상 표시부를 구성하는 다수의 서브 화소의 서브 화소 구동부들을 포함하고, OLED 어레이는 다수의 서브 화소의 OLED들을 포함한다.

[0019] 하부 기판(102)은 제 1 절연 기판(100)에 형성된 다수의 신호 라인과 박막 트랜지스터를 포함하는 서브 화소 구동부 어레이를 포함한다.

[0020] 각 서브 화소에 형성된 서브 화소 구동부는 주로 2개의 박막 트랜지스터와 하나의 캐패시터를 포함한다. 예를 들면, 게이트 라인(GL)의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 데이터 신호를 공급하는 스위칭 박막 트랜지스터(T1)와, 스위칭 박막 트랜지스터(T1)로부터의 데이터 신호에 응답하여 OLED를 흐르는 전류량을 제어하는 구동 박막 트랜지스터(T2)와, 스위칭 박막 트랜지스터(T1)가 턴-오프되더라도 구동 박막 트랜지스터(T

2)를 통해 일정한 전류가 흐르게 하는 스토리지 커패시터(C)를 포함한다.

- [0021] 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)과 접속된 제 1 게이트 전극(104), 제 1 게이트 전극(104)이 형성된 제 1 절연 기판(100) 전면에 형성된 게이트 절연막(112)과, 게이트 절연막(112) 상에 제 1 게이트 전극(104)과 중첩되게 형성된 제 1 반도체층(108)과, 데이터 라인(DL)에서 분기되어 제 1 반도체층(108) 상에 형성되는 제 1 소스 전극(110a), 제 1 소스 전극(110a)과 채널을 사이에 두고 마주하며 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(140)과 접속된 제 1 드레인 전극(110b)과, 보호막(130) 상에 채널 영역과 중첩되도록 형성된 제 1 차광 패턴(133)으로 구성된다. 제 1 드레인 전극(110b)은 게이트 절연막(112)을 사이에 두고 수평 전원 라인(148)과 중첩되어 스토리지 캐패시터(C)를 형성한다.
- [0022] 제 1 반도체층(108)은 제 1 오믹 콘택층(108a) 및 제 1 활성층(108b)로 구성된다.
- [0023] 이러한 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)의 스캔 신호에 응답하여 데이터 라인(DL)의 데이터 신호를 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(140) 및 스토리지 캐패시터(C)에 공급한다.
- [0024] 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(110b)과 제 1 연결 전극(157)을 통해 전기적으로 접속된 제 2 게이트 전극(140), 제 2 게이트 전극(140)과 중첩되게 형성된 제 2 반도체층(109)과, 제 2 반도체층(109) 상에 수직 전원 라인(152)으로부터 돌출되어 형성된 제 2 소스 전극(142a), 제 2 소스 전극(142a)과 채널을 사이에 두고 마주하며 제 1 콘택홀(180)을 통해 화소 전극(155)과 접속된 제 2 드레인 전극(142b)과, 보호막(130) 상에 채널 영역과 중첩되도록 형성된 제 2 차광 패턴(178)으로 구성된다. 제 2 소스 전극(142a)은 제 2 드레인 전극(142b)을 감싸도록 형성된다.
- [0025] 제 2 반도체층(109)은 제 2 오믹 콘택층(109a) 및 제 2 활성층(109b)로 구성된다. 제 1 연결 전극(157)은 제 2 콘택홀(160)에 의해 노출된 제 2 게이트 전극(140)과 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(110b)을 전기적으로 연결한다. 제 1 연결 전극(157)과 제 2 게이트 전극(140) 및 제 1 드레인 전극(110b) 각각과의 중첩 면적은 동일하다.
- [0026] 이러한 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)로부터 데이터 신호에 응답하여 수직 및 수평 전원 라인(152, 148)으로부터 유기발광 다이오드(OLED)로 공급되는 전류를 조절한다.
- [0027] 제 1 및 제 2 차광 패턴(133, 178)은 보호막(130) 상에서 50Å~1000Å의 두께로 플로팅되어 형성되며 불투명 금속층의 단일층이나, 투명 도전층 및 불투명 금속층의 복수층으로 형성될 수도 있다. 불투명 금속층으로는 코발트(Co), 니켈(Ni), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 크롬(Cr), 탄탈륨(Ta), 텅스텐(W) 및 백금(Pt)으로 이루어진 군 또는 이들의 조합으로 형성되며, 투명 도전층으로는 인듐주석 산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide : ITZO) 등으로 형성된다. 복수층으로 형성될 경우, 최하층은 부식 등에 강한 불투명 금속층으로 형성하고, 최상층은 전도도가 좋은 투명 도전층으로 형성하는 것이 바람직하다. 제 1 및 제 2 차광 패턴(133, 178)은 보호막(130) 상에 채널 영역을 가릴 수 있는 크기로 형성되며, 바람직하게 제 2 차광 패턴은 3~10μm의 폭으로 형성되며 화소 전극과 이격되도록 형성한다.
- [0028] 이와 같이, 제 1 및 제 2 차광 패턴이 채널 영역을 가려줌으로써 상부 기판(202)에서 발광된 빛이 셀 내부로 산란되어 반도체층(108, 109)으로 광이 흡수되는 것을 방지하며 이에 따라, 오프 커런트(Off Current)로 인한 역정표시장치의 수명 단층 및 잔상 악화 등의 문제점을 해결할 수 있다.
- [0029] 수직 전원 라인(152)은 데이터 라인(DL)과 동일한 물질로 데이터 라인(DL)과 나란한 방향으로 형성되고, 수평 전원 라인(148)은 게이트 라인(GL)과 동일한 물질로 게이트 라인(GL)과 나란한 방향으로 형성된다. 제 3 콘택홀(170)을 통해 노출된 수평 전원 라인(148)은 제 2 연결 전극(159)을 통해 수직 전원 라인(152)과 전기적으로 연결된다. 제 2 연결 전극(159)과 수직 및 수평 전원 라인(152, 148) 각각과의 중첩 면적은 동일하다.
- [0030] 스토리지 캐패시터(C)는 수평 전원 라인(148)과 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(110b)이 게이트 절연막(112)을 사이에 두고 중첩됨으로써 형성된다. 이러한 스토리지 캐패시터(C)는 스위칭 박막 트랜지스터(T1)로부터의 데이터 신호를 충전하고, 충전된 전압을 구동 박막 트랜지스터(T2)에 공급하여 스위칭 박막 트랜지스터(T1)가 오프(OFF)되더라도 구동 박막 트랜지스터(T2)가 일정한 전류를 공급할 수 있도록 한다.
- [0031] 상부 기판(202)은 하부 기판(102)의 서브 화소 구동부와 접속된 제 1 전극(190)과, 제 1 전극(190)과 유기 발광층(187)을 사이에 두고 형성된 제 2 전극(175)을 포함하는 OLED 어레이가 제 2 절연 기판(200)에 형성된 구조를 구비한다.

- [0032] OLED의 제 2 전극(175)은 제 2 절연 기관(200) 전면에서 형성되고, 유기 발광층(187)으로부터의 빛을 투과시키기 위하여 투명 도전층으로 형성된다. 제 2 전극(175)의 하부로 화상을 표시하는 액티브 영역에 각 서브 화소 단위로 분리시키는 격벽(181)과, 제 1 전극(190)을 하부 기관(102)과 접촉시키기 위한 스페이서(184)가 형성되며 제 1 전극(190)은 스페이서(184)를 감싸도록 유기 발광층(187) 전면에서 형성된다. 격벽(181)은 각 서브 화소를 감싸도록 형성되며, 격벽(181)으로 둘러싸인 내부에는 각 서브 화소별로 적색(R), 녹색(G), 청색(B)을 발광하는 유기 발광층(187)이 형성되어 있다. 여기서, 격벽(181) 및 스페이서(184) 하부에는 격벽(181) 및 스페이서(184) 각각의 면적보다 큰 면적의 절연막 패턴(177, 179)을 형성하게 되는데, 이는 제 2 전극(175)을 증착하는 공정 중 제 1 전극(190)과 제 2 전극(175)의 접촉 불량을 방지하기 위한 목적으로 형성한다.
- [0033] 스페이서(184)는 상부 및 하부 기관(202, 102)의 셀갭 높이로 격벽(181)보다 상대적으로 높게 형성되며 상부 및 하부 기관(202, 102)에서 전기적인 접속이 필요한 부분, 즉 각 서브 화소 구동부와 OLED의 접속 부분에만 정렬되어 기둥형태로 형성된다. 또한, 격벽(181)의 측면은 그 위에 형성되는 유기 발광층(187)과 제 1 전극(190)의 분리를 위하여 역테이퍼 형상을 갖는다. 다시 말하여, 스페이서(184)는 절연막 패턴(177, 179)과 접촉하는 밑면으로부터 위로 갈수록 폭이 점진적으로 감소하여 순방향의 경사면을 갖지만, 격벽(181)은 절연막 패턴(177, 178)과 접촉하는 밑면으로부터 위로 갈수록 폭이 점진적으로 증가하여 역방향의 경사면을 갖는다. 따라서, 격벽(181)의 측면에는 유기 발광층(187) 및 제 1 전극(190)이 증착되지 않고 평면적으로 격벽(181)의 상부와 제 2 전극(175)의 상부에만 형성되게 된다.
- [0034] 그리고, 유기 발광층(187)은 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층을 포함한다.
- [0035] 여기서, OLED의 제 1 전극(190)은 양극 및 음극 중 어느 하나의 전극으로 이용되고, 제 2 전극(175)은 나머지 전극으로 이용된다.
- [0036] 이와 같이, 서브화소 구동부 어레이가 형성된 하부 기관(102)과 OLED 어레이가 형성된 상부 기관(202)은 실링재(도시하지 않음)를 통해 합착되고, 이에 따라 상부 기관(202)의 스페이서(184) 상의 제 1 전극(190)이 하부 기관(102)의 화소 전극(155)과 전기적으로 연결된다.
- [0037] 도 4a 내지 도 4d는 도 3에 도시된 유기발광 표시장치의 하부 기관의 제조공정을 나타낸 단면도들이다.
- [0038] 도 4a를 참조하면, 제 1 절연 기관(100) 상에 게이트 라인(GL), 제 1 게이트 전극(104), 수평 전원 라인(148) 및 제 2 게이트 전극(140)을 포함하는 게이트 패턴을 형성한다.
- [0039] 구체적으로, 제 1 절연 기관(100) 상에 게이트 금속층을 스퍼터링 등의 증착 방법으로 형성한다. 이어서, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝하여 게이트 라인(GL), 제 1 게이트 전극(104), 수평 전원 라인(148) 및 제 2 게이트 전극(140)을 포함하는 게이트 패턴을 형성한다.
- [0040] 게이트 금속층은 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 형성된다.
- [0041] 도 4b를 참조하면, 게이트 패턴 상에 게이트 절연막(112)과, 활성층(108b, 109b) 및 오믹 콘택층(108a, 109a)으로 이루어진 제 1 및 제 2 반도체층(108, 109)을 포함하는 반도체 패턴과, 데이터 라인(DL), 제 1 드레인 전극(110b) 및 소스 전극(110a), 제 2 드레인 전극(142b) 및 소스 전극(142a)을 포함하는 소스/드레인 패턴이 순차적으로 형성된다.
- [0042] 구체적으로, 게이트 패턴을 포함하는 제 1 절연 기관(100) 전면에서 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 게이트 절연막(112), 비정질실리콘(a-Si)층 및 불순물(n+)이 도핑된 비정질 실리콘층을 순차적으로 증착한 후, 포토리소그래피 공정 및 식각 공정으로 비정질 실리콘(a-Si)층 및 불순물(n+)이 도핑된 비정질 실리콘층을 패터닝하여 활성층(108b, 109b) 및 오믹 콘택층(108a, 109a)으로 이루어진 제 1 및 제 2 반도체층(108, 109)을 포함하는 반도체 패턴이 형성된다.
- [0043] 제 1 반도체층(108)은 제 1 게이트 전극(104)과 중첩되고, 제 2 반도체층(109)은 제 2 게이트 전극(140)과 중첩되어 형성된다.
- [0044] 이어서, 반도체 패턴을 포함하는 게이트 절연막(112) 상에 소스/드레인 금속층을 스퍼터링 등의 증착 방법으로 증착한 후, 포토리소그래피 공정 및 식각 공정으로 소스/드레인 금속층을 패터닝 하여 데이터 라인(DL), 수직 전원 라인(도 2의 152), 제 1 드레인 전극(110b) 및 소스 전극(110a), 제 2 드레인 전극(142b) 및 소스 전극(142a)을 포함하는 소스/드레인 패턴을 형성한다.

- [0045] 이어서, 건식 식각 공정을 통해 제 1 소스 전극(110a) 및 제 1 드레인 전극(110b) 사이로 노출된 제 1 오믹 콘택층(108a)과, 제 2 소스 전극(142a) 및 제 2 드레인 전극(142b) 사이로 노출된 제 2 오믹 콘택층(109a)이 제거된다.
- [0046] 게이트 절연막(112)의 재료로는 산화 실리콘(SiO<sub>x</sub>) 또는 질화 실리콘(SiN<sub>x</sub>) 등의 무기 절연물질이 이용된다.
- [0047] 소스/드레인 금속층은 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti), 몰리타늄 합금(MoTi), 몰리니오븀 합금(MoNb), 타이아늄니오븀 합금(TiNb) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 형성된다.
- [0048] 도 4c를 참조하면, 소스/드레인 패턴 상에 제 1 내지 제 3 콘택홀(180, 160, 170)을 포함하는 보호막(130)이 형성된다.
- [0049] 구체적으로, 데이터 라인(DL), 수직 전원 라인(도 2의 152), 제 1 드레인 전극(110b) 및 소스 전극(110a), 제 2 드레인 전극(142b) 및 소스 전극(142a)을 포함하는 소스/드레인 패턴이 형성된 게이트 절연막(112) 상에 보호막(130)이 형성된다. 이어서, 보호막(130) 상에 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝하여 제 2 드레인 전극(142b)을 노출하는 제 1 콘택홀(180)과, 서로 마주보는 제 2 게이트 전극(140) 및 제 1 드레인 전극(110b)의 끝단부를 노출하는 제 2 콘택홀(160)과, 수평 전원 라인(148)을 노출하는 제 3 콘택홀(도 2의 170)이 형성된다.
- [0050] 보호막(130)은 게이트 절연막(112)과 같은 무기 절연물질이 PECVD 등의 증착 방법으로 증착되어 형성되거나, 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobuten), PFCB(Perfluorocyclobutane), 테프론(teflon), 사이토프(Cytop) 등과 같은 유기 절연물질이 스핀 또는 스핀리스 등의 코팅 방법으로 코팅되어 형성된다.
- [0051] 도 4d를 참조하면, 보호막(130) 상에 화소 전극(155), 제 1 및 제 2 차광 패턴(133, 178), 제 1 및 제 2 연결 전극(157, 도 2의 159)이 형성된다.
- [0052] 구체적으로, 보호막(130) 상에 불투명 금속층의 단일층이나, 투명 도전층 및 불투명 금속층의 복수층을 증착한 후 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝하여 제 1 콘택홀(180)을 통해 노출된 제 2 드레인 전극(142b)은 화소 전극(155)과 전기적으로 연결되며, 제 2 콘택홀(160)을 통해 노출된 제 2 게이트 전극(140)은 제 1 연결 전극(157)을 통해 제 1 드레인 전극(110b)과 전기적으로 연결되며, 제 3 콘택홀(도 2의 170)을 통해 노출된 수평 전원 라인(148)은 제 2 연결 전극(도 2의 159)을 통해 수직 전원 라인(도 2의 152)과 전기적으로 연결된다.
- [0053] 제 1 소스 및 드레인 전극(110a, 110b) 사이의 채널 영역과 중첩되도록 보호막(130) 상에 제 1 차광 패턴(133)을 형성하고, 제 2 소스 및 드레인 전극(142a, 142b) 사이의 채널 영역과 중첩되도록 보호막(130) 상에 제 2 차광 패턴(178)을 형성한다.
- [0054] 제 1 및 제 2 차광 패턴(133, 178)은 50Å~1000Å의 두께로 보호막(130) 상에 형성되며, 불투명 금속층으로는 코발트(Co), 니켈(Ni), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 크롬(Cr), 탄탈륨(Ta), 텅스텐(W) 및 백금(Pt)으로 이루어진 군 또는 이들의 조합으로 형성되며, 투명 도전층으로는 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide : ITZO) 등으로 형성된다. 복수층으로 형성될 경우, 최하층은 부식 등에 강한 불투명 금속층으로 형성하고, 최상층은 전도도가 좋은 투명 도전층으로 형성하는 것이 바람직하다. 제 1 및 제 2 차광 패턴(133, 178)은 보호막(130) 상에서 채널 영역을 가릴 수 있는 크기로 형성되며, 바람직하게 제 2 차광 패턴은 3~10μm의 폭으로 형성되며 화소 전극과 이격되도록 형성한다.
- [0055] 이와 같이, 제 1 및 제 2 차광 패턴이 채널 영역을 가려줌으로써 상부 기관(202)에서 발광된 빛이 셀 내부로 산란되어 반도체층(108, 109)으로 광이 흡수되는 것을 방지하며 이에 따라, 오프 커런트(Off Current)로 인한 액정표시장치의 수명 단층 및 잔상 악화 등의 문제점을 해결할 수 있다.
- [0056] 여기서, 서로 다른 층에 형성된 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(110b) 및 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(140)과, 수평 전원 라인(148) 및 수직 전원 라인(152)을 하나의 콘택홀을 통해 전기적으로 연결시킴으로써, 콘택부의 면적을 감소시키고 개구율을 향상시켜 휘도를 높일 수 있다. 또한, 복수의 콘택홀을 식각할 경우, 식각한 부산물이 장비 내에 많이 발생하고 이로 인해 장비 세척 공정이 자주 이루어져야 하므로 공정 진행이 지연되는 문제점을 해결할 수 있다.

[0057] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 도면의 간단한 설명

[0058] 도 1은 본 발명에 따른 유기발광 표시장치의 기본 화소에 대한 등가 회로도이다.

[0059] 도 2는 본 발명의 실시예에 따른 듀얼 플레이트 타입의 유기발광 표시장치를 나타내는 평면도이다.

[0060] 도 3은 도 2에 도시된 I-I' 내지 II-II' 선에 따른 유기발광 표시장치를 나타내는 단면도이다.

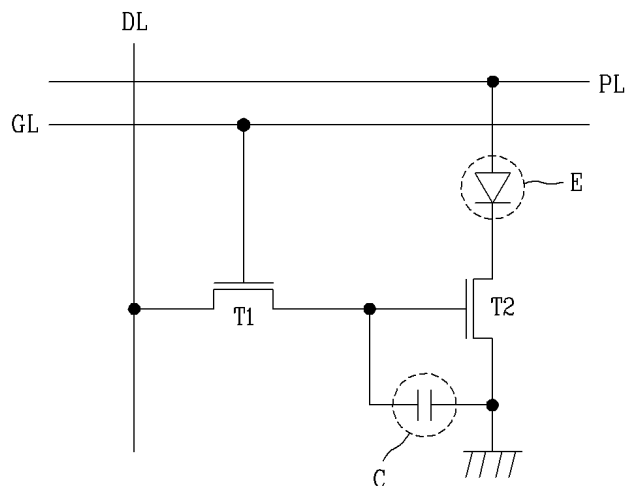
[0061] 도 4a 내지 도 4d는 도 3에 도시된 유기발광 표시장치의 하부 기관의 제조공정을 나타낸 단면도들이다.

[0062] < 도면의 주요 부분에 대한 부호의 설명 >

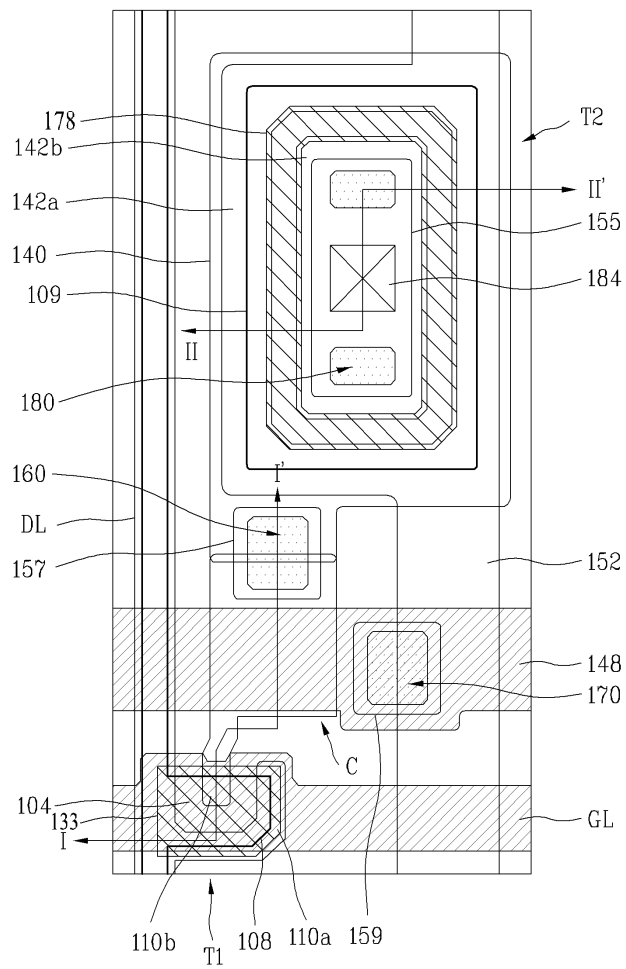
|        |                  |                              |
|--------|------------------|------------------------------|
| [0063] | 100, 200 : 절연 기판 | 104 : 제 1 게이트 전극             |
| [0064] | 108, 109 : 반도체층  | 110a, 110b : 제 1 소스 및 드레인 전극 |
| [0065] | 112 : 게이트 절연막    | 130 : 보호막                    |
| [0066] | 140 : 제 2 게이트 전극 | 142a, 142b : 제 2 소스 및 드레인 전극 |
| [0067] | 148 : 수평 전원 라인   | 152 : 수직 전원 라인               |
| [0068] | 155 : 화소 전극      | 160, 170, 180 : 콘택홀          |
| [0069] | 157, 159 : 연결 전극 | 133, 178 : 차광 패턴             |

### 도면

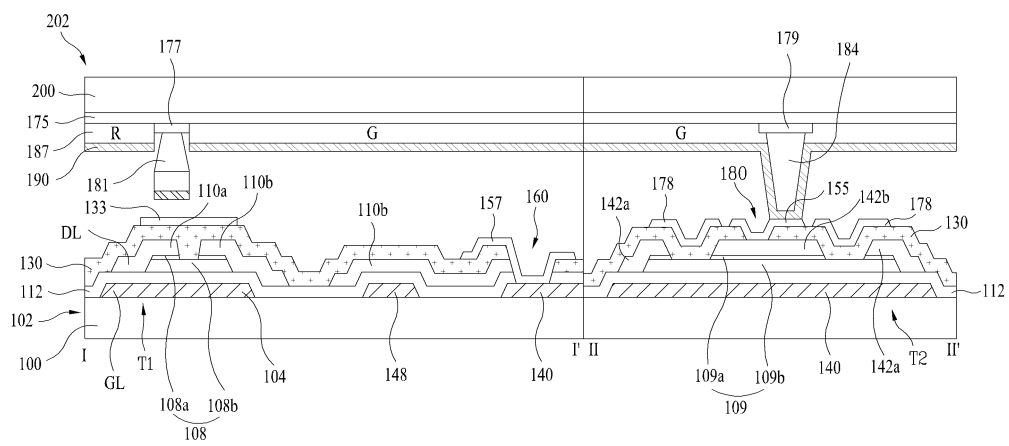
#### 도면1



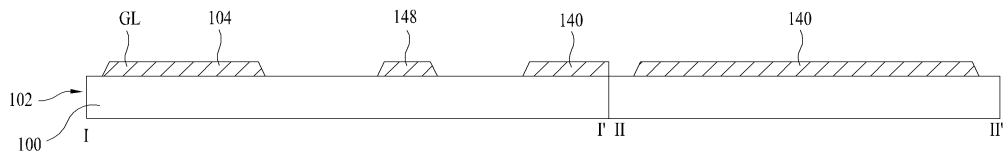
도면2



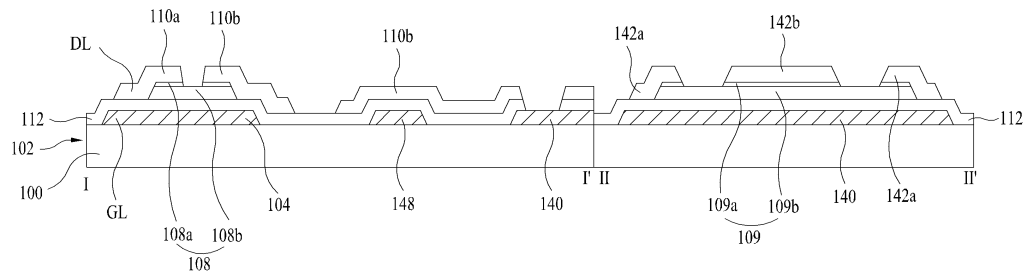
도면3



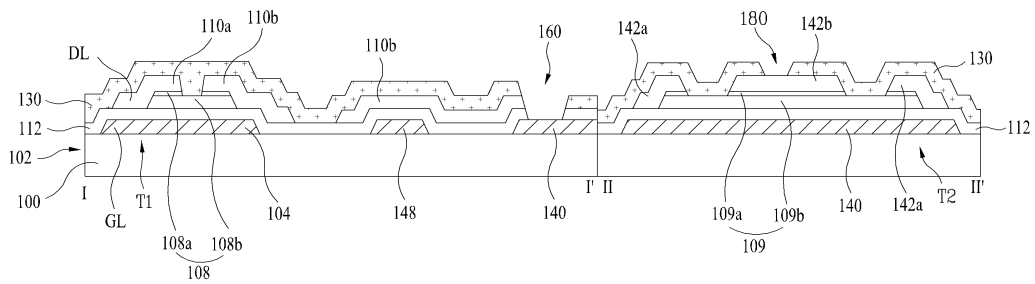
도면4a



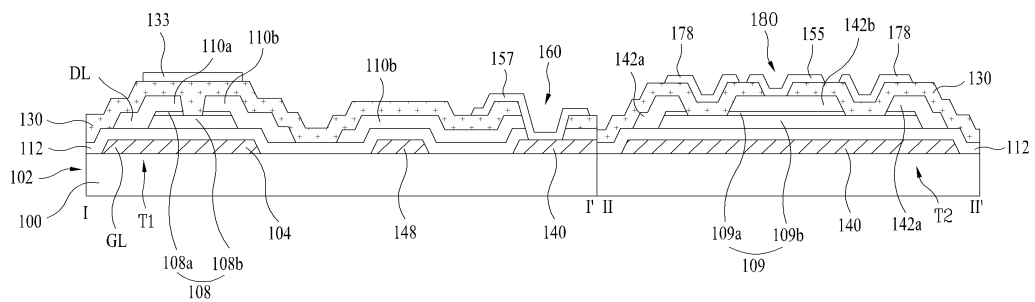
도면4b



도면4c



도면4d



|                |                                                                                       |         |            |
|----------------|---------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 有机发光显示器及其制造方法                                                                         |         |            |
| 公开(公告)号        | <a href="#">KR1020100011525A</a>                                                      | 公开(公告)日 | 2010-02-03 |
| 申请号            | KR1020080072779                                                                       | 申请日     | 2008-07-25 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                              |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                             |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                             |         |            |
| [标]发明人         | CHOI HYE YOUNG<br>최혜영<br>YANG MI YOUN<br>양미연<br>KIM KWAN SOO<br>김관수                   |         |            |
| 发明人            | 최혜영<br>양미연<br>김관수                                                                     |         |            |
| IPC分类号         | H05B33/22 H01L51/50                                                                   |         |            |
| CPC分类号         | H01L51/442 H01L2027/11879 H01L2924/01027 H01L2924/01028 H01L2924/01042 H01L2924/13069 |         |            |
| 代理人(译)         | 金勇<br>年轻的小公园                                                                          |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                             |         |            |

# 摘要(译)

本发明涉及有机发光显示装置及其制造方法。并且它包括限定基板上的像素区域的栅极线和驱动薄膜晶体管，驱动薄膜晶体管连接到开关薄膜晶体管，它连接到开关薄膜晶体管，开关薄膜晶体管连接到栅极线和数据线。栅极线连接到数据线和有机发光二极管，在像素区域中与驱动薄膜晶体管和像素电极连接，通过漏极和驱动薄膜晶体管的第一接触孔连接，第一遮光图案形成为与开关薄膜晶体管的沟道区域和第二遮光图案重叠，第二遮光图案形成为与驱动薄膜晶体管的沟道区域重叠。有机发光显示装置，DOD和cff电流。

