



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0050950
(43) 공개일자 2009년05월20일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0111521

(22) 출원일자 2008년11월11일

심사청구일자 없음

(30) 우선권주장

JP-P-2007-296572 2007년11월15일 일본(JP)

(71) 출원인

소니 가부시키 가이샤

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

사가와 히로시

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키 가이샤내

우치노 가쓰히데

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키 가이샤내

(74) 대리인

유미특허법인

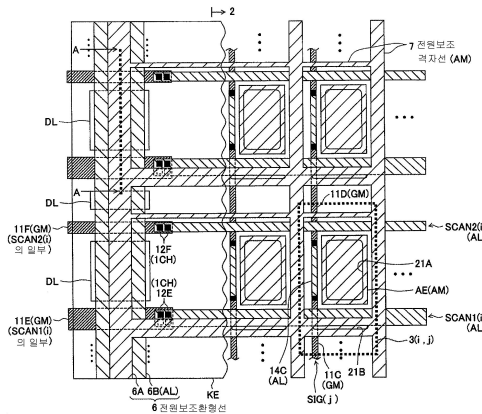
전체 청구항 수 : 총 5 항

(54) 유기 전계 발광 표시 장치

(57) 요약

본 발명은, 전원 보조 환형선과 신호선이나 주사선의 교차 부분에서, "단절(disconnection)"이나 "에어 홀(air hole)"의 발생을 방지할 수 있는 유기 전계 발광 표시 장치에 관한 것으로서, 복수개의 신호선(SIG(j)), 복수개의 주사선(SCAN1(i), SCAN2(i)), 복수개의 화소 회로(3(i,j)), 전원 보조 환형선(6), 및 더미 배선(DL)을 가진다. 각 화소 회로(3(i,j))는, 유기 전계 발광 소자(유기 발광 다이오드(OLED))를 포함한다. 전원 보조 환형선(6)은, 유기 발광 다이오드(OLED)에 전계를 인가하는 2개의 전극의 한쪽(예를 들면, 캐소드 전극(KE))에 전기적으로 접속되고 화소 어레이(2)를 에워싸고 링형으로 배치되어 있다. 더미 배선(DL)은, 복수개의 주사선(또는 복수개의 신호선)과 전원 보조 환형선(6)이 교차하는 복수개의 교차 부분 사이에 있어서 전원 보조 환형선(6)의 하층에 형성되고, 근접하는 주사선 등과 절연 분리되어 있다.

대표도 - 도5



특허청구의 범위

청구항 1

복수개의 신호선과 복수개의 주사선의 각 교차 부분에 각각 배치되고, 각각이 유기 전계 발광(유기 EL) 소자를 포함하고, 화소마다 설치되는 복수개의 화소 회로와,

상기 유기 EL 소자에 전계를 인가하는 2개의 전극의 한쪽과 전기적으로 접속되고, 상기 복수개의 화소 회로의 배치 영역을 에워싸고 링형으로 배치되는 전원 보조 환형선과,

상기 복수개의 신호선, 상기 복수개의 주사선 중 적어도 한쪽과 상기 전원 보조 환형선이 교차하는 복수개의 교차 부분의 사이에 있어서 상기 전원 보조 환형선의 하층에 형성되고, 근접하는 상기 신호선 또는 상기 주사선과 절연 분리된 복수개의 더미 배선

을 구비하는 유기 전계 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 복수개의 더미 배선의 각각은, 상기 전원 보조 환형선의 배선 방향에서의, 적어도 2부분에서, 상층의 상기 전원 보조 환형선에 전기적으로 접속되고, 상기 전원 보조 환형선의 배접(backing) 배선으로 되어 있는, 유기 전계 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 복수개의 화소 회로 각각에, 상기 유기 EL 소자보다 하층의 박막 반도체층과 게이트 전극층에 형성된 박막 트랜지스터(TFT)를 소정수 포함하고,

상기 교차 부분의 상기 복수개의 신호선 또는 상기 복수개의 주사선, 및 상기 복수개의 더미 배선은, 상기 박막 반도체층과 상기 게이트 전극층의 각 형성 시에 적층되는 적어도 2개의 도전층을 포함하여 구성되는, 유기 전계 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 유기 EL 소자는, 하층 전극과, 유기 다층막과, 상층 전극을 적층하여 형성되고,

상기 하층 전극과 동일 계층의 배선층으로 형성되고, 각 화소 회로의 주위를 에워싸고, 상기 상층 전극과 전기적으로 접속되는 격자형의 전원 보조 격자선을 포함하고,

상기 전원 보조 격자선과 상기 전원 보조 환형선이 동일 계층의 배선층에 의해 형성되고,

상기 복수개의 신호선 또는 상기 복수개의 주사선은, 그 각 단부가, 보다 하층에서 상기 더미 배선과 동일 계층의 브리지선에 접속되어 연장되고,

상기 전원 보조 환형선은, 복수개의 상기 브리지선 각각에 대하여, 절연막을 통하여 교차하는, 유기 전계 발광 표시 장치.

청구항 5

제4항에 있어서,

상기 복수개의 화소 회로 각각에, 상기 유기 EL 소자로부터 하층의 박막 반도체층과 게이트 전극층에 형성된 박막 트랜지스터(TFT)를 소정수 포함하고,

상기 복수개의 브리지선 및 상기 복수개의 더미 배선은, 상기 박막 반도체층과 상기 게이트 전극층의 각 형성 시에 적층되는 적어도 2개의 도전층을 포함하여 구성되는, 유기 전계 발광 표시 장치.

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은, 2개의 전극 간에 전계를 인가하여 전극 사이의 유기 다층막에 전류를 흘려 자체 발광시키는 유기 전계 발광(EL) 소자를 화소마다 가지는 유기 EL 표시 장치에 관한 것이다.

배경기술

- <2> 유기 EL 표시 장치(유기 EL 디스플레이)는, 복수개의 화소 회로를 매트릭스형으로 배치하는 표시부와, 그 구동부를, 1개의 기판에, TFT(thin film transistor)의 형성 프로세스를 포함하는 반도체 기술을 이용하여 형성한 표시 패널을 가진다. 또는, 표시 패널의 구동 회로는 플렉시블 기판에 의해 제공되어, 양자의 전기적 접속을 행한다.
- <3> 유기 EL 디스플레이의 화소 회로는, 화소 회로 내의 TFT의 특성 불균일에 기인하는 화질 저하를 방지하기 위해, 다양한 것이 제안되어 있다.
- <4> 주된 것으로는, 4트랜지스터(4T)·1커패시터(1C)형, 4T·2C형, 5T·1C형, 3T·1C형, 등이 알려져 있다.
- <5> 상기 어느 타입의 화소 회로도, 유기 EL 소자에 흐르는 전류를 일정하게 제어하는 보정 회로를 내장하고, 이로써 유기 EL 소자의 한쪽 전극의 전위가 특성 불균일에 따라 제어된다. 이에 대하여 다른 쪽 전극에는 공통 전위, 예를 들면, 접지 전압이 화소부의 복수개의 화소에 공통으로 부여된다.
- <6> 따라서, 한쪽 전극의 전위는 어느 정도 보정되지만, 다른 쪽 전극의 전위(접지 전압 등)는 보정되지 않기 때문에, 이 다른 쪽 전극의 전위가 화소부 내에서 불균일해지면, 웨이딩, 크로스토크라는 화질의 저하가 발생한다.
- <7> 여기서, 웨이딩이나 크로스토크는, 일반적으로, 유기 EL 소자에 플러스 측 전원을 공급하는 전원선의 전압 강하로 발생하는 경우가 문제시되는 경우가 많지만, 마이너스 측 전원의 상기 접지 전압 등의 불균일에 의해서도, 이들 화질 저하가 발생한다.
- <8> 웨이딩은, 화소부의 표시행(수평 방향의 화소의 줄)에 있어서, 전원의 공급 측에 가까운 화소와 먼 화소에서, 서서히 화소(구체적으로는 유기 EL 소자)의 휘도차가 변화하는 현상이며, 접지 전압 등의 공통 전위가, 전원선에서 멀어질수록 서서히 상승하도록 한 불균일성을 가지면, 웨이딩이 보다 증강되어 표시 화상에 나타난다.
- <9> 한편, 웨이딩이 생기지 않는 경우라도, 전원으로부터 먼 쪽에 인접하는 행의 인접하는 주목 2화소가 같은 휘도를 표시하려고 해도, 상기 주목 2화소의 각각의 화소가 속하는 인접 화소행에 있어서, 전원으로부터 주목 화소까지 구동 전류의 소비량이 상이하면, 상기 소비량이 많은 화소행의 주목 화소가, 소비량이 적은 행의 주목 화소보다 어렵게 표시되는 현상(크로스토크)이 생기는 경우가 있다. 크로스토크가 생기는 경우, 접지 전압 등의 공통 전위가, 전원선에서 멀어질수록 서서히 상승하도록 한 불균일성을 가지면, 크로스토크가 보다 증강되어 표시 화상에 나타난다.
- <10> 이와 같은 웨이딩이나 크로스토크 등의 표시 불균일을 방지하기 위해, 유기 EL 소자의 공통 전극, 예를 들면, 상부 전극보다 저저항인 보조 배선을 설치하는 것이 제안되어 있다(예를 들면, 특허 문헌 1~ 특허 문헌 3 참조).
- <11> 특허 문헌 1~ 특허 문헌 3에는, 화소의 경계 부근에 형성되고, 화소 개구부의 주위를 에워싸는 격자형 배치의 보조 배선이 개시되어 있다. 이하, 이와 같은 격자형 배치의 보조 배선을 특히 "전원 보조 격자선"이라고 한다.
- <12> 또한, 특허 문헌 2에는, 전원 보조 격자선과 전기적으로 접속되고, 화소 배치 영역의 주위를 에워싸는 링형의 다른 보조 배선(특허 문헌 2에서는 "제2 전극 전원선"이라고 함)을 설치하고 있다. 이 링형 배치의 보조 배선을, 이하, "전원 보조 환형선"이라고 한다.
- <13> [특허 문헌 1] 일본 특허출원 공개번호 2001-195008호 공보
- <14> [특허 문헌 2] 일본 특허출원 공개번호 2002-318553호 공보
- <15> [특허 문헌 3] 일본 특허출원 공개번호 2004-207217호 공보

발명의 내용

해결 하고자하는 과제

- <16> 상기 전원 보조 환형선은 화소부의 주위를 에워싸므로, 화소부로부터 구동부에 접속되고 표시 계조(階調)를 결정하는 영상 신호를 공급하는 신호선이나 주사선(일반적으로는 수평 방향의 표시행 선택선)과 전원 보조 환형선이 교차한다. 일반적으로는, 신호선이나 주사선 상을, 절연막을 통하여 전원 보조 환형선이 직교하는 교차 구조로 된다.
- <17> 여기서, 화소부로부터 구동부에 접속되는, 이른바 신호원(구동부)에 가까운 근원의 부분에서는, 신호선이나 주사선의 배선 저항을 작게 하기 위해 복수개의 배선층이 중첩되어 있는 경우가 많다. 따라서, 일반적으로는, 화소부로부터 구동부에 접속되는 근원 부분의 신호선이나 주사선과 교차할 때, 전원 보조 환형선이 타고넘는(overcome) 단차가 비교적 크고, 이로써 전원 보조 환형선의 일부가 고저항으로 되거나, 또는 "단절(disconnection)"이 생기는 경우가 있다.
- <18> 또한, 전원 보조 환형선의 상층에는, 예를 들면 100도 이하의 저온 CVD에 의해 형성되는 EL 보호막이 형성되지만, 단차 부분에서 EL 보호막에 "에어 홀(air hole)"이 형성되고, 그 부분으로부터 습기나 이물질 등에 의한 오염이 확대되고, 이것이 화소부에까지 영향을 줄 염려도 부정할 수 없다.
- <19> 본 발명은, 전원 보조 환형선과 신호선이나 주사선의 교차 부분에서, 전원 보조 환형선의 "단절"이나 오염의 원인으로 되는 "에어 홀"의 발생을 방지하는 것이다.

과제 해결수단

- <20> 본 발명의 일형태(제1 형태)에 관한 유기 전계 발광 표시 장치는, 복수개의 신호선, 복수개의 주사선, 복수개의 화소 회로, 전원 보조 환형선, 및 복수개의 더미 배선을 가진다.
- <21> 상기 복수개의 화소 회로는, 상기 복수개의 신호선과 상기 복수개의 주사선의 각 교차 부분에 각각 배치되고, 각각이 유기 전계 발광(유기 EL) 소자를 포함하고, 화소마다 설치되어 있다.
- <22> 상기 전원 보조 환형선은, 상기 유기 EL 소자에 전계를 인가하는 2개의 전극의 한쪽과 전기적으로 접속되고, 상기 복수개의 화소 회로의 배치 영역을 에워싸고 링형으로 배치되어 있다.
- <23> 상기 복수개의 더미 배선은, 상기 복수개의 신호선, 상기 복수개의 주사선 중 적어도 한쪽과 상기 전원 보조 환형선이 교차하는 복수개의 교차 부분의 사이에 있어서 상기 전원 보조 환형선의 하층에 형성되고, 근접하는 상기 신호선 또는 상기 주사선과 절연 분리되어 있다.
- <24> 본 발명의 다른 형태(제2 형태)에 관한 유기 전계 발광 표시 장치는, 상기 제1 형태의 특징에 더하여, 상기 복수개의 더미 배선의 각각은, 상기 전원 보조 환형선의 배선 방향에서의, 적어도 2부분에서, 상층의 상기 전원 보조 환형선에 전기적으로 접속되고, 상기 전원 보조 환형선의 배접(backing) 배선으로 되어 있다.
- <25> 본 발명의 다른 형태(제3 형태)에 관한 유기 전계 발광 표시 장치는, 상기 제1 형태의 특징에 더하여, 상기 복수개의 화소 회로 각각에, 상기 유기 EL 소자로부터 하층의 박막 반도체층과 게이트 전극층에 형성된 박막 트랜지스터(TFT)를 소정수 포함하고, 상기 교차 부분의 상기 복수개의 신호선 또는 상기 복수개의 주사선, 및 상기 복수개의 더미 배선은, 상기 박막 반도체층과 상기 게이트 전극층의 각 형성시에 적층되는 적어도 2개의 도전층을 포함하여 구성된다.
- <26> 본 발명의 다른 형태(제4 형태)에 관한 유기 전계 발광 표시 장치는, 상기 제1 형태의 특징에 더하여, 상기 유기 EL 소자가, 하층 전극과, 유기 다층막과, 상층 전극을 적층하여 형성되고, 상기 하층 전극과 동일 계층의 배선층으로 형성되고, 각 화소 회로의 주위를 에워싸고, 상기 상층 전극과 전기적으로 접속되는 격자형의 전원 보조 격자선을 가지고, 상기 전원 보조 격자선과 상기 전원 보조 환형선이 동일 계층의 배선층에 의해 형성되고, 상기 복수개의 신호선 또는 상기 복수개의 주사선은, 그 각 단부가, 보다 하층에서 상기 더미 배선과 동일 계층 브리지선에 접속되어 연장되고, 상기 전원 보조 환형선은, 복수개의 상기 브리지선 각각에 대하여, 절연막을 통하여 교차하고 있다.
- <27> 제4 형태에서는, 바람직하게, 상기 복수개의 화소 회로 각각에, 상기 유기 EL 소자보다 하층의 박막 반도체층과 게이트 전극층에 형성된 박막 트랜지스터(TFT)를 소정수 포함하고, 상기 복수개의 브리지선 및 상기 복수개의 더미 배선은, 상기 박막 반도체층과 상기 게이트 전극층의 각 형성시에 적층되는 적어도 2개의 도전층을 포함하

여 구성되어 있다.

- <28> 전술한 제1 형태에 의하면, 복수개의 더미 배선이, 전원 보조 환형선의 하층에 형성되어 있다. 복수개의 더미 배선은, 전원 보조 환형선이, 복수개의 신호선, 복수개의 주사선 중 적어도 한쪽과 교차하는 교차 부분 사이에, 신호선이나 주사선과 절연 분리되어 형성되어 있다. 그러므로, 전원 보조 환형선을 형성할 때, 그 형성면의 단차가 더미 배선에 의해 완화되어, 보다 평탄화되어 있다. 따라서, 전원 보조 환형선에 "단절"이 쉽게 생기지 않고, 또한 "에어 홀"의 발생도 방지된다.
- <29> 전술한 제2 형태에 의하면, 배선 재료로 이루어지는 더미 배선이, 상층의 전원 보조 환형선과 적어도 2부분에서 접속되어 있다. 그러므로, 전원 보조 환형선 부분에 전위 전송의 하이패스가 형성되고, 이 부분의 배선 저항이 저감되어 있다. 또한, 이 부분의 전원 보조 환형선이 어떠한 원인으로 고저항으로 되거나, 또는 단선된 경우, 더미 배선이 전원 보조 환형선의 대체선으로서 기능하는 용장성(冗長性)이 발휘된다.
- <30> 전술한 제3 형태에 의하면, 교차 부분의 복수개의 신호선 또는 복수개의 주사선, 및 복수개의 더미 배선은, TFT를 구성하는 박막 반도체층과 게이트 전극층과의 각 형성시에 적층되는 적어도 2개의 도전층을 포함하여 구성된다. 그러므로, 신호선 또는 주사선과 더미 배선을 동일 계층에서 동일 높이로 형성할 수 있고, 이로써, 단차의 완화(평탄성)가 보다 높은 것으로 된다.
- <31> 전술한 제4 형태에 의하면, 유기 EL 소자의 하층 전극과, 전원 보조 환형선과 전원 보조 격자선(의 주요부)이 동일 계층의 배선층에 의해 형성되어 있다. 그리고, 복수개의 신호선 또는 복수개의 제어선은, 그 각 단부가, 보다 하층에서 더미 배선과 동일 계층 브리지선으로서 형성되어, 연장되어 있다. 이 브리지선에 대하여, 전원 보조 환형선이 절연막을 통하여 교차하고 있다. 따라서, 전원 보조에 관한 배선층은 1층이며, 이에 유기 EL 소자의 상층 전극층과, TFT의 게이트 전극이나 박막 반도체층이라는 몇개의 도전층이 가해진 간소한 (도전)층 구조에 의해 유기 전계 발광 표시 장치가 형성되어 있다.

효 과

- <32> 본 발명에 의하면, 전원 보조 환형선과 신호선이나 주사선의 교차 부분에서, 전원 보조 환형선의 "단절"이나 오염의 원인으로 되는 "에어 홀"의 발생을 유효하게 방지할 수 있다. 그러므로, 표시 불균일을 방지하여, 불량율이 낮고, 또한 신뢰성이 높은 유기 전계 발광 표시 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- <33> 이하, 본 발명의 실시예를, 전원 보조 환형선과 전원 보조 격자선의 양쪽을 구비하는 유기 EL 디스플레이를 예로 들어 도면을 참조하여 설명한다.
- <34> 《제1 실시예》
- <35> <전체 구성>
- <36> 도 1에, 본 발명의 실시예와 관련된 유기 EL 디스플레이의 주요 구성을 나타낸다.
- <37> 도면에 나타난 유기 EL 디스플레이(1)는, 복수개의 화소 회로(3(i,j))가 매트릭스형으로 배치되어 있는 화소 어레이(2)와, 화소 어레이(2)를 구동시키는 구동 회로를 가진다. 화소 어레이(2)의 크기는, "화소 배치 영역"을 규정한다.
- <38> 구동 회로는, 수직 구동 회로(V스캐너)(4)와, 수평 구동 회로(H스캐너:H.Scan)(5)를 포함한다. V스캐너(4)는, 화소 회로(3)의 구성에 의해 복수개 설치되어 있다. 여기서는 V스캐너(4)가, 수평 화소 라인 구동 회로(Drive Scan)(41)와 기록 신호 주사 회로(Write Scan)(42)를 포함하여 구성되어 있다.
- <39> 도 1에 나타난 화소 회로의 부호 "(3(i,j))"는, 상기 화소 회로가 수직 방향(세로 방향)의 어드레스 i(i= 1,2)와, 수평 방향(가로 방향)의 어드레스 j(j=1, 2,3)를 가지는 것을 의미한다.
- <40> 이들 어드레스 i와 j는 최대값을 각각 "n"와 "m"이라는 1이상의 정수를 취한다. 여기서는 도면의 간략화를 위해 i= 1~2, j= 1~3의 일부분의 화소 어레이(2)만 나타낸다.
- <41> 이 어드레스 표기는, 이후의 설명이나 도면에 있어서 화소 회로의 소자, 신호나 신호선 및 전압 등에 대해서도 마찬가지로 적용한다.
- <42> 화소 회로(3(1,1)), (3(2,1))가 공통된 수직 방향의 제1 신호선(SIG(1))에 접속되어 있다. 마찬가지로, 화소 회

로(3(1,2)), (3(2,2))가 공통된 수직 방향의 제2 신호선(SIG(2))에 접속되고, 화소 회로(3(1,3)), (3(2,3))가 공통된 수직 방향의 제3 신호선(SIG(2))에 접속되어 있다.

<43> 제1 행의 화소 회로(3(1,1)), 3(1,2)) 및 (3(1,3))에 대하여, 공통의 제1 주사선(SCAN1(1))에 의해, 수평 화소 라인 구동 회로(41)으로부터 제1 스캔 신호(제1 표시행의 구동 신호)가 인가 가능하게 되어 있다. 마찬가지로, 제2 행의 화소 회로(3(2,1)), (3(2,2)) 및 (3(2,3))에 대하여, 공통의 제1 주사선(SCAN1(2))에 의해, 수평 화소 라인 구동 회로(41)로부터 제1 스캔 신호(제2 표시행의 구동 신호)가 인가 가능하게 되어 있다. 또한, 제1 행의 화소 회로(3(1,1)), (3(1,2)) 및 (3(1,3))에 대하여, 공통의 다른 제2 주사선(SCAN2(1))에 의해, 기록 신호 주사 회로(42)로부터 제2 스캔 신호(제1 표시행의 샘플링 신호)가 인가 가능하게 되어 있다. 마찬가지로, 제2 행의 화소 회로(3(2,1)), (3(2,2)) 및 (3(2,3))에 대하여, 공통의 다른 제2 주사선(SCAN2(2))에 의해, 기록 신호 주사 회로(42)로부터 제2 스캔 신호(제2 표시행의 샘플링 신호)가 인가 가능하게 되어 있다.

<44> 화소 어레이(2)의 주위에, 화소 어레이(2)를 에워싸는 링형의 전원 보조 환형선(6)이 배치되어 있다.

<45> 또한, 화소 어레이(2) 내에는, 각 화소 회로(3(i,j))의 주위를 각각 에워싸는 격자형의 전원 보조 격자선(7)이 배치되어 있다.

<46> 전원 보조 환형선(6)에 공통 전위, 예를 들면, 접지 전압이 인가 가능하게 되어 있다. 한편, 화소 어레이(2)로부터 외측을 향하는 전원 보조 격자선(7)의 각 선단이, 전원 보조 환형선(6)에 접속되어 있다. 따라서, 전원 보조 환형선(6) 및 전원 보조 격자선(7)은, 이상적으로는, 공통 전위(접지 전압 등)에 유지된다.

<47> <화소 회로>

<48> 도 2에, 화소 회로(3(i,j))의 일구성예를 나타낸다.

<49> 도면에 나타난 화소 회로(3(i,j))는, 발광 소자로서의 유기 발광 다이오드(OLED)를 제어하는 회로이다. 화소 회로는, 유기 발광 다이오드(OLED) 외에, NMOS 타입의 TFT로 이루어지는 구동 트랜지스터(Md) 및 샘플링 트랜지스터(Ms)와 1개의 유지 커패시터(Cs)를 가진다.

<50> 유기 발광 다이오드(OLED)는, 특히 도시하지 않지만, 예를 들면, 투명 유리 등으로 이루어지는 기판 상에, "하층 전극"으로서의 애노드 전극을 형성하고, 그 위에, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등을 차례로 퇴적시켜 유기 다층막을 구성하는 적층체를 형성하고, 이 적층체 상에, "상층 전극"으로서의 캐소드 전극을 형성한 구조를 가진다. 애노드 전극이 플러스 측의 전원에 접속되고, 캐소드 전극이 마이너스 측의 전원에 접속된다.

<51> 그리고, 도 2에서는 유기 발광 다이오드(OLED)의 애노드가 플러스 측의 전원으로부터 전원 전압(VDD)의 공급을 받아 유기 발광 다이오드(OLED)의 캐소드가 기준 전압(VSS), 예를 들면, 접지 전압(GND)에 접속되는 경우를 나타낸다. 단, 유기 발광 다이오드(OLED)를 역바이어스할 필요가 있을 때는, 기준 전압(VSS)이 접지 전압(GND)보다 낮은 전압으로 제어된다.

<52> 유기 발광 다이오드(OLED)의 애노드와 캐소드의 전극 간에 소정의 전계를 얻을 수 있는 바이어스 전압을 인가하면, 주입된 전자와 정공이 발광층에 있어서 재결합할 때 자체 발광한다. 유기 발광 다이오드(OLED)는, 유기 다층막을 구성하는 유기 재료를 적당히 선택함으로써 적색(R), 녹색(G), 청색(B)의 각 색에서의 발광이 가능하므로, 이 유기 재료를, 예를 들면, 각 행의 화소에 R, G, B의 발광이 가능하게 배열함으로써, 컬러 표시가 가능해진다. 또는, 백색 발광의 유기 재료를 사용하여, 필터의 색으로 R, G, B의 구별을 행해도 된다. R, G, B 이외에 W(화이트)를 가한 4색 구성이라도 된다.

<53> 구동 트랜지스터(Md)는, 발광 소자(유기 발광 다이오드(OLED))에 흐르는 전류량을 제어하여 표시 계조를 규정하는 전류 제어 수단으로서 기능한다. 구동 트랜지스터(Md)의 드레인이, 전원 전압(VDD)의 공급을 제어하는 주사선에 접속되고, 소스가 유기 발광 다이오드(OLED)의 애노드에 접속되어 있다.

<54> 샘플링 트랜지스터(Ms)는, 화소 계조를 결정하는 데이터 전위(Vsig)의 공급선(신호선(SIG(j)))과 구동 트랜지스터(Md)의 게이트 사이에 접속되어 있다. 샘플링 트랜지스터(Ms)의 소스와 드레인의 한쪽이 구동 트랜지스터(Md)의 게이트에 접속되고, 또다른 한쪽이 신호선(SIG(j))에 접속되어 있다. 신호선(SIG(j))에, H스캐너(5)(도 1 참조)로부터 데이터 전위(Vsig)를 가지는 데이터 펄스가 인가된다. 샘플링 트랜지스터(Ms)는, 이 데이터 전위 인가 기간(데이터 펄스의 지속 시간(duration time))의 적정한 타이밍에서, 상기 화소 회로에 의해 표시해야 할 레벨의 데이터를 샘플링한다. 이것은, 샘플링해야 할 원하는 데이터 전위(Vsig)를 가지는 데이터 펄스의 앞부분

또는 뒷부분에 있어서의, 레벨이 불안정한 천이(遷移) 기간의 표시 영상에 주는 영향을 배제하기 위해서이다.

- <55> 구동 트랜지스터(Md)의 게이트와 소스(유기 발광 다이오드(OLED)의 애노드) 사이에, 유지 커패시터(Cs)가 접속되어 있다. 유지 커패시터(Cs)의 역할에 대하여는, 후술하는 동작 설명에서 상세히 설명한다.
- <56> 도 2에서는, 도 1의 수평 화소 라인 구동 회로(41)에 의해, GND 전위로부터 전원 전압(VDD)에까지 상승하는 전원 구동 펄스(DS(i))가 구동 트랜지스터(Md)의 드레인에 공급되고, 구동 트랜지스터(Md)의 보정시나 실제로 유기 발광 다이오드(OLED)가 발광할 때의 전원 공급이 행해진다.
- <57> 또한, 도 1의 기록 신호 주사 회로(42)에 의해, 비교적 짧은 지속 시간의 기록 구동 펄스(WS(i))가 샘플링 트랜지스터(Ms)의 게이트에 공급되고, 샘플링 제어가 행해진다.
- <58> 그리고, 전원 공급의 제어는, 구동 트랜지스터(Md)의 드레인과 전원 전압(VDD)의 공급선 사이에 트랜지스터를 하나 더 삽입하고, 그 게이트를 수평 화소 라인 구동 회로(41)에 의해 제어하는 구성이라도 된다.
- <59> 통상, 화소 회로 내의 모든 트랜지스터는 TFT로 형성되어 있다. TFT의 채널이 형성되는 박막 반도체층은, 다결정 실리콘(폴리실리콘) 또는 비정질 실리콘(비정질 실리콘) 등의 반도체 재료로 이루어진다. 폴리실리콘 TFT는 이동도를 높게 취할 수 있지만 특성 불균일이 크기 때문에, 표시 장치의 대화면화에 적합하지 않다. 따라서, 대화면을 가지는 표시 장치에서는, 일반적으로, 비정질 실리콘 TFT가 사용된다. 단, 비정질 실리콘 TFT에서는 P채널형 TFT가 형성되기 어렵기 때문에, 전술한 화소 회로(3(i,j))와 같이, 모든 TFT를 N채널형으로 하는 것이 바람직하다.
- <60> 여기서, 이상의 화소 회로(3(i,j))는, 본 실시예에서 적용 가능한 화소 회로의 일례, 즉 2트랜지스터(2T)·1커패시터(1C)형의 기본 구성예이다. 따라서, 본 실시예에서 사용할 수 있는 화소 회로는, 상기 화소 회로(3(i,j))를 기본 구성으로 하고, 또한 트랜지스터나 커패시터를 부가한 화소 회로라도 된다. 또한, 기본 구성에 있어서, 유지 커패시터(Cs)를 전원 전압(VDD)의 공급선과 구동 트랜지스터(Md)의 게이트 사이에 접속하는 경우도 있다.
- <61> 구체적으로, 본 실시예에서 채용 가능한 2T·1C형 이외의 화소 회로로서, 상세한 구성은 설명을 생략하지만, 예를 들면, 4T·1C형, 4T·2C형, 5T·1C형, 3T·1C형 등이라도 된다.
- <62> <발광 제어 동작의 개략>
- <63> 상기 화소 회로(3(i,j))에 있어서의 개략적인 발광 제어 동작은, 다음과 같다.
- <64> 구동 트랜지스터(Md)의 제어 노드(NDc)에는, 유지 커패시터(Cs)가 결합되어 있다. 신호선(SIG(j))로부터의 신호 전압이 샘플링 트랜지스터(Ms)로 샘플링되고, 이로써, 얻어진 데이터 전위(Vsig)(이하, 특히 샘플링 후의 데이터 전위를 부호 "Vin"에 의해 표기함)가 제어 노드(NDc)에 인가된다.
- <65> 구동 트랜지스터(Md)의 게이트에 소정의 데이터 전위(Vin)가 인가되었을 때, 구동 트랜지스터(Md)의 드레인 전류(IDs)는, 데이터 전위(Vin)에 따른 값을 가지는 게이트 소스간 전압(Vgs)에 따라 정해진다. 따라서, 샘플링 후의 데이터 전위(Vin)에 따른 휘도로 유기 발광 다이오드(OLED)가 발광한다.
- <66> 유기 발광 다이오드(OLED)는, 잘 알려져 있는 바와 같이, 열에 의해 I-V 특성이 변화한다. 이 때, 유기 발광 다이오드(OLED)의 경시(徑時) 변화와 함께 구동 트랜지스터(Md)의 게이트 소스간 전압(Vgs)이 변화되어 버린다.
- <67> 이로써, 유기 발광 다이오드(OLED)에 흐르는 구동 전류(Id)가 변화되고, 그 결과, 소정의 데이터 전위(Vsig)를 샘플링하는 경우라도 발광 휘도가 변화되어 버린다.
- <68> 또한, 화소 회로마다 구동 트랜지스터(Md)의 임계값 전압(Vth), 이동도(μ)가 상이하게 되어 있으므로 드레인 전류(IDs)에 불균일이 생겨, 같은 데이터 전위(Vsig)가 부여되어 있는 화소의 발광 휘도가 변화되어 버린다.
- <69> N채널형의 구동 트랜지스터(Md)를 가지는 화소 회로는, 구동 능력이 높아 제조 프로세스를 간략화할 수 있는 이점이 있지만, 임계값 전압(Vth)이나 이동도(μ)의 불균일을 억제하기 위해, 다음과 같은 보정 동작을, 전술한 발광 제어 동작에 앞서 행할 필요가 있다.
- <70> 샘플링 전에 유지 커패시터(Cs)에 의해, 구동 트랜지스터(Md)의 게이트 전위가, 그 임계값 전압(Vth)의 레벨로 유지된다. 이 예비적인 동작은, "임계값 보정"이라고 한다.
- <71> 임계값 보정 후에, 구동 트랜지스터(Md)의 게이트에 샘플링 후의 데이터 전위(Vin)가 가해지므로 게이트 전위는 "Vth+Vin"으로 되어 유지된다. 이 때의 데이터 전위(Vin)의 크기에 따라 구동 트랜지스터(Md)가 온한다. 임계

값 전압(V_{th})이 크게 온하기 어려운 구동 트랜지스터(Md)의 경우는 " $V_{th}+V_{in}$ "도 크고, 역으로, 임계값 전압(V_{th})이 작아 온하기 쉬운 구동 트랜지스터(Md)의 경우는 " $V_{th}+V_{in}$ "도 작다.

- <72> 따라서, 구동 전류로부터 임계값 전압(V_{th})의 불균일의 영향이 배제되어 데이터 전위(V_{in})가 일정하면, 드레인 전류(I_{ds})(구동 전류(I_d))도 일정해진다.
- <73> 또한, 예를 들면, 데이터 샘플링 전에, 임계값 보정 후에, "이동도(엄밀하게는, 구동력 보정)"를 행한다.
- <74> 이동도 보정에서는, 전압 " $V_{th}+V_{in}$ "가 유지되고 있는 상태에서부터, 또한 구동 트랜지스터(Md)의 전류 구동 능력에 따른 게이트 전위 변화를 행한다. 구동 트랜지스터(Md)의 게이트와 소스 사이에, 구동 트랜지스터(Md)의 전류 채널을 통한 전류에 의해 유지 커패시터를 충전 또는 방전하는 패스가 형성되어 있고, 이 패스에 전류를 흐르게 할 것인지 여부를 제어함으로써 이동도 보정을 행한다.
- <75> 그 후, 이 일정한 전류값으로 구동되어 유기 발광 다이오드(OLED)가 발광한다.
- <76> <평면 및 단면의 구조에>
- <77> 여기서, 화소 회로의 평면 패턴이나 단면 구조에 대하여, 도면을 참조하면서 설명한다.
- <78> 도 3 (A)와 도 3 (B)는, 화소 회로(3(i, j))에 대한 평면 패턴을 나타낸 것이다. 도 3 (B)는, 최상층의 캐소드 전극(전체면 형성)을 생략한 평면도, 도 3 (A)는, 최상층의 캐소드 전극(전체면 형성)을 생략하고, 또한 유기 발광 다이오드(OLED)의 전극이나 유기 다층막을 생략한 제조 도중의 평면도이다. 또한, 도 4 (B)는 TFT부의 기본 단면 구조도, 도 4 (A)는 그 평면도이다.
- <79> 도 4 (B)에 나타낸 바와 같이, 유리 등으로 이루어지는 기판(9) 상에 도시한 바와 같이 직접(또는 베이스층(절연층의 일종)을 통하여), 소정의 게이트 메탈층(GM), 예를 들면, 몰리브덴(Mo) 등의 고용점 금속층으로 이루어지는 게이트 전극(11)이 형성되어 있다.
- <80> 게이트 전극(11)은, 도 3 (A)에 있어서, 구동 트랜지스터(Md)의 게이트 전극(11A), 샘플링 트랜지스터(Ms)의 게이트 전극(11B)에 해당한다. 여기서, 게이트 전극(11A)은, 유지 커패시터(C_s)의 하부 전극으로서도 기능하게 하므로, 유지 커패시터(C_s)의 형성 영역에 넓게 배치되어 있다. 한편, 게이트 전극(11B)의 일단이, 제2 주사선(SCAN2(i))과 접속을 위해, 그 아래쪽으로 연장되어 있다.
- <81> 도 4 (B)의 게이트 전극(11)의 표면을 덮도록, 기판(9) 상에 게이트 절연막(10)이 형성되고, 그 위에, 비정질 실리콘($a-Si$)으로 이루어지는 박막 반도체층(13)이 형성되어 있다.
- <82> 박막 반도체층(13)은, 도 3 (A)에 있어서는, 구동 트랜지스터(Md)의 TFT층(13A), 샘플링 트랜지스터(Ms)의 TFT층(13B)에 해당한다.
- <83> 도 4 (B)의 박막 반도체층(13)은, 그 게이트 전극(11)과 대향하는 부분이 채널 형성 영역이다. 박막 반도체층(13) 상의 채널 형성 영역을 보호하는 위치에, 절연 재료의 채널 보호막(18)이 형성되어 있다. 또한, 채널 보호막(18)에 단부가 올라앉아 박막 반도체층(13)보다 약간 좁은 폭으로(도 4 (A) 참조), 2개의 소스·드레인 전극(14)이 배치되어 있다. 소스·드레인 전극(14)은, 채널 보호막(18) 상에서 서로 이격되어, 그 다른 한쪽이 소스(S) 전극으로서 기능하고, 또다른 한쪽이 드레인(D) 전극으로서 기능한다. 2개의 소스·드레인 전극(14)은, 예를 들면, 알루미늄(AL)을 주재료로 하는 배선층; (AL)층으로 형성되어 있다.
- <84> 도 4의 소스·드레인 전극(14)은, 도 3 (A)에 있어서, 제1 주사선(SCAN1(i))으로부터 분기되고 구동 트랜지스터(Md)의 드레인 전극으로서 기능하는 VDD선(14A), 구동 트랜지스터(Md)의 소스 전극으로서 기능하는 접속 배선(14B)에 해당한다. 접속 배선(14B)은, 유지 커패시터(C_s)의 상부 전극으로서 기능하게 하므로 게이트 전극(11A)의 넓은 면적 부분에 중첩하여 배치되고, 또한 유기 발광 다이오드(OLED)의 애노드 전극과 접속을 위해 패드부를 구비한다.
- <85> 또한, 도 4의 소스·드레인 전극(14)은, 도 3 (A)에 있어서, 샘플링 트랜지스터(Ms)의 드레인 전극으로서 기능하는 접속 배선(14C), 샘플링 트랜지스터(Ms)의 소스 전극으로서 기능하는 접속 배선(14D)에 해당한다. 접속 배선(14C)은, 신호선(SIG(j))의 일부로서도 기능한다. 접속 배선(14D)은, 도 2의 제어 노드(ND_c) 접속을 위해, 그 단부가 유지 커패시터(C_s)의 하부 전극(게이트 전극(11A))의 위쪽으로 뻗어, 1st 콘택트 홀(1CH)의 하나인 콘택트(12A)에 의해, 게이트 전극(11A)과 접속되어 있다.
- <86> 도 4 (B)에 나타낸 바와 같이, 2개의 소스·드레인 전극(14)과 박막 반도체층(13)의 중첩 부분에, P형의 박막

반도체층(13)과 역도전형의 N형 불순물이 고농도로 도입된 소스 불순물 영역(17S)과 드레인 불순물 영역(17D)이 형성되어 있다. 소스 불순물 영역(17S)에 의해, 한쪽의 소스·드레인 전극(14)과 박막 반도체층(13)이 저저항으로 접속된 소스 콘택트가 달성되어 있다. 마찬가지로, 드레인 불순물 영역(17D)에 의해, 다른 소스·드레인 전극(14)과 박막 반도체층(13)이 저저항으로 접속된 드레인 콘택트가 달성되어 있다.

- <87> 도 3 (A)에 있어서, 제1 주사선(SCAN1(i))과 제2 주사선(SCAN2(i))은, 각각 (AL)층으로 형성되고, 셀 내의 행 방향의 대향 변에 따라 서로 평행하게 배치되어 있다.
- <88> 이에 대하여, 신호선(SIG(j))이, 제1 주사선(SCAN1(i))과 제2 주사선 SCAN2(i)과 직교하는 열방향으로 길게 형성되어 있다.
- <89> 신호선(SIG(j))의 셀 내의 부분 거의가, 전술한 바와 같이 (AL)층으로 이루어지는 접속 배선(14C)에 의해 구성되어 있다.
- <90> 신호선(SIG(j))과 제1 주사선(SCAN1(i))의 교차 부분에, 게이트 전극(11)과 같은 계층에서 같은 재료의 층(GM)을 포함하는 브리지선(11C)이 설치되어 있다. 접속 배선(14C)의 일단부는, 2개의 콘택트(1CH(12C))에 의해, 하층의 브리지선(11C)과 접속되고, 브리지선(11C) 상에, 접속 배선(14C)과 같은 계층에서 같은 재료(AL)의 제1 주사선(SCAN1(i))이 교차하고 있다.
- <91> 마찬가지로, 신호선(SIG(j))과 제2 주사선(SCAN2(i))의 교차 부분에, 게이트 전극(11)과 같은 계층에서 같은 재료의 층(GM)을 포함하는 브리지선(11D)이 설치되어 있다. 접속 배선(14C)의 타단부는, 2개의 콘택트(1CH(12D))에 의해, 하층의 브리지선(11D)과 접속되고, 브리지선(11D) 상에, 접속 배선(14C)과 같은 계층에서 같은 재료(AL)의 제2 주사선(SCAN2(i))이 교차하고 있다.
- <92> 도 4 (B)로 돌아오면, 전술한 구조의 TFT를 덮는 TFT 보호막(19)이 퇴적된다. 도 4 (B)에는 도시하지 않지만, TFT 보호막(19) 상에 유기 발광 다이오드(OLED)와 도 1 및 도 2에 나타난 전원 보조 격자선(7)이 형성된다. 전원 보조 격자선(7)은, 도 3 (B)에 나타난 바와 같이, 예를 들면, 화소 경계를 따라 4각 프레임형으로 배치되어 있다. 유기 발광 다이오드(OLED)의 "하층 전극"으로서의 애노드 전극(AE)는, 전원 보조 격자선(7) 내에서 가능한 한 크게 배치되어 있다.
- <93> 전원 보조 격자선(7)과 애노드 전극(AE)은, 본 실시예에서는, 동일 계층의 동일 재료(애노드 메탈층; AM)로 형성된다. 본 실시예에서는 상면 발광형이므로 애노드 메탈층(AM)은, 예를 들면, 크롬(Cr), 철(fe), 코발트(Co), 니켈(Ni), 동(Cu), 탄탈(Ta), 텅스텐(W), 백금(Pt) 또한 금(Au)과 같이, 워크함수가 크고, 또한 반사율이 높은 도전성 재료를 적당히 선택하여 형성할 수 있다.
- <94> 애노드 전극(AE)은, 2nd 콘택트 홀(2CH)의 하나인 콘택트(15)에 의해, 하층의 접속 배선(14B)의 패드부와 접속되어 있다.
- <95> 전원 보조 격자선(7)과 애노드 전극(AE)의 표면을 덮는 EL 보호막(21)(도시하지 않음)이 형성되고, EL 보호막(21)에 개구부(21A)가 설치되어 있다. 개구부(21A)는, 콘택트(15)가 노출되지 않는 범위에서, 애노드 전극(AE) 상에서 가능한 한 크게 형성되어 있다.
- <96> 그리고, 특히 도시하지 않지만, 개구부(21A) 내를 포함하는 범위에 유기 다층막이 형성되고, 또한 유기 다층막에 접속되어, 전체면을 덮도록 캐소드 전극이 형성된다.
- <97> 캐소드 전극은, 전원 보조 격자선(7) 상의 EL 보호막(21) 부분에 설치된 개구부(21B)를 통하여 전원 보조 격자선(7)에 전기적으로 접속된다.
- <98> 도 1 및 도 2에 나타난 바와 같이 전원 보조 격자선(7)은 전원 보조 환형선(6)을 통하여 접지 전압(GND)의 공급선에 접속되므로 유기 발광 다이오드(OLED)의 애노드는 접지된다.
- <99> 도 5는 화소 회로(3(i, j))를 2행 2열분 포함하는 화소 어레이(2)의 일부와 전원 보조 환형선(6)의 접속 부분을 나타낸 평면도이다.
- <100> 도 5에 있어서, 도 3에 나타내고, 이미 설명한 화소 회로 내의 구성은, 동일 부호를 부여하고 있다. 도시한 범위의 전체면에 유기 발광 다이오드(OLED)의 캐소드 전극(KE)이 형성되어 있다. 캐소드 전극(KE)은, 광투과율이 높은 캐소드 메탈층(KM)으로 형성되어 있다. 그러므로, 도 5는 캐소드 전극(KE)의 하층을 투시한 도면으로 되어 있다.

- <101> 상면 발광형의 경우, 캐소드 메탈(KM)은, ITO나 IX0와 같이, 워크함수가 크고, 또한 투과율이 높은 도전성 재료로 구성된다.
- <102> 전원 보조 환형선(6)은, 전원 보조 격자선(7)과 같은 계층에서 같은 재료(애노드 메탈층; AM)의 상부 메탈층(6A)과, 보다 하층의 메탈층, 예를 들면 (AL)로 형성되는 하부 메탈층(6B)을 중첩하여 구성되어 있다. 상부 메탈층(6A)은 전원 보조 격자선(7)과 패턴 상에서 연결되어 있다(일체로 형성되어 있다).
- <103> 각각 (AL)로 형성되는 제1 주사선(SCAN1(i))과 제2 주사선(SCAN2(i))의 단부가, 전원 보조 환형선(6) 가까이 위치하고 있다.
- <104> 이 중 제1 주사선(SCAN1(i))의 단부가, 1st 콘택트(ICH)의 하나인 콘택트(12E)에 의해, 보다 하층의 브리지선(11E)과 접속되어 있다. 브리지선(11E)은, 게이트 메탈층(GM)을 포함하는 도전층이며, 브리지선(11E)의 위쪽에, 도시하지 않은 절연막을 통하여 전원 보조 환형선(6)이 교차하고 있다.
- <105> 마찬가지로, 제2 주사선(SCAN2(i))의 단부가, 1st 콘택트(ICH)의 하나인 콘택트(12F)에 의해, 보다 하층의 브리지선(11F)과 접속되어 있다. 브리지선(11F)은, 게이트 메탈층(GM)을 포함하는 도전층이며, 브리지선(11F)의 위쪽에, 도시하지 않은 절연막을 통하여 전원 보조 환형선(6)이 교차하고 있다.
- <106> 도 6에, 도 5의 A-A선에 따른 단면도를 나타낸다.
- <107> 이 도시한 예서는, 제1 주사선(SCAN1(i))의 브리지선(11E) 상에, 비정질 실리콘(α -Si)으로 이루어지는 박막 반도체층(13E)이 중첩되어 있다. 또한, 도 4 (B)에서는 제거되어 있으므로 나타나 있지 않은, 박막 반도체층(13)의 에칭 스톱퍼막(20E)이 박막 반도체층(13E) 상에 중첩되어 있다.
- <108> 마찬가지로, 제2 주사선(SCAN2(i))의 브리지선(11F) 상에, 박막 반도체층(13F)과 에칭 스톱퍼막(20F)이 중첩되어 있다.
- <109> 본 실시예에 있어서는, 이와 같은 단면 구조를 가지는 2개의 주사선 부분 사이에, 양 주사선 부분과 이격되어 전기적으로 비접속인 더미 배선(DL)이 형성되어 있다.
- <110> 더미 배선(DL)은, 게이트 메탈(GM)로 이루어지는 제1 도전층(11M)과, 그 위에 중첩되고, 비정질 실리콘(α -Si)으로 이루어지는 제2 도전층(13M)을 포함하여 구성되며, 그 위에, 에칭 스톱퍼막(20M)이 중첩되어 있다.
- <111> 이 에칭 스톱퍼막(20M), 및 전술한 에칭 스톱퍼막(20E, 20F)은, 다른 주위의 절연막이 산화 실리콘계인 경우, 이것과 에칭 선택비가 큰 질화 실리콘계의 절연막으로 하면 된다.
- <112> 제1 주사선(SCAN1(i))의 브리지부, 제2 주사선(SCAN2(i))의 브리지부, 및 더미 배선(DL)을 덮어 TFT 보호막(19)이 기판(9) 상에 형성되어 있다. TFT 보호막(19) 상에, 하부 메탈층(6B)과 상부 메탈층(6A)이 중첩되어 전원 보조 환형선(6)이 형성되고, 또한 전원 보조 환형선(6) 상에 캐소드 전극(KE)이 형성되어 있다.
- <113> 상세한 것은 후술하지만, 본 실시예에서는, 이와 같이 더미 배선(DL)이 배치되어 있으므로, 전원 보조 환형선(6)의 "단절", "에어 홀"의 발생이 유효하게 방지된다.
- <114> 《제2 실시예》
- <115> 제2 실시예에서는, 더미 배선(DL) 주위의 구성이 제1 실시예와 상이하다. 따라서, 제1 실시예에서 참조한 도 1~도 5, 및 그 설명은 제2 실시예에서도 답습된다.
- <116> 도 7에, 제2 실시예와 관련하여, 도 5의 A-A선에 따른 단면도를 나타낸다.
- <117> 도 7이 도 6과 상이한 것은, 도 7에서는, 더미 배선(DL)의 양 단부에, 각각 1st 콘택트 홀(1CH)로 이루어지는 콘택트(12M1, 12M2)가 설치되고, 콘택트(12M1, 12M2)에 의해, 더미 배선(DL)의 양 단부가 전원 보조 환형선(6)의 배면에 접속되어 있는 것이다. 그 외의 구성은, 제1 실시예와 공통된다. 그리고, 도 7 및 도 6에서는, EL 보호막(21)의 도시를 생략하고 있다.
- <118> 《변형예》
- <119> 도 5~도 7은 전원 보조 환형선(6)이 주사선, 즉 제1 주사선(SCAN1(1)) 및 제2 주사선(SCAN2(2))에 대하여 교차하는 부분을 도시하고, 그 교차 부분 사이에 전원 보조 환형선(6)에 따라 더미 배선(DL)을 배치하였다.
- <120> 이것과 같은 더미 배선(DL)을, 신호선, 즉 신호선(SIG(j))이 전원 보조 환형선(6)과 교차하는 부분 사이에, 전원 보조 환형선(6)에 따른 하층에 설치해도 된다. 또한, 전원 보조 환형선(6)과 주사선의 교차 부분 사이, 전원

보조 환형선(6)과 신호선의 교차 부분 사이의 양쪽에, 더미 배선(DL)을 설치해도 된다. 이 경우, 더미 배선(DL)의 단면 구조는 도 6, 도 7 중 어느 쪽이라도 좋다.

- <121> 제2 실시예에 있어서, 더미 배선(DL)을 전원 보조 환형선(6)과 접속하는 콘택트는, 더미 배선(DL)의 양 단부에 적어도 1개, 전부, 적어도 2개 형성되어 있으면 된다. 따라서, 양 단부의 각각에 2개 이상의 콘택트를 설치해도 된다. 또한, 더미 배선(DL)의 길이 방향 전역에, 예를 들면, 등간격으로 콘택트를, 가능한 한 다수 설치해도 된다.
- <122> 그 외에, 주사선, 신호선의 층 구조, 전원 보조 환형선이나 전원 보조 격자선의 층 구조는, 전술한 도시한 예에 한정되지 않는다.
- <123> 또한, 전술한 제1 및 제2 실시예는 상면 발광형의 유기 EL 디스플레이를 예시했지만, 하면 발광형이라도 된다.
- <124> 이상의 제1 및 제2 실시예에 따르면, 다음과 같은 효과를 얻을 수 있다.
- <125> 더미 배선(DL)을 설치함으로써, 주사선이나 신호선에 의한, 전원 보조 환형선 형성면의 단차를 완화하고, 이로써, 전원 보조 환형선의 "단절"을 방지할 수 있고, 또 전원 보조 환형선 상의 보호막에 형성되는 "에어 홀"의 발생을 방지할 수 있다.
- <126> 도 8은 더미 배선이 없는 경우에 "에어 홀"이 발생한 단면도를 나타낸다.
- <127> 이 도면에서는 전원 보조 환형선(6)은 겨우 연결되어 있지만, 제2 주사선(SCAN2(i))의 단차 부분에서 EL 보호막(21)이 파괴되고, 이로써, "에어 홀"이 발생하고 있다.
- <128> "에어 홀"이 발생하면, 그 부분에서 EL 보호막(21)이 보호의 기능을 완수하지 않기 때문에, 수분 그 외의 오염 물질이 전원 보조 환형선(6)을 오염시킨다. 특히 수분이 전원 보조 환형선(6)의 계면을 거쳐 화소 어레이(2) 내에 진입하면, 유기 발광 다이오드(OLED)의 표시 특성이 변화되고, 이로써, 화면의 일부에서 화질이 악화되는 사태를 초래할 염려가 있다.
- <129> 본 발명의 제1 및 제2 실시예에서는, 더미 배선(DL)을 설치함으로써, 전원 보조 환형선(6)의 단선에 의한 캐소드 전극(KE)의 전위가 일부에서 일정하게 되지 않는 현상을 방지하고, 표시 불균일의 발생을 방지하는 효과를 얻을 수 있다.
- <130> 또한, "에어 홀"의 발생을 방지하여, 이로써, 화질 저하의 방지와 수율 향상을 도모하여 디스플레이 제품의 수익성과 신뢰성을 높일 수 있는 효과를 얻을 수 있다.
- <131> 이들 효과에 더하여, 제2 실시예와 같이, 더미 배선(DL)을 전원 보조 환형선(6)과 전기적으로 접속하면, 더미 배선(DL)이 전원 보조 환형선(6)의 배접 배선으로서 기능하고, 그 전위 변동을 보다 안정화시키는 역할을 한다. 또한, 콘택트 사이의 전원 보조 환형선(6)이 어떠한 이유로 고저항화되거나 또는 단선되는 경우, 그 부분에서 전원 보조 환형선(6)을 대체하는 역할을 더미 배선(DL)이 담당한다.
- <132> 따라서, 이 경우, 더미 배선(DL)은 전원 보조 환형선(6)의 부분적인 용장(冗長) 배선으로서의 기능을 발휘한다.

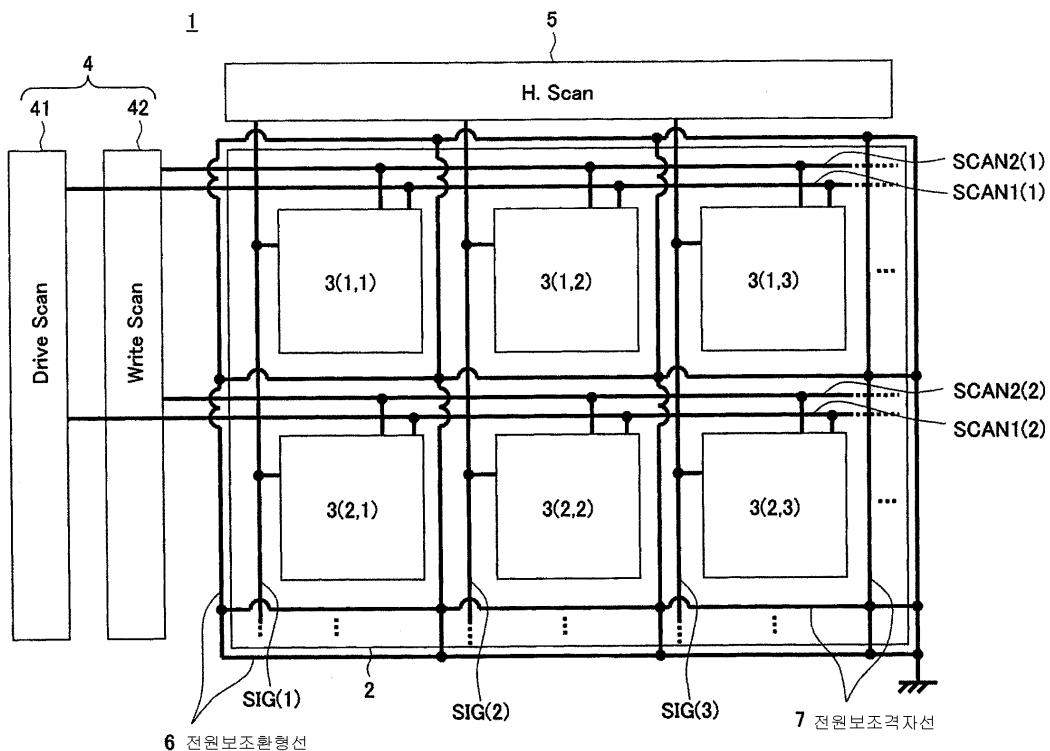
도면의 간단한 설명

- <133> 도 1은 본 발명의 제1 및 제2 실시예와 관련된 유기 EL 디스플레이의 주요 구성예를 나타낸 블록도이다.
- <134> 도 2는 본 발명의 실시예와 관련된 화소 회로의 일구성예를 포함하는 도면이다.
- <135> 도 3은 본 발명의 실시예와 관련된 화소의 평면도(B)와 유기 발광 다이오드의 전극층 등을 제거했을 때의 화소의 평면도(A)이다.
- <136> 도 4는 본 발명의 실시예에 사용 가능한 TFT 기본 구조의 평면도(A)와 단면도(B)이다.
- <137> 도 5는 화소 어레이와 전원 보조 환형선의 접속 부분을, 화소 어레이의 일부를 포함하여 나타낸 평면도이다.
- <138> 도 6은 본 발명의 제1 실시예와 관련된, 도 5의 A-A선에 따른 단면도이다.
- <139> 도 7은 본 발명의 제2 실시예와 관련된, 도 5의 A-A선에 따른 단면도이다.
- <140> 도 8은 더미 배선이 없는 경우에 "에어 홀"이 발생한 비교예의 단면도이다.

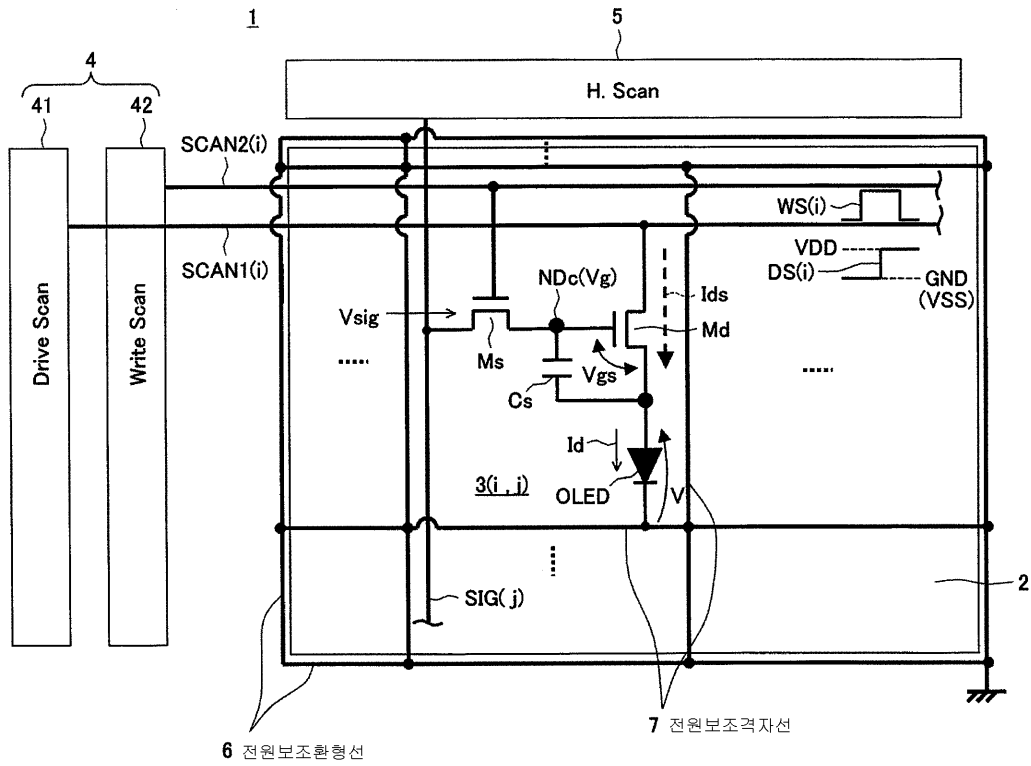
- <141> [도면의 주요부분에 대한 부호의 설명]
- <142> (1)···유기 EL 디스플레이, (2)···화소 어레이, (3(i,j))···화소 회로,
- <143> (4)···V스캐너, (5)···H스캐너, (6)···전원 보조 환형선, (6A)···상부 메탈층,
- <144> (6B)···하부 메탈층, (7)···전원 보조 격자선, (9)···기관,
- <145> (10)···게이트 절연막, (11)···게이트 전극, (12)···1st 콘택트,
- <146> (13)···박막 반도체층, (14)···소스·드레인 전극, (15)···2nd 콘택트,
- <147> (18)···채널 보호막, (19)···TFT 보호막, (21)···EL 보호막,
- <148> (21A, 21B)···개구부, (41)···수평 화소 라인 구동 회로,
- <149> (42)···기록 신호 주사 회로, (Cs)···유지 커패시터,
- <150> (OLED)···유기 발광 다이오드, (Ms)···샘플링 트랜지스터,
- <151> (Md)···구동 트랜지스터, (SCAN1(i))···제1 주사선, (SCAN2(i))···제2 주사선,
- <152> (SIG(j))···신호선, (DL)···더미 배선, (AE)···애노드 전극,
- <153> (AM)···애노드 메탈층, (GM)···게이트 메탈층, (KE)···캐소드 전극,
- <154> (KM)···캐소드 메탈층

도면

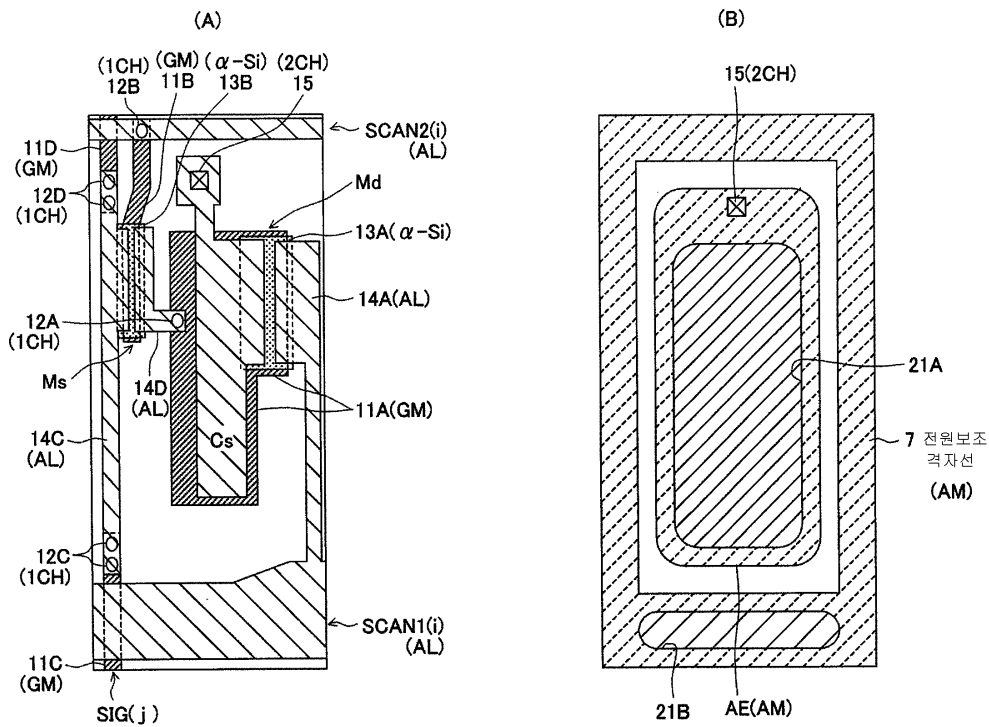
도면1



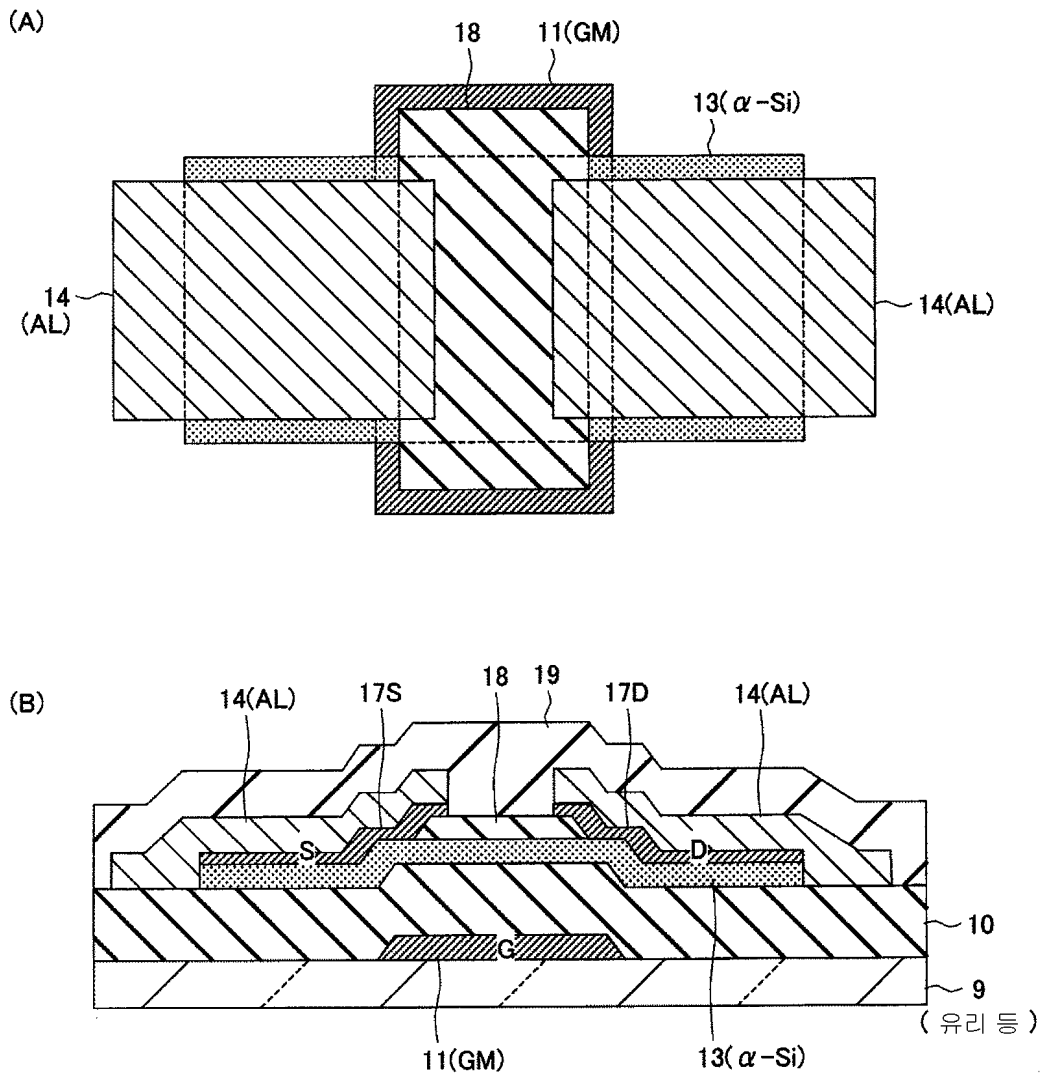
도면2



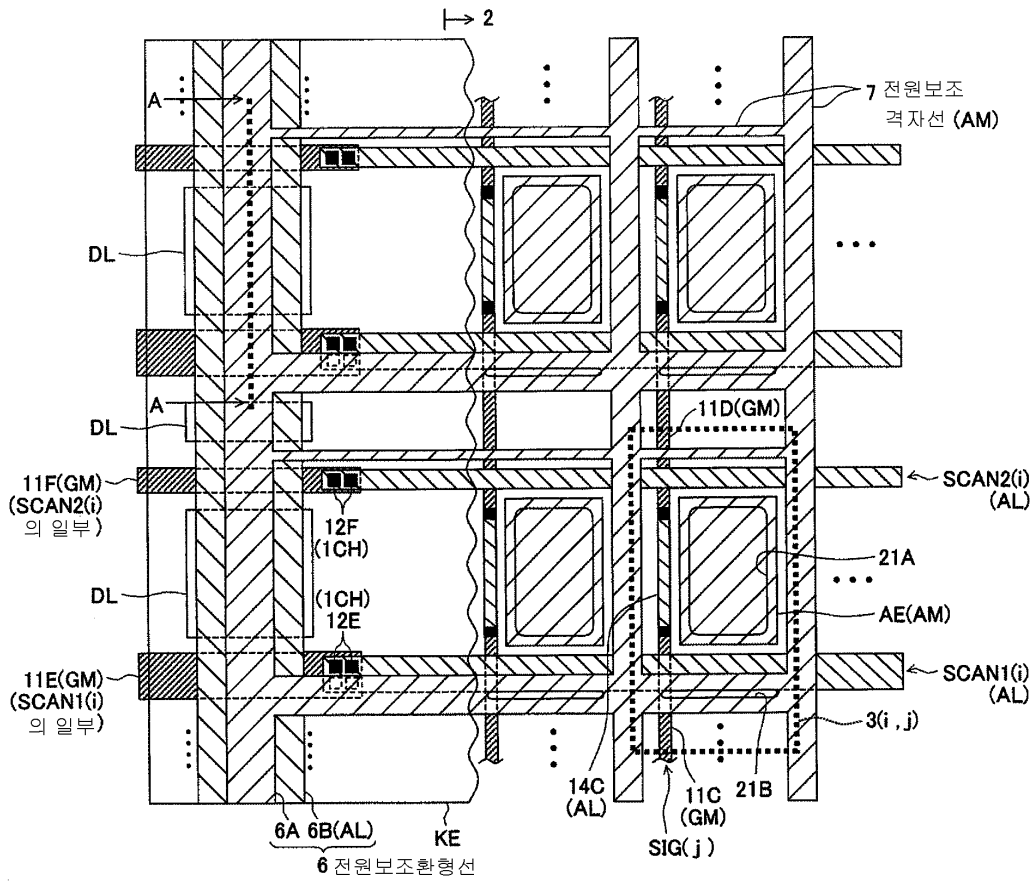
도면3



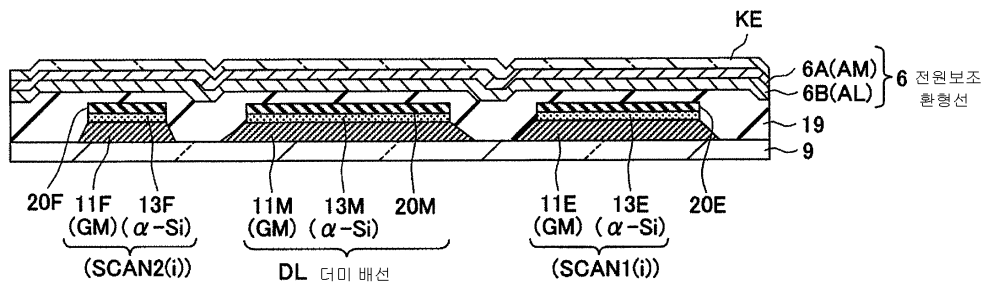
도면4



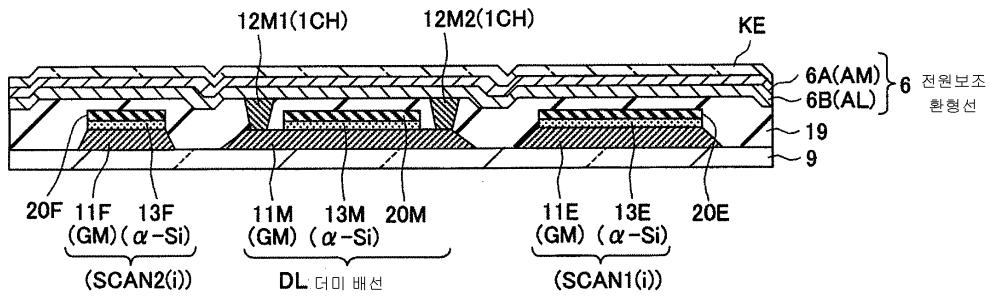
도면5



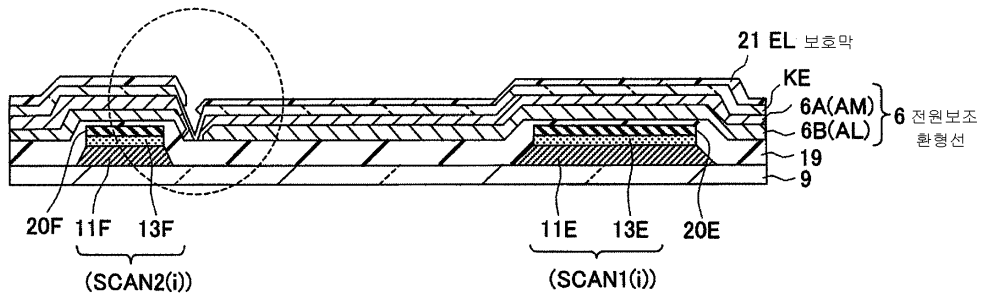
도면6



도면7



도면8



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020090050950A	公开(公告)日	2009-05-20
申请号	KR1020080111521	申请日	2008-11-11
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	SAGAWA HIROSHI 사가와히로시 UCHINO KATSUHIDE 우치노가쓰히데		
发明人	사가와히로시 우치노가쓰히데		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H01L51/50		
CPC分类号	H01L27/3276 H01L27/3223 H01L51/5012 H01L2924/13069		
代理人(译)	您是我的专利和法律公司		
优先权	2007296572 2007-11-15 JP		
外部链接	Espacenet		

摘要(译)

本发明涉及能够防止在电源二次环形线和信号线或扫描线的交叉部分中产生“截断(断开)”或“气孔”的有机电致发光显示装置。并且它具有多条信号线(SIG(j))，多条扫描线(SCAN1(i), SCAN2(i))，像素电路(3(i,j))，电源二级环形线(6)和虚线(DL)。每个像素电路(3(i,j))包括有机电致发光器件(有机发光二极管(OLED))。电源二次环形状线(6)电连接到电极的一侧(例如，阴极电极(KE))，其授权2的有机发光二极管(OLED)中的电场并且它是圆形的像素阵列(2)和电极布置为环。关于虚拟线(DL)，在多个交叉部分间隔中形成在电源二级环形线(6)的下层中，其中多条扫描线(或多条信号线)和电源二级环形线(6)相交。它与扫描线等绝缘和分离。电源二级环形线，虚线，扫描线，像素阵列。

