



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

|                      |                 |           |             |
|----------------------|-----------------|-----------|-------------|
| (51) 。 Int. Cl.      |                 | (45) 공고일자 | 2007년01월24일 |
| H05B 33/00 (2006.01) |                 | (11) 등록번호 | 10-0673762  |
| H05B 33/10 (2006.01) |                 | (24) 등록일자 | 2007년01월17일 |
| (21) 출원번호            | 10-2005-0127224 | (65) 공개번호 |             |
| (22) 출원일자            | 2005년12월21일     | (43) 공개일자 |             |
| 심사청구일자               | 2005년12월21일     |           |             |

|           |   |
|-----------|---|
| (73) 특허권자 | 삼성에스디아이 주식회사<br>경기 수원시 영통구 신동 575       |
| (72) 발명자  | 김영재<br>경기 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소 |
| (74) 대리인  | 신영무                                     |

심사관 : 나광표

전체 청구항 수 : 총 12 항

## (54) 유기 발광 표시장치 및 그 제조방법

### (57) 요약

본 발명은 화소 영역을 효율적으로 활용하여 저장용 커패시터의 용량을 증가시킬 수 있도록 한 유기 발광 표시장치에 관한 것이다.

본 발명의 유기 발광 표시장치는 복수의 주사선, 데이터선 및 전원선에 접속된 복수의 화소를 포함하는 화소부와, 상기 주사선에 주사신호를 인가하는 주사 구동부 및 상기 데이터선에 데이터 신호를 인가하는 데이터 구동부를 구비하며, 상기 화소들 각각은 적어도 하나의 유기 박막 트랜지스터와 저장용 커패시터를 구비하며, 상기 유기 박막 트랜지스터의 제1 전극 및 제2 전극 중 어느 한 전극과 상기 저장용 커패시터의 일 단자는 서로 절연되며 중첩되도록 형성된다.

이에 의하여, 화소 영역을 효율적으로 활용하면서 저장용 커패시터의 용량을 증가시킴으로써 화소를 안정적으로 구동시킬 수 있다. 또한, 각 화소에 포함된 트랜지스터들의 반도체층을 유기 물질로 형성함으로써 저온공정 및 저가격 양산화가 가능해지고, 이에 따라 플라스틱 등과 같이 열에 약한 기판 상에도 트랜지스터를 형성하는 것이 가능해져 플렉시블 디스플레이의 구현을 더 용이하게 할 수 있다.

대표도

도 5

특허청구의 범위

## 청구항 1.

복수의 주사선, 데이터선 및 전원선에 접속된 복수의 화소를 포함하는 화소부;

상기 주사선에 주사신호를 인가하는 주사 구동부; 및

상기 데이터선에 데이터 신호를 인가하는 데이터 구동부를 구비하며,

상기 화소들 각각은 적어도 하나의 유기 박막 트랜지스터와 저장용 커패시터를 구비하며, 상기 유기 박막 트랜지스터의 제 1 전극 및 제2 전극 중 어느 한 전극과 상기 저장용 커패시터의 일 단자는 서로 절연되며 중첩되도록 형성된 유기 발광 표시장치.

## 청구항 2.

제1 항에 있어서,

상기 화소들 각각은

제1 전원과 제2 전원 사이에 접속되는 유기 발광 다이오드;

상기 주사선, 상기 데이터선 및 제1 노드에 접속된 제1 유기 박막 트랜지스터;

상기 제1 노드와 상기 제2 전원 사이에 접속된 저장용 커패시터; 및

상기 제1 노드, 상기 유기 발광 다이오드 및 상기 제2 전원 사이에 접속되는 제2 유기 박막 트랜지스터를 포함하는 유기 발광 표시장치.

## 청구항 3.

제2 항에 있어서,

상기 제2 유기 박막 트랜지스터의 제1 전극과 상기 저장용 커패시터의 제1 단자 일부가 중첩된 유기 발광 표시장치.

## 청구항 4.

제2 항에 있어서,

상기 제1 유기 박막 트랜지스터와 상기 제2 유기 박막 트랜지스터는 반도체층을 기준으로 게이트 전극의 위치가 서로 상이한 구조로 형성된 유기 발광 표시장치.

## 청구항 5.

제1 항에 있어서,

상기 유기 박막 트랜지스터는 펜타센으로 이루어진 반도체층을 포함하는 엔-타입 트랜지스터인 유기 발광 표시장치.

## 청구항 6.

기관 상의 화소 영역에 적어도 하나의 유기 박막 트랜지스터와 저장용 커패시터를 형성하는 단계를 포함하며,

상기 유기 박막 트랜지스터의 제1 전극 및 제2 전극 중 어느 한 전극과 상기 저장용 커패시터의 일 단자가 절연되며 서로 중첩되도록 형성하는 유기 발광 표시장치의 제조방법.

## 청구항 7.

제6 항에 있어서,

상기 적어도 하나의 유기 박막 트랜지스터와 저장용 커패시터를 형성하는 단계는

상기 기관 상에 제1 도전체를 증착한 후 패터닝하여 상기 유기 박막 트랜지스터의 게이트 전극과 상기 저장용 커패시터의 제1 단자를 형성하는 단계;

상기 유기 박막 트랜지스터의 게이트 전극과 상기 저장용 커패시터의 제1 단자 상에 절연막을 형성하는 단계;

상기 유기 박막 트랜지스터의 게이트 전극 상부에 형성된 상기 절연막 상에 유기 반도체층을 형성하는 단계; 및

상기 유기 반도체층 및 상기 절연막 상에 제2 도전체를 증착한 후 패터닝하여 상기 유기 박막 트랜지스터의 제1 및 제2 전극과 상기 저장용 커패시터의 제2 단자를 형성하는 단계를 포함하는 유기 발광 표시장치의 제조방법.

## 청구항 8.

제7 항에 있어서,

상기 유기 박막 트랜지스터의 제1 전극의 적어도 일부가 상기 저장용 커패시터의 제1 단자의 적어도 일부와 절연되며 중첩되도록 형성하는 유기 발광 표시장치의 제조방법.

## 청구항 9.

제6 항에 있어서,

상기 적어도 하나의 유기 박막 트랜지스터를 형성하는 단계는

상기 기관 상에 제1 유기 박막 트랜지스터를 형성하는 단계; 및

상기 기관 상에 제2 유기 박막 트랜지스터를 형성하는 단계를 포함하며,

상기 제1 유기 박막 트랜지스터와 상기 제2 유기 박막 트랜지스터는 반도체층을 기준으로 게이트 전극의 위치가 서로 상이하도록 형성하는 유기 발광 표시장치의 제조방법.

## 청구항 10.

제9 항에 있어서,

상기 제1 유기 박막 트랜지스터를 형성하는 단계는

상기 기관 상에 제1 도전체를 증착한 후 패터닝하여 제1 및 제2 전극을 형성하는 단계;

상기 제1 및 제2 전극 상에 유기 반도체층을 형성하는 단계;

상기 유기 반도체층 상에 절연막을 형성하는 단계; 및

상기 절연막 상에 제2 도전체를 증착한 후 패터닝하여 게이트 전극을 형성하는 단계를 포함하는 유기 발광 표시장치의 제조방법.

## 청구항 11.

제9 항에 있어서,

상기 제2 유기 박막 트랜지스터를 형성하는 단계는

상기 기판 상에 제1 도전체를 증착한 후 패터닝하여 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 절연막을 형성하는 단계;

상기 절연막 상에 유기 반도체층을 형성하는 단계; 및

상기 유기 반도체층 상에 제2 도전체를 증착한 후 패터닝하여 제1 및 제2 전극을 형성하는 단계를 포함하는 유기 발광 표시장치의 제조방법.

## 청구항 12.

제9 항에 있어서,

상기 제2 유기 박막 트랜지스터의 제1 전극의 적어도 일부가 상기 저장용 커패시터의 제1 단자의 적어도 일부와 절연되며 중첩되도록 형성하는 유기 발광 표시장치의 제조방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 발광 표시장치 및 그 제조방법에 관한 것으로, 특히 화소 영역을 효율적으로 활용하여 저장용 커패시터의 용량을 증가시킬 수 있도록 한 유기 발광 표시장치 및 그 제조방법에 관한 것이다.

최근, 음극선관과 비교하여 무게가 가볍고 부피가 작은 각종 평판 표시장치들이 개발되고 있으며 특히 발광효율, 휘도 및 시야각이 뛰어나고 응답속도가 빠른 발광 표시장치가 주목받고 있다.

이러한 발광 표시장치로는 유기 발광 다이오드(Organic Light Emitting Diode, OLED)를 이용한 유기 발광 표시장치와 무기 발광 다이오드(Light Emitting Diode, LED)를 이용한 무기 발광 표시장치가 있다. 유기 발광 다이오드는 애노드 전극, 캐소드 전극 및 이들 사이에 위치하여 전자와 정공의 결합에 의하여 발광하는 유기 발광층을 포함한다. 무기 발광 다이오드는 유기 발광 다이오드와 달리 무기물인 발광층, 일례로 PN 접합된 반도체로 이루어진 발광층을 포함한다.

도 1은 일반적인 유기 발광 표시장치의 화소를 나타내는 레이아웃 도면이다.

도 1을 참조하면, 기판 상의 화소부에는 행 방향으로 주사선(S[n])이 배열되고, 열 방향으로 데이터선(D[m]) 및 제1 전원선(L1)이 배열된다. 그리고, 주사선(S[n]), 데이터선(D[m]) 및 제1 전원선(L1)에 의해 구획된 영역에 제1 및 제2 트랜지스터(M1, M2), 저장용 커패시터(Cst) 및 유기 발광 다이오드(OLED)가 형성된다.

여기서, 제1 및 제2 트랜지스터(M1, M2), 저장용 커패시터(Cst) 및 유기 발광 다이오드(OLED)는 화소 영역 중 소정 부분에 독자적인 영역을 확보하고 있다. 즉, 화소 영역은 제1 및 제2 트랜지스터(M1, M2), 저장용 커패시터(Cst) 및 유기 발광 다이오드(OLED) 영역으로 구분되어 있으며, 제1 및 제2 트랜지스터(M1, M2), 저장용 커패시터(Cst) 및 유기 발광 다이오드(OLED) 영역은 각 소자들 간의 접속부를 제외하고는 서로 중첩되지 않는다.

화소들의 구성을 좀 더 상세히 설명하면, 제1 트랜지스터(M1)는 주사선(S[n]) 및 데이터선(D[m])에 인접한 화소 영역의 일측에 형성된다. 설명의 편의를 위하여, 이하에서는 트랜지스터들(M1, M2)이 피(P)-타입 트랜지스터인 경우를 가정하기로 한다. 이때, 제1 트랜지스터(M1)의 게이트 전극은 주사선(S[n])에 접속되고, 제1 전극은 데이터선(D[m])에 접속되도록 형성된다. 여기서, 제1 전극은 제2 전극과 다른 전극이다. 예를 들어, 제1 전극이 소스 전극이면 제2 전극은 드레인 전극이다.

제2 트랜지스터(M2)는 제1 전원선(L1)과 인접한 화소 영역의 다른 측에 형성된다. 이때, 제2 트랜지스터(M2)의 제1 전극은 제1 전원선(L1)과 접속되도록 형성된다.

저장용 커패시터(Cst)의 제1 단자는 제1 트랜지스터(M1)와 제2 트랜지스터(M2) 사이의 영역에 형성된다. 이때, 제1 단자의 일측은 제1 트랜지스터(M1)의 제2 전극과 일부 중첩되도록 형성되고, 중첩된 부분이 제1 트랜지스터(M1)의 제2 전극과 통전되도록 형성된다. 또한, 저장용 커패시터(Cst)의 제1 단자는 제2 트랜지스터(M2)의 게이트 전극과도 접속되도록 형성된다. 그리고, 저장용 커패시터(Cst)의 제2 단자는 제1 전원선(L1)과 접속되며, 자신의 제1 단자와 대향되도록 형성된다.

유기 발광 다이오드(OLED)는 제1 및 제2 트랜지스터(M1, M2)와 저장용 커패시터(Cst)가 형성되지 않은 나머지 화소 영역에 형성된다. 이때, 유기 발광 다이오드(OLED)의 애노드 전극은 제2 트랜지스터(M2)의 제2 전극에 접속되도록 형성된다. 그리고, 유기 발광 다이오드(OLED)의 캐소드 전극(미도시)은 제2 전원(ELVSS)에 접속되도록 형성된다.

전술한 화소에 있어서, 저장용 커패시터(Cst)는 제1 트랜지스터(M1)와 제2 트랜지스터(M2) 사이의 영역에 형성된다. 일반적으로 저장용 커패시터(Cst)의 용량이 커야 화소가 안정적으로 동작할 수 있는데, 각 화소의 영역이 제한적이기 때문에 저장용 커패시터(Cst)의 용량을 늘리는 데에 공간적 제약이 발생했다. 또한, 제1 및 제2 트랜지스터(M1, M2)를 유기 박막 트랜지스터(Organic Thin Film Transistor, OTFT)로 형성하는 경우, 무기 박막 트랜지스터에 비해 트랜지스터들이 차지하는 면적이 커서 저장용 커패시터(Cst)를 형성하기 위한 영역을 충분히 확보할 수 없었다.

도 2는 도 1에 도시된 A-A' 선에 따른 단면도이다.

도 2를 참조하면, 기판(201) 상에 데이터선(D[m])(210), 제1 트랜지스터(M1)(220), 저장용 커패시터(Cst)(230), 제2 트랜지스터(M2)(240) 및 제1 전원선(L1)이 형성된다. 여기서, 제1 트랜지스터(M1)(220)의 제2 전극(224)과 저장용 커패시터(Cst)(230)의 제1 단자(231)가 콘택홀을 통하여 접속되는 부분을 제외하고 각 소자들은 서로 중첩되지 않도록 형성된다.

이하에서는 데이터선(D[m])(210), 제1 트랜지스터(M1)(220), 저장용 커패시터(Cst)(230), 제2 트랜지스터(M2)(240) 및 제1 전원선(L1)(250)의 제조공정에 대해 상술하기로 한다.

우선, 기판(201) 상에 게이트 금속과 같은 제1 도전체를 증착한 후 패터닝한다. 패터닝된 제1 도전체 중 제1 트랜지스터(M1)(220) 영역에 형성된 제1 도전체는 제1 트랜지스터(M1)(220)의 게이트 전극(221)이 되고, 저장용 커패시터(Cst)(230) 영역에 형성된 제1 도전체는 저장용 커패시터(Cst)(230)의 제1 단자(231)가 된다. 그리고, 제2 트랜지스터(M2)(240) 영역에 형성된 제1 도전체는 제2 트랜지스터(M2)(240)의 게이트 전극(241)이 된다.

이후, 제1 트랜지스터(M1)(220)의 게이트 전극(221), 저장용 커패시터(Cst)(230)의 제1 단자(231) 및 제2 트랜지스터(M2)(240)의 게이트 전극(241) 상에 게이트 절연막(222)을 형성한다. 여기서, 제1 트랜지스터(M1)(220) 영역과 인접한 저장용 커패시터(Cst)(230)의 제1 단자(231) 상에 형성된 게이트 절연막(222)에는 콘택홀을 형성한다.

이후, 제1 및 제2 트랜지스터(M1, M2)(220, 240)의 게이트 전극(221, 241) 상에 형성된 게이트 절연막(222)의 상부에 반도체 물질을 증착한 후 패터닝함으로써 반도체층(223, 243)을 형성한다.

이후, 게이트 절연막(222) 및 반도체층(223, 243) 상에 소스 및 드레인 금속과 같은 제2 도전체를 증착한 후 패터닝한다. 패터닝된 제2 도전체 중 데이터선(D[m])(210) 영역에 형성된 제2 도전체는 데이터선(D[m])(210)이 되고, 제1 트랜지스터(M1)(210) 영역에 형성된 제2 도전체는 제1 트랜지스터(M1)(210)의 제1 및 제2 전극(224)이 된다. 이때, 데이터선(D[m])(210)과 제1 트랜지스터(M1)(220)의 제1 전극(224)은 서로 접속되도록 형성되고, 제1 트랜지스터(M1)(220)의 제2 전극(224)은 콘택홀을 통하여 저장용 커패시터(Cst)(230)의 제1 단자(231)와 접속되도록 형성된다. 그리고, 저장용 커패시터(Cst)(230) 영역에 형성된 제2 도전체는 저장용 커패시터(Cst)(230)의 제2 단자(233)가 되고, 제2 트랜지스터(M2)(240) 영역에 형성된 제2 도전체는 제2 트랜지스터(M2)(240)의 제1 및 제2 전극(244)이 되며, 제1 전원선(L1)(250) 영역에 형성된 제2 도전체는 제1 전원선(L1)(250)이 된다. 여기서, 제2 트랜지스터(M2)(240)의 제1 전극(244)과 제1 전원선(L1)(250)은 서로 접속되도록 형성된다.

전술한 화소에 있어서, 각각의 소자들은 콘택홀을 통한 접속부위를 제외하고는 서로 중첩되지 않도록 독립된 영역에 형성되었다. 이 경우, 각 소자들 사이의 독자적인 영역이 확보되지만 그만큼 화소 내에서 소자들이 차지하는 면적이 커지게 된다. 또한, 트랜지스터들(M1, M2)(220, 240)이 유기 박막 트랜지스터(Organic Thin Film Transistor, OTFT)로 형성되는 경우 트랜지스터들(M1, M2)(220, 240)이 차지하는 면적이 커져 한정된 화소 영역을 효율적으로 활용할 수 없게 된다. 이 경우, 화소의 개구율이 감소되거나 저장용 커패시터(Cst)(230)를 형성하기 위한 영역을 충분히 확보할 수 없게 된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화소 영역을 효율적으로 활용하여 저장용 커패시터의 용량을 증가시킬 수 있도록 한 유기 발광 표시장치 및 그 제조방법을 제공하는 것이다.

### 발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 제1 측면은 복수의 주사선, 데이터선 및 전원선에 접속된 복수의 화소를 포함하는 화소부와, 상기 주사선에 주사신호를 인가하는 주사 구동부 및 상기 데이터선에 데이터 신호를 인가하는 데이터 구동부를 구비하며, 상기 화소들 각각은 적어도 하나의 유기 박막 트랜지스터와 저장용 커패시터를 구비하며, 상기 유기 박막 트랜지스터의 제1 전극 및 제2 전극 중 어느 한 전극과 상기 저장용 커패시터의 일 단자는 서로 절연되며 중첩되도록 형성된 유기 발광 표시장치를 제공한다.

바람직하게, 상기 화소들 각각은 제1 전원과 제2 전원 사이에 접속되는 유기 발광 다이오드와, 상기 주사선, 상기 데이터선 및 제1 노드에 접속된 제1 유기 박막 트랜지스터와, 상기 제1 노드와 상기 제2 전원 사이에 접속된 저장용 커패시터 및 상기 제1 노드, 상기 유기 발광 다이오드 및 상기 제2 전원 사이에 접속되는 제2 유기 박막 트랜지스터를 포함한다. 상기 제2 유기 박막 트랜지스터의 제1 전극과 상기 저장용 커패시터의 제1 단자 일부가 중첩된다. 상기 제1 유기 박막 트랜지스터와 상기 제2 유기 박막 트랜지스터는 반도체층을 기준으로 게이트 전극의 위치가 서로 상이한 구조로 형성된다. 상기 유기 박막 트랜지스터는 펜타센으로 이루어진 반도체층을 포함하는 엔-타입 트랜지스터이다.

본 발명의 제2 측면은 기판 상의 화소 영역에 적어도 하나의 유기 박막 트랜지스터와 저장용 커패시터를 형성하는 단계를 포함하며, 상기 유기 박막 트랜지스터의 제1 전극 및 제2 전극 중 어느 한 전극과 상기 저장용 커패시터의 일 단자가 절연되며 서로 중첩되도록 형성하는 유기 발광 표시장치의 제조방법을 제공한다.

바람직하게, 상기 적어도 하나의 유기 박막 트랜지스터와 저장용 커패시터를 형성하는 단계는 상기 기판 상에 제1 도전체를 증착한 후 패터닝하여 상기 유기 박막 트랜지스터의 게이트 전극과 상기 저장용 커패시터의 제1 단자를 형성하는 단계와, 상기 유기 박막 트랜지스터의 게이트 전극과 상기 저장용 커패시터의 제1 단자 상에 절연막을 형성하는 단계와, 상기 유기 박막 트랜지스터의 게이트 전극 상부에 형성된 상기 절연막 상에 유기 반도체층을 형성하는 단계 및 상기 유기 반도체층 및 상기 절연막 상에 제2 도전체를 증착한 후 패터닝하여 상기 유기 박막 트랜지스터의 제1 및 제2 전극과 상기 저장용 커패시터의 제2 단자를 형성하는 단계를 포함한다. 상기 유기 박막 트랜지스터의 제1 전극의 적어도 일부가 상기 저장용 커패시터의 제1 단자의 적어도 일부와 절연되며 중첩되도록 형성한다. 상기 적어도 하나의 유기 박막 트랜지스터를 형성하는 단계는 상기 기판 상에 제1 유기 박막 트랜지스터를 형성하는 단계 및 상기 기판 상에 제2 유기 박막 트랜지스터를 형성하는 단계를 포함하며, 상기 제1 유기 박막 트랜지스터와 상기 제2 유기 박막 트랜지스터는 반도체층을 기준으로 게이트 전극의 위치가 서로 상이하도록 형성한다. 상기 제1 유기 박막 트랜지스터를 형성하는 단계는 상기 기판 상에 제1 도

전체를 증착한 후 패터닝하여 제1 및 제2 전극을 형성하는 단계와, 상기 제1 및 제2 전극 상에 유기 반도체층을 형성하는 단계와, 상기 유기 반도체층 상에 절연막을 형성하는 단계 및 상기 절연막 상에 제2 도전체를 증착한 후 패터닝하여 게이트 전극을 형성하는 단계를 포함한다. 상기 제2 유기 박막 트랜지스터를 형성하는 단계는 상기 기판 상에 제1 도전체를 증착한 후 패터닝하여 게이트 전극을 형성하는 단계와, 상기 게이트 전극 상에 절연막을 형성하는 단계와, 상기 절연막 상에 유기 반도체층을 형성하는 단계 및 상기 유기 반도체층 상에 제2 도전체를 증착한 후 패터닝하여 제1 및 제2 전극을 형성하는 단계를 포함한다. 상기 제2 유기 박막 트랜지스터의 제1 전극의 적어도 일부가 상기 저장용 커패시터의 제1 단자의 적어도 일부와 절연되며 중첩되도록 형성한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예가 첨부된 도 3 내지 도 7을 참조하여 자세히 설명하면 다음과 같다.

도 3은 본 발명의 실시예에 의한 유기 발광 표시장치를 나타내는 도면이다.

도 3을 참조하면, 본 발명의 실시예에 의한 유기 발광 표시장치는 화소부(300), 주사 구동부(320) 및 데이터 구동부(330)를 구비한다.

화소부(300)는 유기 발광 다이오드(OLED)(미도시)를 구비한 복수의 화소(310)로 이루어져 있으며, 각각의 화소들(310)은 주사선들(S[1] 내지 S[n]) 및 데이터선들(D[1] 내지 D[m])에 의하여 구획된 영역에 형성된다. 이와 같은 화소부(300)는 외부로부터 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 공급받는다. 화소(310) 각각은 주사신호, 데이터신호, 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 공급받아 영상을 표시한다. 여기서, 제1 및/또는 제2 전원선은 동일한 열 또는 행에 위치하는 화소(310)들에 접속되도록 라인 형태로 패터닝되어 화소들(310) 사이에 형성될 수도 있고, 화소부(300) 전체에 형성될 수도 있다.

주사 구동부(320)는 주사신호를 생성한다. 주사 구동부(320)에서 생성된 주사신호는 주사선들(S[1] 내지 S[n])로 순차적으로 공급된다.

데이터 구동부(330)는 데이터 신호를 생성한다. 데이터 구동부(330)에서 생성된 데이터 신호는 주사신호와 동기되도록 데이터선들(D[1] 내지 D[m])로 공급되어 각 화소(310)로 전달된다.

도 4는 도 3에 도시된 화소들의 일례를 나타내는 회로도이다. 도 4에서 트랜지스터들은 유기 박막 트랜지스터(Organic Thin Film Transistor, OTFT)로 형성된다. 따라서, 도 4에는 트랜지스터들을 엔(N)-타입으로 도시하기로 한다.

도 4를 참조하면, 도 3에 도시된 화소들(310)은 주사선(S[n]), 데이터선(D) 및 제1 배선(L1)에 접속된다. 여기서, 트랜지스터들(M1, M2)이 엔(N)-타입이므로 제1 배선(L1)은 제2 전원(ELVSS)을 공급받는 전원선이다.

이와 같은 각각의 화소(310)는 제1 및 제2 트랜지스터(M1, M2), 저장용 커패시터(Cst) 및 유기 발광 다이오드(OLED)를 구비한다.

제1 트랜지스터(M1)의 게이트 전극은 주사선(S[n])에 접속된다. 그리고, 제1 트랜지스터(M1)의 제1 전극은 데이터선(D)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 여기서, 제1 전극과 제2 전극은 서로 다른 전극이다. 예를 들어, 제1 전극이 드레인 전극이면 제2 전극은 소스 전극이다. 이와 같은 제1 트랜지스터(M1)는 주사선(S[n])으로 주사신호(하이-레벨)가 공급될 때 턴-온되어 데이터선(D)으로 공급되는 데이터신호를 제1 노드(N1)로 공급한다.

제2 트랜지스터(M2)의 게이트 전극은 제1 노드(N1)에 접속된다. 그리고, 제2 트랜지스터(M2)의 제1 전극은 유기 발광 다이오드(OLED)의 캐소드 전극에 접속되고, 제2 전극은 제1 배선(L1)에 접속된다. 이와 같은 제2 트랜지스터(M2)는 자신의 게이트 전극에 공급되는 전압(즉, 제1 노드(N1)에 공급되는 전압)에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제2 전원(ELVSS)으로 흐르는 전류를 제어한다. 여기서, 제1 및 제2 트랜지스터(M1, M2)는 펜타센(Pentacene)과 같은 유기 반도체 물질을 포함하는 유기 박막 트랜지스터로 형성된다.

저장용 커패시터(Cst)의 제1 단자는 제1 노드(N1)에 접속되고, 제2 단자는 제1 배선(L1)에 접속된다. 이와 같은 저장용 커패시터(Cst)는 주사선(S[n])에 주사신호가 공급될 때 제1 노드(N1)로 공급되는 데이터신호에 대응되는 전압을 저장하고, 저장된 전압을 한 프레임 동안 유지한다.

유기 발광 다이오드(OLED)의 애노드 전극은 제1 전원(ELVDD)에 접속되고, 캐소드 전극은 제2 트랜지스터(M2)의 제1 전극에 접속된다. 여기서, 유기 발광 다이오드(OLED)는 애노드 전극, 캐소드 전극 및 이들 사이에 위치하여 전자와 정공의 결합에 의하여 발광하는 유기 발광층을 포함한다. 이와 같은 유기 발광 다이오드(OLED)는 제2 트랜지스터(M2)에 의해 제어되는 전류에 대응하는 휘도로 발광한다.

이와 같이 구성된 화소(310)의 동작과정을 상세히 설명하면, 먼저 주사선(S[n])에 주사신호가 공급되면 제1 트랜지스터(M1)가 턴-온된다. 제1 트랜지스터(M1)가 턴-온되면 데이터선(D)으로 공급되는 데이터신호가 제1 트랜지스터(M1)를 경유하여 제1 노드(N1)로 공급된다. 제1 노드(N1)에 데이터신호가 공급되면 저장용 커패시터(Cst)에는 데이터신호에 대응되는 전압이 충전된다. 그러면, 제2 트랜지스터(M2)는 자신의 게이트 전극에 공급되는 전압(즉, 데이터신호에 대응되는 전압)에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제2 전원(ELVSS)으로 흐르는 전류를 제어한다. 이에 따라, 유기 발광 다이오드(OLED)는 데이터신호에 대응되는 빛을 생성한다.

도 5는 도 4에 도시된 화소를 나타내는 레이아웃 도면이다.

도 5를 참조하면, 기판 상의 화소부(300)에는 행 방향으로 주사선(S[n])이 배열되고, 열 방향으로 데이터선(D[m]) 및 제1 배선(L1)이 배열된다. 그리고, 주사선(S[n]), 데이터선(D[m]) 및 제1 배선(L1)에 의해 구획된 영역에는 화소(310)가 형성된다. 이와 같은 화소(310)는 제1 및 제2 트랜지스터(M1, M2), 저장용 커패시터(Cst) 및 유기 발광 다이오드(OLED)를 포함한다.

여기서, 저장용 커패시터(Cst)의 제1 단자와 제2 트랜지스터(M2)의 제1 전극은 C와 같이 서로 중첩되면서 절연되도록 형성된다. 이때, 중첩된 부분에는 추가적으로 커패시터가 형성되는데 이를 저장용 커패시터(Cst)로 활용할 수 있어 저장용 커패시터(Cst)의 전체 용량이 증가하게 된다.

화소들의 구성을 좀 더 상세히 설명하면, 제1 트랜지스터(M1)는 주사선(S[n]) 및 데이터선(D[m])에 인접한 화소 영역의 일측에 형성된다. 이때, 제1 트랜지스터(M1)의 게이트 전극은 주사선(S[n])에 접속되고, 제1 전극은 데이터선(D[m])에 접속되도록 형성된다.

제2 트랜지스터(M2)는 제1 배선(L1)과 인접한 화소(310) 영역의 다른 측에 형성된다. 이때, 제2 트랜지스터(M2)의 제2 전극은 제1 배선(L1)과 접속되도록 형성된다. 여기서, 제1 및 제2 트랜지스터(M1, M2)는 유기 반도체층을 포함하도록 형성된다.

저장용 커패시터(Cst)의 제1 단자는 제1 트랜지스터(M1)와 제2 트랜지스터(M2) 사이의 영역에 형성된다. 이때, 제1 단자의 일측은 제1 트랜지스터(M1)의 제2 전극과 일부 중첩되도록 형성되고, 중첩된 부분이 콘택홀을 통해 제1 트랜지스터(M1)의 제2 전극과 통전되도록 형성된다. 또한, 저장용 커패시터(Cst)의 제1 단자는 제2 트랜지스터(M2)의 게이트 전극과도 접속되도록 형성된다. 그리고, 저장용 커패시터(Cst)의 제2 단자는 제1 배선(L1)과 접속되며, 자신의 제1 단자와 대향되도록 형성된다.

유기 발광 다이오드(OLED)는 제1 및 제2 트랜지스터(M1, M2)와 저장용 커패시터(Cst)가 형성되지 않은 나머지 화소 영역에 형성된다. 이때, 유기 발광 다이오드(OLED)의 애노드 전극은 제1 전원(ELVDD)에 접속되고, 캐소드 전극은 제2 트랜지스터(M2)의 제1 전극에 접속되도록 형성된다.

전술한 화소에 있어서, 저장용 커패시터(Cst)의 제1 단자와 제2 트랜지스터(M2)의 제1 전극이 서로 절연되어 중첩된 부분에 추가적인 커패시터가 형성됨으로써 저장용 커패시터(Cst)의 용량을 증가시킬 수 있다. 이때, 생성되는 커패시터는 추가적인 공간을 필요로 하지 않고 제한된 화소 영역 내에 형성된다. 따라서, 본 발명의 실시예에 의하면, 화소 영역을 효율적으로 활용하여 저장용 커패시터(Cst)의 용량을 증가시킴으로써 안정적으로 화소를 구동시킬 수 있다.

도 6은 도 5에 도시된 B-B' 선에 따른 단면도의 일례이다.

도 6을 참조하면, 기판(601) 상에 데이터선(D[m])(610), 제1 트랜지스터(M1)(620), 저장용 커패시터(Cst)(630), 제2 트랜지스터(M2)(640) 및 제1 배선(L1)(650)이 형성된다. 여기서, 저장용 커패시터(Cst)(630)의 제1 단자(631) 일부와 제2 트랜지스터(M2)(640)의 제1 전극(644)은 C와 같이 게이트 절연막(622)을 사이에 두고 서로 절연되며 중첩되도록 형성된다.



이하에서는 데이터선(D[m])(610), 제1 트랜지스터(M1)(620), 저장용 커패시터(Cst)(630), 제2 트랜지스터(M2)(640) 및 제1 배선(L1)(650)의 제조공정에 대해 상술하기로 한다.

우선, 기판(601) 상에 게이트 금속과 같은 제1 도전체를 증착한 후 패터닝한다. 패터닝 된 제1 도전체 중 제1 트랜지스터(M1)(620) 영역에 형성된 제1 도전체는 제1 트랜지스터(M1)(620)의 게이트 전극(621)이 되고, 저장용 커패시터(Cst)(630) 영역에 형성된 제1 도전체는 저장용 커패시터(Cst)(630)의 제1 단자(631)가 된다. 그리고, 제2 트랜지스터(M2)(640) 영역에 형성된 제1 도전체는 제2 트랜지스터(M2)(640)의 게이트 전극(641)이 된다.

이후, 제1 트랜지스터(M1)(620)의 게이트 전극(621), 저장용 커패시터(Cst)(630)의 제1 단자(631) 및 제2 트랜지스터(M2)(640)의 게이트 전극(641) 상에 게이트 절연막(622)을 형성한다. 게이트 절연막(622)은 산화막 또는 질화막 등의 절연물질로 형성된다. 여기서, 제1 트랜지스터(M1)(620) 영역과 인접한 저장용 커패시터(Cst)(630)의 제1 단자(631) 상에 형성된 게이트 절연막(622)에는 콘택홀을 형성한다.

이후, 제1 및 제2 트랜지스터(M1, M2)(620, 640)의 게이트 전극(621, 641) 상에 형성된 게이트 절연막(622)의 상부에 펜타센 등의 유기 반도체 물질을 증착한 후 패터닝함으로써 반도체층(623, 643)을 형성한다. 여기서, 반도체층(623, 643)을 유기 물질로 형성함으로써, 저온공정 및 저가격 양산화가 가능해지고 이에 의하여 플라스틱 등과 같이 열에 약한 기판 상에 트랜지스터를 형성하는 것이 가능해진다. 즉, 제1 및 제2 트랜지스터(M1, M2)(620, 640)를 유기 박막 트랜지스터로 형성함으로써 플렉시블 디스플레이의 구현을 더 용이하게 할 수 있다.

이후, 게이트 절연막(622) 및 반도체층(623, 643) 상에 소스 및 드레인 금속과 같은 제2 도전체를 증착한 후 패터닝한다. 패터닝 된 제2 도전체 중 데이터선(D[m])(610) 영역에 형성된 제2 도전체는 데이터선(D[m])(610)이 되고, 제1 트랜지스터(M1)(620) 영역에 형성된 제2 도전체는 제1 트랜지스터(M1)(620)의 제1 및 제2 전극(624)이 된다. 이때, 데이터선(D[m])(610)과 제1 트랜지스터(M1)(620)의 제1 전극(624)은 서로 접속되도록 형성되고, 제1 트랜지스터(M1)(620)의 제2 전극(624)은 콘택홀을 통하여 저장용 커패시터(Cst)(630)의 제1 단자(631)와 접속되도록 형성된다. 그리고, 저장용 커패시터(Cst)(630) 영역에 형성된 제2 도전체는 저장용 커패시터(Cst)(630)의 제2 단자(633)가 되고, 제2 트랜지스터(M2)(640) 영역에 형성된 제2 도전체는 제2 트랜지스터(M2)(640)의 제1 및 제2 전극(644)이 되며, 제1 배선(L1)(650) 영역에 형성된 제2 도전체는 제1 배선(L1)(650)이 된다. 여기서, 제2 트랜지스터(M2)(640)의 제1 전극(644)은 C와 같이 저장용 커패시터(Cst)의 제1 단자(631)와 일부 중첩되도록 형성된다. 그리고, 제2 트랜지스터(M2)(640)의 제2 전극(644)은 제1 배선(L1)(650)과 접속되도록 형성된다.

전술한 도 6에서는 트랜지스터들(M1, M2)(620, 640)이 모두 바텀-게이트(Bottom-Gate) 구조로 형성되었지만 본 발명이 이에 한정되는 것은 아니며, 트랜지스터들(M1, M2)(620, 640)은 탑-게이트(Top-Gate) 구조로 형성될 수도 있다.

한편, 도 7에 도시된 바와 같이 제1 트랜지스터(M1)(720)와 제2 트랜지스터(M2)(740)는 상이한 구조로 형성될 수도 있다.

도 7을 참조하면, 데이터선(D[m])(710)과 접속되도록 형성되는 제1 트랜지스터(M1)(720)는 게이트 전극(725)이 반도체층(722)의 상부에 위치되는 탑-게이트 구조로 형성된다. 이와 같은 제1 트랜지스터(M1)(720)는 제1 및 제2 전극(721), 반도체층(722) 및 게이트 전극(725)을 포함한다.

제1 배선(L1)(750)과 접속되도록 형성되는 제2 트랜지스터(M2)(740)는 게이트 전극(741)이 반도체층(743)의 하부에 위치되는 바텀-게이트 구조로 형성된다. 이와 같은 제2 트랜지스터(M2)(740)도 게이트 전극(741), 반도체층(743), 및 제1 및 제2 전극(744)을 포함한다. 여기서, 제1 및 제2 트랜지스터(M1, M2)(720, 740)는 유기 반도체층(722, 743)을 포함하는 유기 박막 트랜지스터이다.

저장용 커패시터(Cst)(730)의 제1 및 제2 단자(731, 733)는 제1 트랜지스터(M1)(720)와 제2 트랜지스터(M2)(740) 사이에 형성된다. 이와 같은 저장용 커패시터(Cst)(730)의 제1 단자(731)는 제1 트랜지스터(M1)(720)의 제2 전극(721)과 접속되도록 형성된다.

이때, C와 같이 저장용 커패시터(Cst)(730)의 제1 단자(731) 일부와 제2 트랜지스터(M2)(740)의 제1 전극(744)은 제1 절연막(723)에 의해 절연되며, 서로 중첩되도록 형성된다. 그리고, 주사선(S[n])과 제1 배선(L1)(750)의 안정성을 확보하기 위하여, 제1 트랜지스터(M1)(720)의 제1 절연막(723)과 게이트 전극(725) 사이와 저장용 커패시터(Cst)(730) 및 제2 트랜지스터(M2)(740)의 상부에는 제2 절연막(724)이 더 형성된다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

## 발명의 효과

상술한 바와 같이, 본 발명의 실시예에 의한 유기 발광 표시장치 및 그 제조방법에 의하면, 소자들 간의 중첩 부위를 이용하여 추가적인 커패시터가 생성되도록 함으로써 화소 영역을 효율적으로 활용하면서 저장용 커패시터의 용량을 증가시킬 수 있다. 이로 인하여, 본 발명에서는 화소를 안정적으로 구동시킬 수 있다. 또한, 각 화소에 포함된 트랜지스터들의 반도체층을 유기 물질로 형성함으로써 저온공정 및 저가격 양산화가 가능해지고, 이에 의하여 플라스틱 등과 같이 열에 약한 기판 상에도 트랜지스터를 형성하는 것이 가능해져 플렉시블 디스플레이의 구현을 더 용이하게 할 수 있다.

## 도면의 간단한 설명

도 1은 일반적인 유기 발광 표시장치의 화소를 나타내는 레이아웃 도면이다.

도 2는 도 1에 도시된 A-A' 선에 따른 단면도이다.

도 3은 본 발명의 실시예에 의한 유기 발광 표시장치를 나타내는 도면이다.

도 4는 도 3에 도시된 화소들의 일례를 나타내는 회로도이다.

도 5는 도 4에 도시된 화소를 나타내는 레이아웃 도면이다.

도 6은 도 5에 도시된 B-B' 선에 따른 단면도의 일례이다.

도 7은 도 5에 도시된 B-B' 선에 따른 단면도의 다른 예이다.

### <도면의 주요 부분에 대한 부호의 설명>

300: 화소부 310: 화소

320: 주사 구동부 330: 데이터 구동부

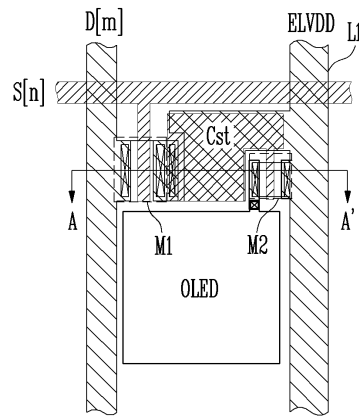
601, 701: 기판 610, 710: 데이터선

620, 720: 제1 트랜지스터 630, 730: 저장용 커패시터

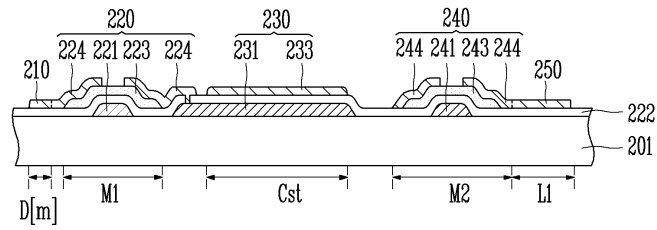
640, 740: 제2 트랜지스터 650, 750: 제1 배선

## 도면

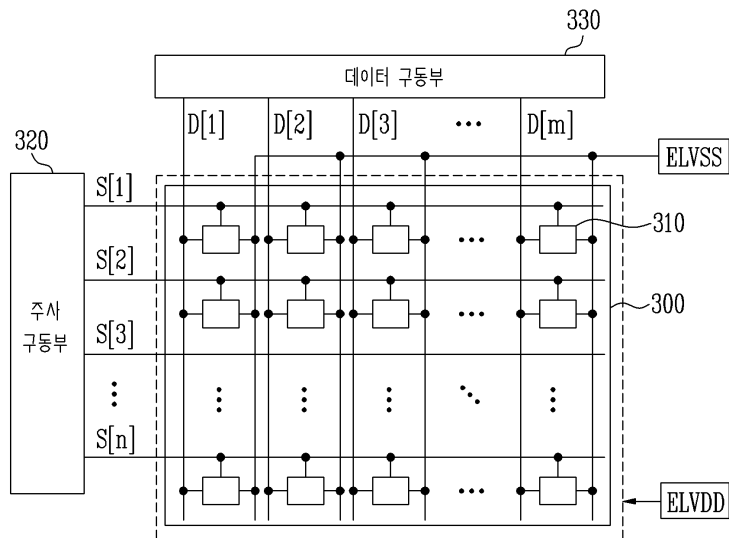
도면1



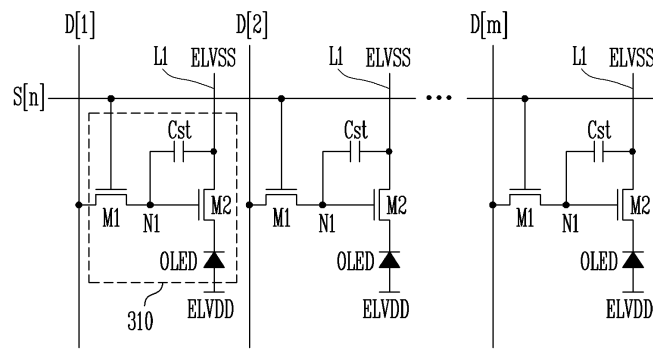
도면2



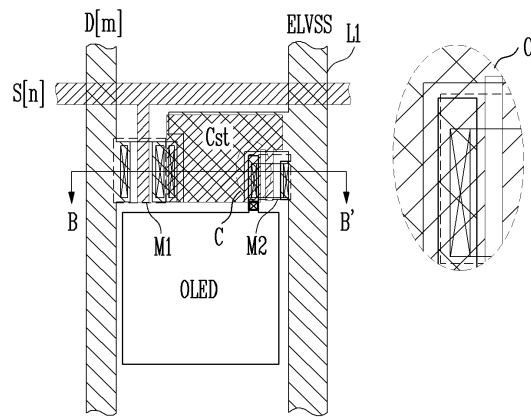
도면3



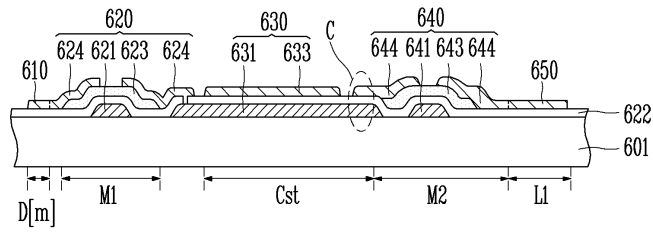
도면4



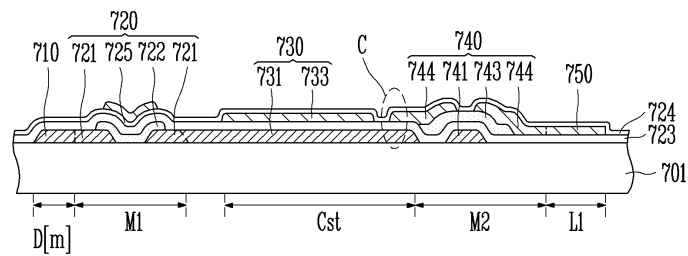
도면5



도면6



도면7



|               |                                    |         |            |
|---------------|------------------------------------|---------|------------|
| 专利名称(译)       | 有机发光显示装置及其制造方法                     |         |            |
| 公开(公告)号       | <a href="#">KR100673762B1</a>      | 公开(公告)日 | 2007-01-24 |
| 申请号           | KR1020050127224                    | 申请日     | 2005-12-21 |
| 申请(专利权)人(译)   | 三星SD眼有限公司                          |         |            |
| 当前申请(专利权)人(译) | 三星SD眼有限公司                          |         |            |
| [标]发明人        | YOUNGJAE KIM<br>김영재                |         |            |
| 发明人           | 김영재                                |         |            |
| IPC分类号        | H05B33/00 H05B33/10                |         |            |
| CPC分类号        | G09G3/3233 G09G2300/0842 H01L51/56 |         |            |
| 代理人(译)        | SHIN , YOUNG MOO                   |         |            |
| 外部链接          | <a href="#">Espacenet</a>          |         |            |

#### 摘要(译)

提供有机发光显示器及其制造方法，以通过使用器件之间的重叠区域形成附加电容器来增加存储电容器的电容。有机发光显示器包括：像素单元，包括连接到多条扫描线（ $S[n]$ ），数据线（ $D[m]$ ）和电源线的多个像素；扫描驱动单元，其将扫描信号施加到扫描线（ $S[n]$ ）和将数据信号施加到数据线（ $D[m]$ ）的数据驱动单元。每个像素包括至少一个有机薄膜晶体管（ $M1$ ， $M2$ ）和存储电容器。有机薄膜晶体管（ $M1$ ， $M2$ ）的第一和第二电极之一与存储电容器的一个端子绝缘并重叠。每个像素包括连接在第一电源和第二电源之间的有机发光二极管，连接到扫描线（ $S[n]$ ）的第一有机薄膜晶体管，数据线（ $D[m]$ ），第一节点，连接在第一节点和第二电源之间的存储电容器，以及连接在第一节点，有机发光二极管和第二电源之间的第二有机薄膜晶体管。

