

도 1은 종래의 액티브 매트릭스형 유기 전계발광표시장치의 기본 화소 구조를 나타낸 도면

도 2는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치에서의 하나의 화소에 대한 등가회로를 나타낸 도면

도 3은 도 2의 제 1 NMOS 트랜지스터의 동작특성을 설명하기 위한 도면

도 4는 도 3의 제 1 NMOS 트랜지스터의 입력전압대 출력전압의 특성곡선 및 문턱전압을 설명하기 위한 도면

도 5는 도 2의 회로에 인가되는 각종 신호의 타이밍도를 나타낸 도면

도 6a는 제 1 기간동안의 도 2의 회로에 대한 등가회로도

도 6b는 제 2 기간동안의 도 2의 회로에 대한 등가회로도

도 6c는 제 3 기간동안의 도 2의 회로에 대한 등가회로도

도 6d는 표시기간동안의 도 2의 회로에 대한 등가회로도

도 7은 본 발명의 제 2 실시예에 따른 유기전계발광표시장치에서의 하나의 화소에 대한 등가회로도

도 8은 도 7의 전압발생부에 대한 상세 구성도

도 9는 도 7의 회로에 인가되는 각종 신호의 타이밍도를 나타낸 도면

도 10a는 제 1 기간동안의 도 7의 회로에 대한 등가회로도

도 10b는 제 2 기간동안의 도 7의 회로에 대한 등가회로도

도 10c는 표시기간동안의 도 7의 회로에 대한 등가회로도

* 도면의 주요부에 대한 부호 설명

Tr1 : 제 1 NMOS 트랜지스터 Tr2 : 제 2 NMOS 트랜지스터

C: 커패시터 a : 제 1 노드

b : 제 2 노드 710 : 전압공급라인

OLED : 전계발광소자 VDD : 전압원

SL : 주사라인 DL : 데이터 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치에 관한 것으로, 특히 구동 스위칭소자의 문턱전압의 변화에 상관없이 높은 신뢰성을 유지할 수 있고, 단위 화소의 면적 및 제조 비용을 줄일 수 있는 유기전계발광표시장치 및 이의 구동방법에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한 평판표시장치는 액정표시장치(Liquid Crystal Display), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel) 및 전계발광(Electro-Luminescence)표시장치 등이 있다.

최근에 이와 같은 평판표시장치의 표시품질을 높이고 대화면을 시도하는 연구들이 활발히 진행되고 있다. 이들 중 전계발광표시장치는 스스로 발광하는 자발광 소자이다. 전계발광표시장치는 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기시킴으로써 비디오 영상을 표시하게 된다. 이 전계발광표시장치는 사용하는 재료에 따라 무기 전계발광표시장치와 유기 전계발광표시장치로 크게 나뉘어진다. 상기 유기 전계발광표시장치는 100~200V의 높은 전압을 필요로 하는 무기 전계발광표시장치에 비해 5~20V 정도의 낮은 전압으로 구동됨으로써 직류 저전압 구동이 가능하다. 또한, 유기 전계발광표시장치는 넓은 시야각, 고속 응답성, 고 콘트라스트비(contrast ratio) 등의 뛰어난 특징을 갖고 있으므로, 그래픽 디스플레이의 픽셀(pixel), 텔레비전 영상 디스플레이나 표면 광원(Surface Light Source)의 픽셀로서 사용될 수 있으며, 얇고 가벼우며 색감이 좋기 때문에 차세대 평면 디스플레이로서 적합하다.

한편, 이러한 유기 전계발광표시장치의 구동방식으로는 별도의 박막트랜지스터를 구비하지 않는 패시브 매트릭스 방식(Passive matrix type)이 주로 이용되고 있다.

그러나, 상기 패시브 매트릭스 방식은 해상도나 소비전력, 수명 등에 많은 제한적인 요소를 가지고 있기 때문에, 고해상도나 대화면을 요구하는 차세대 디스플레이 제조를 위한 액티브 매트릭스형 전계발광표시장치가 연구/개발되고 있다.

도 1은 종래의 액티브 매트릭스형 유기 전계발광표시장치의 기본 화소 구조를 나타낸 도면이다.

종래의 액티브 매트릭스형 유기 전계발광표시장치의 기본 화소 구조는, 도 1에 도시된 바와 같이, 일방향으로 배열된 게이트 라인(GL)과, 서로 수직인 방향으로 배열된 게이트 라인(GL) 및 데이터 라인(DL)과, 상기 게이트 라인(GL)과 상기 데이터 라인(DL)에 의해서 정의되는 각 화소에 형성되는 전계발광소자(OLED)와, 상기 전계발광소자(OLED)의 애노드에 직류 전압을 전송하기 위한 전압공급라인(110)과, 상기 게이트 라인(GL)에 게이트단자가 연결되고 상기 데이터 라인(DL)에 드레인단자가 연결된 제 1 NMOS 트랜지스터(Tr1)와, 상기 제 1 NMOS 트랜지스터(Tr1)의 소스단자에 게이트단자가 연결되고 상기 전계발광소자(OLED)의 캐소드에 드레인단자가 연결되며 접지단자에 소스단자가 연결된 제 2 NMOS 트랜지스터(Tr2)와, 상기 제 2 NMOS 트랜지스터(Tr2)의 게이트단자와 소스단자 사이에 연결된 커패시터(C)를 구비하여 구성된다.

여기서, 상기 제 1 NMOS 트랜지스터(Tr1)는 상기 게이트 라인(GL)으로부터의 스캔신호에 응답하여 턴-온 됨으로써 자신의 소스단자와 드레인단자 사이에 전류패스를 형성시킴과 아울러, 상기 게이트 라인(GL) 상의 전압이 자신의 문턱전압(Threshold Voltage : V_{th}) 이하일 때 턴-오프 상태를 유지하게 된다. 상기 제 1 NMOS 트랜지스터(Tr1)의 턴-온 타임기간에, 상기 데이터 라인(DL)으로부터의 데이터 전압은 제 1 NMOS 트랜지스터(Tr1)의 드레인단자를 통해 상기 제 2 NMOS 트랜지스터(Tr2)의 게이트단자에 인가된다. 이와 반대로, 상기 제 1 NMOS 트랜지스터(Tr1)의 오프타임기간에는 상기 제 1 NMOS 트랜지스터(Tr1)의 소스단자와 드레인단자 사이의 전류패스가 오픈되어 상기 데이터 전압이 상기 제 2 NMOS 트랜지스터(Tr2)에 인가되지 않는다.

상기 제 2 NMOS 트랜지스터(Tr2)는 자신의 게이트단자에 공급되는 데이터 전압에 따라 자신의 소스단자와 드레인단자 간을 흐르는 전류의 양을 조절하여 상기 데이터 전압에 대응하는 밝기로 전계발광소자(OLED)를 발광시킨다.

상기 커패시터(C)는 상기 제 2 NMOS 트랜지스터(Tr2)의 게이트단자에 인가되는 데이터 전압을 한 프레임기간동안 일정하게 유지함과 아울러 상기 전계발광소자(OLED)에 인가되는 전류를 한 프레임기간 동안 일정하게 유지시킨다.

한편, 상기 제 2 NMOS 트랜지스터(Tr2)의 게이트단자에는 일정 극성(정극성)의 데이터 전압이 인가되며, 상기 제 2 NMOS 트랜지스터(Tr2)의 소스단자는 접지되어 있기 때문에 상기 제 2 NMOS 트랜지스터(Tr2)의 게이트단자-소스단자 간 전압은 정극성을 가지게 된다. 이로 인해 상기 제 2 NMOS 트랜지스터(Tr2)의 문턱전압이 계속적으로 한쪽 극성(정극성)으로 상승하는 문체점이 발생한다. 상기 제 2 NMOS 트랜지스터(Tr2)의 문턱전압의 상승은 상기 전계발광소자(OLED)에 공급되는 전류를 감소시키는 원인이 되며, 이는 결국 상기 전계발광소자(OLED)의 휘도를 떨어뜨리게 되어 화상의 품질을 저하시키는 원인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 전계발광소자를 구동하기 위한 스위칭소자의 문턱전압을 저장하고, 상기 저장된 문턱전압을 상기 표시기간에서 상기 스위칭소자의 문턱전압과 상쇄시켜 제거함으로써, 상기 스위칭소자가 열화되어 그의 문턱전압이 변하더라도 이에 영향을 받지 않는 유기전계발광표시장치 및 그의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 유기전계발광표시장치는, 각 화소마다 형성되어, 인가되는 전류에 응답하여 발광하는 발광소자; 데이터 라인으로부터의 데이터 전압과 시간에 따라 변화하는 램프전압을 비교하여, 상기 발광소자에 인가되는 전류의 공급시간을 조절하는 제 1 스위칭소자; 주사라인으로부터의 스캔펄스에 응답하여 상기 제 1 스위칭소자의 게이트단자와 소스단자간을 단락시키는 제 2 스위칭소자; 상기 데이터 라인과 상기 제 1 스위칭소자의 게이트단자간에 접속되어, 상기 데이터 전압과 상기 제 1 스위칭소자의 문턱전압간의 차전압을 저장하는 커패시터; 및, 상기 발광소자에 선택적으로 전압원을 공급하여, 상기 제 1 스위칭소자와 상기 발광소자간을 전기적으로 결합 또는 분리하는 전원발생부를 포함하여 구성됨을 그 특징으로 한다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 유기전계발광표시장치는, 각 화소마다 형성되어, 인가되는 전류에 응답하여 발광하는 발광소자와, 데이터 라인으로부터의 데이터 전압과 시간에 따라 변화하는 램프전압을 비교하여, 상기 발광소자에 인가되는 전류의 공급시간을 조절하는 제 1 스위칭소자와, 스캔펄스에 응답하여 상기 제 1 스위칭소자의 게이트단자와 소스단자간을 단락시키는 제 2 스위칭소자와, 상기 데이터 라인과 상기 제 1 스위칭소자의 게이트단자간에 접속되어, 상기 데이터 전압과 상기 제 1 스위칭소자의 문턱전압간의 차전압을 저장하는 커패시터를 포함하여 구성된 유기전계발광표시장치의 구동방법에 있어서, 상기 제 2 스위칭소자를 턴-온시켜 상기 제 1 스위칭소자의 게이트단자와 소스단자간을 단락시키고 전압원을 상기 발광소자에 공급하여, 상기 커패시터에 상기 차전압을 충전시키는 단계; 상기 제 2 스위칭소자를 턴-오프시켜 상기 제 1 스위칭소자의 게이트단자와 소스단자간을 분리시키고 상기 발광소자에 공급되는 전압원을 차단하여, 상기 커패시터에 저장된 차전압을 유지시키는 단계; 및, 상기 발광소자에 상기 전압원을 공급함과 아울러, 상기 데이터 라인에 시간에 상기 램프전압을 인가하는 단계를 포함하여 이루어짐을 그 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 제 1 실시예에 따른 유기전계발광표시장치를 상세히 설명하면 다음과 같다.

도 2는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치에서의 하나의 화소에 대한 등가회로를 나타낸 도면이다.

본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 기본 화소구조는, 도 2에 도시된 바와 같이, 인가되는 전류에 응답하여 발광하는 전계발광소자(OLED)와, 게이트 드라이버(도시되지 않음)로부터의 제 1 스캔펄스(S1)를 전송하는 제 1 주사라인(SL1)과, 상기 게이트 드라이버로부터의 제 2 스캔펄스(S2)를 전송하는 제 2 주사라인(SL2)과, 데이터 드라이버(도시되지 않음)로부터의 데이터 전압(Vd) 및 램프(Ramp)전압(Vramp)을 전송하는 데이터 라인(DL)과, 상기 데이터 라인(DL)으로부터의 데이터 전압(Vd)의 크기에 따라 시간을 달리하여 상기 전계발광소자(OLED)에 전류를 공급하는 제 1 NMOS 트랜지스터(Tr1)와, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 드레인단자간에 접속되어, 상기 제 1 주사라인(SL1)으로부터의 제 1 스캔펄스(S1)에 응답하여 턴-온됨으로써 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 드레인단자간을 단락시키는 제 2 NMOS 트랜지스터(Tr2)와, 상기 제 1 NMOS 트랜지스터(Tr1)의 드레인단자와 상기 전계발광소자(OLED)의 캐소드간 접속되어, 상기 제 2 주사라인(SL2)으로부터의 제 2 스캔펄스(S2)에 응답하여 턴-온됨으로써 상기 제 1 NMOS 트랜지스터(Tr1)의 드레인단자와 상기 전계발광소자(OLED)의 캐소드간을 단락시키는 제 3 NMOS 트랜지스터(Tr3)와, 상기 전계발광소자(OLED)의 애노드에 접속되어 상기 전계발광소자(OLED)에 전압원(VDD)을 제공하는 전압공급라인(210)과, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 상기 데이터 라인(DL)간에 접속된 커패시터(C)를 포함한다.

이와 같이 구성된 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 동작을 상세히 설명하면 다음과 같다.

도 3은 도 2의 제 1 NMOS 트랜지스터의 동작특성을 설명하기 위한 도면이고, 도 4는 도 3의 제 1 NMOS 트랜지스터의 입력전압대 출력전압의 특성곡선 및 문턱전압을 설명하기 위한 도면이다.

먼저, 도 2의 회로는 도 3에 도시된 바와 같이, 제 1 NMOS 트랜지스터(Tr1)의 드레인단자에 전계발광소자(OLED)라는 부하가 접속된 형태로 다시 나타낼 수 있는데, 이때, 상기 제 1 NMOS 트랜지스터(Tr1)의 드레인단자에 접속된 전계발광소자(OLED)로 인해, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에 인가되는 입력전압(Vin)이 커질수록, 상기 제 1 NMOS 트랜지스터(Tr1)의 드레인단자로부터 출력되는 출력전압(Vout)은 감소하게 된다.

즉, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에 입력전압(Vin)이 인가되면, 상기 제 1 NMOS 트랜지스터(Tr1)가 턴-온되면서 상기 제 1 NMOS 트랜지스터(Tr1)의 드레인단자-소스단자간에는 전류가 흐르게 되는데, 이로 인해 상기 전압원(VDD)이 상기 전계발광소자(OLED)와 상기 제 2 NMOS 트랜지스터(Tr2)의 드레인단자-소스단자간에 나누어 분배된다. 이때, 상기 제 2 NMOS 트랜지스터(Tr2)의 드레인단자와 전압원(VDD)을 출력하는 전압발생부(도시되지 않음)간에 접속된 전계발광소자(OLED)의 저항이 상기 제 1 NMOS 트랜지스터(Tr1)의 내부저항보다 더 크게 설정되어 있기 때문에, 상기 전압원(VDD)은 상기 전계발광소자(OLED)에 더욱 많이 분배되게 된다. 따라서, 상기 입력전압(Vin)이 증가할수록 상기 제 1 NMOS 트랜지스터(Tr1)의 출력전압(Vout)(즉, 드레인단자로부터 출력되는 전압)은 더욱 작아지게 된다.

결국, 상기 제 1 NMOS 트랜지스터(Tr1)의 입력전압(Vin)대 출력전압(Vout) 곡선(401)은, 도 4에 도시된 바와 같이, 입력전압(Vin)과 출력전압(Vout)간의 관계가 반비례하는 인버터의 특성을 나타낸다.

이와 같은 원리를 바탕으로, 본 발명의 제 1 실시예에 따른 유기전계발광표시장치에서 하나의 화소의 동작을 상세히 설명하면 다음과 같다.

도 5는 도 2의 회로에 인가되는 각종 신호의 타이밍도를 나타낸 도면이고, 도 6a는 제 1 기간동안의 도 2의 회로에 대한 등가회로도이다.

먼저, 제 1 기간(T1)동안에는, 도 5에 도시된 바와 같이, 제 1 스캔펄스(S1) 및 제 2 스캔펄스(S2)가 하이 상태를 유지한다. 그리고, 데이터 드라이버로부터 출력된 데이터 전압(Vd)이 데이터 라인(DL)에 인가되기 시작한다.

따라서, 상기 제 1 기간(T1)동안에는 도 2의 제 2 및 제 3 NMOS 트랜지스터(Tr2, Tr3)가 모두 턴-온 상태를 유지한다. 이와 같이, 상기 제 2 및 제 3 NMOS 트랜지스터(Tr2, Tr3)가 턴-온 상태를 유지하는 제 1 기간(T1)의 회로구성은, 도 6a와 같이 등가적으로 고쳐 나타낼 수 있다.

즉, 도 6a에 도시된 바와 같이, 상기 턴-온된 제 2 및 제 3 NMOS 트랜지스터(Tr2, Tr3)는 하나의 도선으로 나타낼 수 있다. 따라서, 제 1 NMOS 트랜지스터(Tr1)는 자신의 게이트단자와 드레인단자가 서로 단락된 다이오드 형태로 나타낼 수 있다.

이로 인해, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 드레인단자는 동일한 전압을 갖게 된다. 다시말하면, 상기 게이트단자는 상술한 입력전압(Vin)이 인가되는 입력단자를 의미하며, 상기 드레인단자는 상기 출력전압(Vout)이 출력되는 드레인단자를 의미하는데, 이는 도 4에 도시된, 입력전압(Vin)과 출력전압(Vout)이 동일한 값으로 유지되는 직선(402)으로 나타낼 수 있다. 이때, 상기 직선(402)과 곡선(401)이 만나는 점의 전압값이 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 드레인단자에 걸리는 전압값을 의미한다.

여기서, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자 및 드레인단자에 걸린 전압은 결국, 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)과 동일해진다. 따라서, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 커패시터(C)간이 연결된 제 1 노드(a)에는 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)이 인가된다.

한편, 상기 제 1 기간(T1)동안에 상기 데이터 라인(DL)에 인가된 데이터 전압(Vd)은 상기 데이터 라인(DL)과 상기 커패시터(C)간이 공통으로 연결된 제 2 노드(b)에 인가된다. 따라서, 상기 커패시터(C)의 양단에는 상기 문턱전압(Vth)과 상기 데이터 전압(Vd)이 인가되며, 이에 따라, 상기 커패시터(C)에는 상기 데이터 전압(Vd)과 상기 문턱전압(Vth)의 차전압(Vd-Vth)이 충전된다.

요약하면, 상기 제 1 기간(T1)동안에는 상기 커패시터(C)에 상기 데이터 전압(Vd)과 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)간의 차전압(Vd-Vth)이 충전된다.

이어서, 제 2 기간(T2)동안의 회로의 동작을 설명하면 다음과 같다.

도 6b는 제 2 기간동안의 도 2의 회로에 대한 등가회로도이다.

상기 제 2 기간(T2)동안에는, 도 5에 도시된 바와 같이, 제 1 스캔펄스(S1)가 로우로 떨어지고, 상기 제 2 스캔펄스(S2)가 여전히 하이상태를 유지하고 있다.

따라서, 도 2에 도시된 제 2 NMOS 트랜지스터(Tr2)가 턴-오프되고, 제 3 NMOS 트랜지스터(Tr3)가 턴-온된다. 이와 같이, 상기 제 2 NMOS 트랜지스터(Tr2)가 턴-오프되고 상기 제 3 NMOS 트랜지스터(Tr3)가 턴-온되는 제 2 기간(T2)동안의 회로구성은, 도 6b와 같이 등가적으로 고쳐 나타낼 수 있다.

즉, 도 6b에 도시된 바와 같이, 상기 턴-온된 제 3 NMOS 트랜지스터(Tr3)는 하나의 도선으로 나타낼 수 있다.

다음으로, 제 3 기간(T3)동안의 회로의 동작을 설명하면 다음과 같다.

도 6c는 제 3 기간동안의 도 2의 회로에 대한 등가회로도이다.

상기 제 3 기간(T3)동안에는, 도 5에 도시된 바와 같이, 제 1 스캔펄스(S1) 및 제 2 스캔펄스(S2)가 모두 로우상태를 유지한다. 따라서, 도 2에 도시된 상기 제 2 및 제 3 NMOS 트랜지스터(Tr2, Tr3)가 모두 턴-오프상태를 유지한다. 이와 같이, 상기 제 2 및 제 3 NMOS 트랜지스터(Tr2, Tr3)가 턴-오프되는 제 3 기간(T3)동안의 회로구성은, 도 6c 같이 등가적으로 고쳐 나타낼 수 있다.

즉, 도 6c에 도시된 바와 같이, 상기 제 2 NMOS 트랜지스터(Tr2) 및 제 3 NMOS 트랜지스터(Tr3)를 모두 단선된 도선으로 나타낼 수 있다.

여기서, 상기 제 2 기간(T2) 및 제 3 기간(T3)에는 상기 커패시터(C)에 저장된 데이터 전압(Vd)과 문턱전압(Vth)간의 차전압(Vd-Vth)이 유지되는 기간으로서, 상술한 바와 같이, 상기 제 2 NMOS 트랜지스터(Tr2)와 제 3 NMOS 트랜지스터(Tr3)를 두 기간에 나누어 순차적으로 턴-오프시킴으로써 상기 커패시터(C)에 저장된 전압(Vd-Vth)의 변동을 최소화할 수 있다.

이제까지 설명한 제 1 내지 제 3 기간(T1 내지 T3)은 상기 커패시터(C)에 데이터 전압(Vd)과 문턱전압(Vth)간의 차전압(Vd-Vth)을 충전하고 유지하기 위한 기입기간에 해당한다. 이 기입기간에는 상기 전계발광소자(OLED)는 발광하지 않는다. 물론, 상기 데이터 전압(Vd)이 클 경우 상기 제 1 및 제 2 기간(T1, T2)동안 상기 전계발광소자(OLED)가 발광할 수 있지만, 상기 제 1 및 제 2 기간(T1, T2)은 상당히 짧은 시간이므로, 이 기간동안에 화면 전체가 블랙으로 표시되는 것으로 간주하여도 무방하다.

상기 기입기간의 다음에는 표시기간이 시작되는데, 상기 표시기간에서의 회로의 동작을 상세히 설명하면 다음과 같다.

도 6d는 표시기간동안의 도 2의 회로에 대한 등가회로도이다.

상기 표시기간은 상기 전계발광소자(OLED)가 실제로 발광하여 화상을 표시하는 기간으로서, 이 기간동안에는 상기 제 1 스캔펄스(S1)가 로우상태로 유지되고, 상기 제 2 스캔펄스(S2)가 하이상태를 유지하게 된다. 또한, 이 기간동안에는 상기 데이터 드라이버로부터 램프전압(Vramp)이 출력되어 상기 데이터 라인(DL)에 인가된다. 즉, 상기 데이터 드라이버는 상술한 기입기간동안에는 데이터 전압(Vd)을 출력하고, 이후 표시기간동안에는 램프전압(Vramp)을 출력한다.

여기서, 상기 데이터 전압(Vd)은 화상의 밝기정도를 나타내는 계조전압으로서 상기 화상의 밝기정도에 따라 다른 값을 나타내는 직류전압이며, 상기 램프전압(Vramp)은 상기 데이터 전압(Vd)의 크기에 따라 상기 제 1 NMOS 트랜지스터(Tr1)의 턴-온시간을 결정하는 교류전압으로서 모든 화소에 동일한 크기로 인가된다.

즉, 상기 데이터 전압(Vd)의 크기에 따라 상기 제 1 NMOS 트랜지스터(Tr1)의 턴-온시간이 결정되고, 상기 제 1 NMOS 트랜지스터(Tr1)의 턴-온시간에 따라 상기 제 1 NMOS 트랜지스터(Tr1)의 드레인단자 및 소스단자간을 흐르는 전류의 유지시간이 결정되며, 이에 의해 상기 전계발광소자(OLED)의 발광시간이 제어된다. 결국, 상기 데이터 전압(Vd)의 크기에 따라 상기 전계발광소자(OLED)의 발광시간이 결정되며, 상기 전계발광소자(OLED)의 발광시간에 따라 화상의 밝기정도가 결정된다.

여기서, 상기 램프전압(Vramp)을 좀 더 구체적으로 설명하면 다음과 같다.

상기 램프전압(Vramp)은, 도 5에 도시된 바와 같이, 시간에 따라 선형적으로 증가하여 피크전압에 이르면, 상기 피크전압으로부터 선형적으로 감소하는 삼각파형으로서, 상기 피크전압은 상기 전압공급라인(210)에 흐르는 전압원(VDD)과 동일한 값이다. 즉, 상기 램프전압(Vramp)은 시간에 따라 최소전압(접지전압)과 최대전압(전압원(VDD)) 사이에서 선형적으로 증가 및 감소하는 교류전압이다.

이와 같은 램프전압(Vramp)이 상기 데이터 라인(DL)으로부터 상기 제 2 노드(b)에 인가되었을 경우, 상기 회로의 동작을 설명하면 다음과 같다.

먼저, 상기 기입기간동안 상기 제 2 노드(b)에는 데이터 전압(Vd)이 인가된 상태이고, 이 제 2 노드(b)는 상기 표시기간동안에 인가되는 램프전압(Vramp)으로 갱신된다. 이에 따라, 제 1 노드(a)에는, 상기 커패시터(C)에 저장된 차전압(Vd-Vth)으로 인해, 상기 제 1 노드(a)에 인가된 램프전압(Vramp)과 상기 커패시터(C)에 저장된 전압간의 차전압(Vramp-(Vd-Vth))이 인가된다.

즉, 제 2 노드(b)의 전압은 램프전압(Vramp)으로 유지되고, 제 1 노드(a)의 전압은 상기 차전압(Vramp-(Vd-Vth))으로 유지된다.

이때, 상기 표시기간에 상기 제 2 노드(b)에 인가되는 램프전압(Vramp)이, 기입기간에 상기 제 2 노드(b)에 인가되었던 데이터 전압(Vd)보다 작을 경우, 상기 제 1 노드(a)의 전압(Vramp-(Vd-Vth))은 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)보다 작아지게 된다.

여기서, 상기 제 1 노드(a)는 상기 제 2 NMOS 트랜지스터(Tr2)의 게이트단자를 의미하므로, 결국, 상기 제 2 노드(b)에 인가된 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 작을 경우에는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에는 자신의 문턱전압(Vth)보다 더 작은 전압이 인가된다. 따라서, 상기 제 1 NMOS 트랜지스터(Tr1)는 턴-오프되고, 이로 인해 전계발광소자(OLED)는 발광하지 않는다. 이는 도 5의 표시기간내의 제 4 기간(T4)에 해당한다.

한편, 시간이 지남에 따라, 상기 램프전압(Vramp)이 선형적으로 증가하여, 상기 제 2 노드(b)에 인가되는 램프전압(Vramp)이 상기 데이터 전압(Vd)과 같아지게 되면, 상기 제 1 노드(a)의 전압(Vramp-(Vd-Vth))은 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)과 동일해진다.

여기서, 상술한 바와 같이, 상기 제 1 노드(a)는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자를 의미하므로, 결국, 상기 제 2 노드(b)에 인가된 램프전압(Vramp)이 상기 데이터 전압(Vd)과 동일해질 경우에는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에 자신의 문턱전압(Vth)과 동일한 전압이 인가된다. 이때는 상기 제 1 NMOS 트랜지스터(Tr1)가 턴-온 또는 턴-오프 될 수 있다. 따라서, 상기 전계발광소자(OLED)는 발광 또는 점멸될 수 있다. 이는 도 5의 제 4 기간(T4)과 제 5 기간(T5)의 경계점에 해당한다.

이후, 시간이 더 경과하여, 상기 제 2 노드(b)에 인가되는 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 더 커지게 되면, 상기 제 1 노드(a)의 전압(Vramp-(Vd-Vth))은, 상기 수식에 의해서, 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)보다 더 커지게 된다.

여기서, 상술한 바와 같이, 상기 제 1 노드(a)는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자를 의미하므로, 결국, 상기 제 2 노드(b)에 인가된 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 더 커질 경우에는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에 자신의 문턱전압(Vth)보다 더 큰 전압이 인가된다. 이때는 상기 제 1 NMOS 트랜지스터(Tr1)가 턴-온된다. 따라서, 상기 전계발광소자(OLED)가 발광되어 화소에는 단위 화상이 표시된다. 이는 도 5의 표시기간내의 제 5 기간(T5)에 해당한다.

이어서, 시간이 더 경과하여, 상기 램프전압(Vramp)이 선형적으로 감소하여, 상기 제 2 노드(b)에 인가되는 램프전압(Vramp)이 상기 데이터 전압(Vd)과 다시 동일해지면, 상술한 바와 같이, 제 1 노드(a)의 전압(Vramp-(Vd-Vth))은 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)과 다시 동일해진다. 따라서, 상기 전계발광소자(OLED)는 발광 또는 점멸될 수 있다. 이는 도 5의 표시기간내의 제 5 기간(T5)과 제 6 기간(T6)의 경계점에 해당한다.

이어서, 시간이 더 경과하여, 상기 제 2 노드(b)에 인가된 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 더 작아지게 되면, 상술한 바와 같이, 제 1 노드(a)의 전압(Vramp-(Vd-Vth))은 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)보다 더 작아지게 된다. 따라서, 상기 전계발광소자(OLED)는 다시 점멸된다. 이는 도 5의 제 6 기간(T6)에 해당한다.

이와 같이, 상기 표시기간동안, 상기 전계발광소자(OLED)는 발광 또는 점멸되는데, 상기 제 5 기간(T5)이 증가할수록, 즉 상기 전계발광소자(OLED)가 더 오랜시간동안 발광할수록 그의 휘도는 증가한다. 반대로, 상기 제 5 기간(T5)이 감소할수록, 즉 상기 전계발광소자(OLED)가 더 짧은시간동안 발광할수록 그의 휘도는 감소한다.

이는, 상기 전계발광소자(OLED)의 발광시간을 세분화하여 나눔으로써, 다양한 계조를 표현할 수 있다는 것을 의미한다.

여기서, 상기 제 5 기간(T5)의 길이는 상기 제 2 노드(b)에 인가된 데이터 전압(Vd)의 크기에 따라 달라진다. 즉, 상기 데이터 전압(Vd)이 높은 값을 가질수록, 상대적으로 상기 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 큰 값을 갖는 기간이 감소하게 되어, 상기 제 5 기간(T5)의 길이가 작아지게 되며, 이로 인해 상기 전계발광소자(OLED)의 발광시간이 감소하게 된다. 반대로, 상기 데이터 전압(Vd)이 낮은 값을 가질수록, 상대적으로 상기 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 큰 값을 갖는 기간이 증가하게 되어, 상기 제 5 기간(T5)의 길이가 증가하게 되며, 이로 인해 상기 전계발광소자(OLED)의 발광시간이 증가하게 된다.

한편, 본 발명에서는 상기 전계발광소자(OLED)를 발광시키기 전에, 기입기간에서 항상 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)의 값을 산출하고, 이 값을 데이터 전압(Vd)으로부터 차감하여 커패시터(C)에 저장한다. 즉, 상기 커패시터(C)에는 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)에 대한 정보가 저장된다. 그리고, 상기 저장된 문턱전압(Vth)은 이후 표시기간에서 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)과 상쇄되어 제거된다.

즉, 상기 표시기간에서의 제 1 노드(a)의 전압(Vramp-(Vd-Vth))을 나타낸 수식에서 알 수 있듯이, 상기 제 1 노드(a)의 전압값에 포함된 문턱전압(Vth)은 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에 입력되면서, 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)과 상쇄되어 제거된다. 그리고, 남은 전압, 즉 상기 제 1 노드(a)의 전압(Vramp-(Vd-Vth))에서 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)을 제외한 전압(Vramp-Vd)이 정극성이냐 부극성이냐에 따라 상기 제 1 NMOS 트랜지스터(Tr1)가 턴-온 여부가 결정된다. 여기서, 상기 문턱전압(Vth)을 제외한 전압(Vramp-Vd)의 극성 여부는 상기 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 크냐 작으냐에 따라 달라진다.

구체적으로, 상기 수식(Vramp-Vd)에서 알 수 있듯이, 상기 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 크면 상기 제 1 노드(a)의 전압이 정극성으로 유지되므로, 상기 제 1 NMOS 트랜지스터(Tr1)는 턴-온된다. 반대로, 상기 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 작으면 상기 제 1 노드(a)의 전압이 부극성으로 유지되므로, 상기 제 1 NMOS 트랜지스터(Tr1)는 턴-오프된다.

결국, 본 발명의 제 1 실시예에 따른 유기전계발광표시장치는, 상기 제 1 NMOS 트랜지스터(Tr1)가 열화되어 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)값이 변화여도 상기 문턱전압(Vth)의 값에 영향을 받지 않으므로, 상기 제 1 NMOS 트랜지스터(Tr1)가 열화되어 그의 문턱전압(Vth)이 변화하더라도 정상적으로 구동된다.

한편, 본 발명의 제 1 실시예에 따른 유기전계발광표시장치에서는, 적어도 3개의 스위칭소자(Tr1, Tr2, Tr3)를 사용하게 되므로, 제조 비용이 증가하고, 또한 화소의 면적이 커질 수밖에 없다.

이하, 상기와 같은 단점을 해결하기 위한 본 발명의 제 2 실시예에 따른 유기전계발광표시장치를 상세히 설명하면 다음과 같다.

도 7은 본 발명의 제 2 실시예에 따른 유기전계발광표시장치에서의 하나의 화소에 대한 등가회로도이고, 도 8은 도 7의 전압발생부에 대한 상세 구성도이다.

본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 기본 화소구조는, 도 7에 도시된 바와 같이, 인가되는 전류에 응답하여 발광하는 전계발광소자(OLED)와, 게이트 드라이버로부터의 스캔펄스(S)를 전송하는 주사라인(SL)과, 데이터 드라이버로부터의 데이터 전압(Vd) 및 램프전압(Vramp)을 전송하는 데이터 라인(DL)과, 상기 데이터 라인(DL)으로부터의 데이터 전압(Vd)의 크기에 따라 시간을 달리하여 상기 전계발광소자(OLED)에 전류를 공급하는 제 1 NMOS 트랜지스터(Tr1)와, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 드레인단자간에 접속되어, 상기 주사라인(SL)으로부터의 스캔펄스(S)에 응답하여 턴-온됨으로써 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 드레인단자간을 단락시키는 제 2 NMOS 트랜지스터(Tr2)와, 상기 전계발광소자(OLED)의 애노드에 접속되어 상기 전계발광소자(OLED)에 전압원(VDD)을 제공하는 전압공급라인(710)과, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 상기 데이터 라인(DL)간에 접속된 커패시터(C)와, 상기 전계발광소자(OLED)에 선택적으로 전압원(VDD)을 공급하여, 상기 제 1 NMOS 트랜지스터(Tr1)와 상기 전계발광소자(OLED)간을 전기적으로 결합 또는 분리하는 전원발생부(700)를 포함하여 구성된다.

여기서, 전원발생부(700)는, 도 8에 도시된 바와 같이, 외부전원(VCC)을 인가받아 이를 승압 또는 감압시켜, 유기전계발광표시장치의 각 부에 필요한 구동전압 및 상기 전압원(VDD)을 생성하여 출력하는 전원공급부(700a)와, 상기 전원공급부(700a)로부터의 전압원(VDD)을 공급받아, 이를 시간에 따라 상기 전계발광소자(OLED)에 선택적으로 공급하는 제어부(700b)를 포함한다.

즉, 본 발명의 제 2 실시예에 따른 화소구조는 제 1 실시예의 구조에서 제 3 NMOS 트랜지스터(Tr3) 및, 이를 턴-온시키기 위한 제 3 스캔펄스(S3)를 전송하는 제 2 주사라인(SL2)이 없는 구조이며, 이러한 구조를 가능하게 위하여, 상기 전원발생부(700)가 상기 전계발광소자(OLED)에 전압원(VDD)을 공급하는 시간을 제어한다.

한편, 제 1 실시예에서 사용된 전압원(VDD)은 그의 크기가 시간에 따라 항상 일정한 직류성분이지만, 제 2 실시예에서의 전압원은 교류방식으로 출력된다.

이와 같이 구성된 본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 동작을 상세히 설명하면 다음과 같다.

먼저, 상술한 바와 같이, 도 7의 회로에서 제 1 NMOS 트랜지스터(Tr1)의 드레인단자에 전계발광소자(OLED)라는 부하가 접속된 형태로 다시 나타낼 수 있는데(도 3참조), 이때, 상기 제 1 NMOS 트랜지스터(Tr1)의 드레인단자에 접속된 전계발광소자(OLED)로 인해, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에 인가되는 입력전압이 커질수록, 상기 제 1 NMOS 트랜지스터(Tr1)의 드레인단자로부터 출력되는 출력전압은 감소하게 된다.

따라서, 제 2 실시예에 따른 발명에서의 제 1 NMOS 트랜지스터(Tr1)도, 전술한 도 4에 도시된 인버터의 특성 곡선(401)을 나타내도록 동작한다.

이와 같은 원리를 바탕으로, 본 발명의 제 2 실시예에 따른 유기전계발광표시장치에서 하나의 화소의 동작을 상세히 설명하면 다음과 같다.

도 9는 도 7의 회로에 인가되는 각종 신호의 타이밍도를 나타낸 도면이고, 도 10a는 제 1 기간동안의 도 7의 회로에 대한 등가회로도이다.

먼저, 제 1 기간(T1)동안에는, 도 9에 도시된 바와 같이, 스캔펄스(S) 및 전압원(VDD)이 하이 상태를 유지한다. 그리고, 데이터 드라이버로부터 출력된 데이터 전압(Vd)이 데이터 라인(DL)에 인가되기 시작한다.

따라서, 상기 제 1 기간(T1)동안에는 도 8의 제 2 NMOS 트랜지스터(Tr2)가 턴-온 상태를 유지한다. 이와 같이, 상기 제 2 NMOS 트랜지스터(Tr2)가 턴-온 상태를 유지하는 제 1 기간(T1)의 회로구성은, 도 10a와 같이 등가적으로 고쳐 나타낼 수 있다.

즉, 도 10a에 도시된 바와 같이, 상기 턴-온된 제 2 NMOS 트랜지스터(Tr2)는 하나의 도선으로 나타낼 수 있다. 따라서, 제 1 NMOS 트랜지스터(Tr1)는 자신의 게이트단자와 드레인단자가 서로 단락된 다이오드 형태로 나타낼 수 있다.

이로 인해, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 드레인단자는 동일한 전압을 갖게 된다. 다시말하면, 상기 게이트단자는 상술한 입력전압이 인가되는 입력단자를 의미하며, 상기 드레인단자는 상기 출력전압이 출력되는 드레인단자를 의미하는데, 이는 전술한 도 4에 도시된 바와 같이, 입력전압(Vin)과 출력전압(Vout)이 동일한 값으로 유지되는 직선(402)으로 나타낼 수 있다. 이때, 상기 직선(402)과 상기 제 1 NMOS 트랜지스터(Tr1)의 특성 곡선(401)이 만나는 점의 전압값이 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 드레인단자에 걸리는 전압을 나타낸다.

여기서, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자 및 드레인단자에 걸린 전압은 결국, 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)과 동일해진다. 따라서, 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자와 커패시터(C)간이 연결된 제 1 노드(a)에는 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)이 인가된다.

한편, 상기 제 1 기간(T1)동안에 상기 데이터 라인(DL)에 인가된 데이터 전압(Vd)은 상기 데이터 라인(DL)과 상기 커패시터(C)간이 연결된 제 2 노드(b)에 인가된다. 따라서, 상기 커패시터(C)의 양단에는 상기 문턱전압(Vth)과 상기 데이터 전압(Vd)이 인가되며, 이에 따라, 상기 커패시터(C)에는 상기 데이터 전압(Vd)과 상기 문턱전압(Vth)의 차전압(Vd-Vth)이 충전된다.

요약하면, 상기 제 1 기간(T1)동안에는 상기 커패시터(C)에 상기 데이터 전압(Vd)과 상기 문턱전압(Vth)간의 차전압(Vd-Vth)이 저장된다.

이어서, 제 2 기간(T2)동안의 회로의 동작을 설명하면 다음과 같다.

도 10b는 제 2 기간동안의 도 7의 회로에 대한 등가회로도이다.

상기 제 2 기간(T2)동안에는, 도 9에 도시된 바와 같이, 상기 스캔펄스(S)가 로우 상태로 유지되고, 상기 전압원(VDD)의 공급이 차단된다.

따라서, 도 7에 도시된 제 2 NMOS 트랜지스터(Tr2)가 턴-오프된다. 그리고, 상기 전압원(VDD)의 공급이 차단됨에 따라, 상기 전압원(VDD)을 공급하는 전압공급라인(710)과 상기 전계발광소자(OLED)간이 연결이 끊어진 것으로 나타낼 수 있다.

이와 같이, 상기 제 2 NMOS 트랜지스터(Tr2)가 턴-오프되고, 상기 전압원(VDD)이 차단되는 제 2 기간(T2)동안의 회로 구성은, 도 10b와 같이 등가적으로 고쳐 나타낼 수 있다.

이와 같이 상기 제 2 기간(T2)에는 상기 커패시터(C)에 저장된 데이터 전압(Vd)과 문턱전압(Vth)간의 차전압(Vd-Vth)이 유지되는 기간이다.

이제까지 설명한 제 1 및 제 2 기간(T1, T2)은 상기 커패시터(C)에 데이터 전압(Vd)과 문턱전압(Vth)간의 차전압(Vd-Vth)을 충전하고 유지하기 위한 기입기간에 해당한다. 이 기입기간에는 상기 전계발광소자(OLED)는 발광하지 않는다. 물론, 상기 데이터 전압(Vd)이 클 경우 상기 제 1 기간(T1)동안 상기 전계발광소자(OLED)가 발광할 수 있지만, 상기 제 1 기간(T1)은 상당히 짧은 시간이므로, 이 기간동안에 화면 전체가 블랙으로 표시되는 것으로 간주하여도 무방하다.

상기 기입기간의 다음에는 표시기간이 시작되는데, 상기 표시기간에서의 회로의 동작을 상세히 설명하면 다음과 같다.

도 10c는 표시기간동안의 도 7의 회로에 대한 등가회로도이다.

상기 표시기간은 상기 전계발광소자(OLED)가 실제로 발광하여 화상을 표시하는 기간으로서, 이 기간동안에는, 도 9에 도시된 바와 같이, 상기 스캔펄스(S)가 로우상태로 유지되고, 상기 전압원(VDD)이 다시 공급되기 시작한다. 또한, 이 기간동안에는 상기 데이터 드라이버로부터 램프전압(Vramp)이 출력되어 상기 데이터 라인(DL)에 인가된다. 즉, 상기 데이터 드라이버는 상술한 기입기간동안에는 데이터 전압(Vd)을 출력하고, 이후 표시기간동안에는 램프전압(Vramp)을 출력한다.

한편, 상기 데이터 전압(Vd) 및 램프전압(Vramp)은 제 1 실시예에서 상술한 그것과 동일하므로, 별도의 설명은 생략한다.

이와 같은 램프전압(Vramp)이 상기 데이터 라인(DL)으로부터 상기 제 2 노드(b)에 인가되었을 경우, 상기 회로의 동작을 설명하면 다음과 같다.

먼저, 상술한 기입기간동안 상기 제 2 노드(b)에는 데이터 전압(Vd)이 인가된 상태이고, 이 제 2 노드(b)의 전압은 상기 표시기간동안에 램프전압(Vramp)으로 갱신된다. 이에 따라, 제 1 노드(a)에는, 상기 커패시터(C)에 저장된 차전압(Vd-Vth)으로 인해, 상기 제 1 노드(a)에 인가된 램프전압(Vramp)과 상기 커패시터(C)에 저장된 전압(Vd-Vth)간의 차전압(Vramp-(Vd-Vth))이 인가된다.

즉, 제 2 노드(b)는 램프전압(Vramp)으로 유지되고, 제 1 노드(a)는 상기 차전압(Vramp-(Vd-Vth))으로 유지된다.

이때, 상기 표시기간에 상기 제 2 노드(b)에 인가되는 램프전압(Vramp)이, 기입기간에 상기 제 2 노드(b)에 인가되었던 데이터 전압(Vd)보다 작을 경우, 상기 제 1 노드(a)의 전압(Vramp-(Vd-Vth))은, 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)보다 작아지게 된다. 여기서, 상기 제 1 노드(a)는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자를 의미하므로, 결국, 상기 제 2 노드(b)에 인가된 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 작을 경우에는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에는 자신의 문턱전압(Vth)보다 더 작은 전압이 인가된다. 따라서, 상기 제 1 NMOS 트랜지스터(Tr1)는 턴-오프되고, 이로 인해 전계발광소자(OLED)는 발광하지 않는다. 이는 도 9의 표시기간내의 제 3 기간(T3)에 해당한다.

한편, 시간이 지남에 따라, 상기 램프전압(Vramp)이 선형적으로 증가하여, 상기 제 2 노드(b)에 인가되는 램프전압(Vramp)이 상기 데이터 전압(Vd)과 같아지게 되면, 상기 제 1 노드(a)의 전압(Vramp-(Vd-Vth))은 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)과 동일해진다.

여기서, 상술한 바와 같이, 상기 제 1 노드(a)는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자를 의미하므로, 결국, 상기 제 2 노드(b)에 인가된 램프전압(Vramp)이 상기 데이터 전압(Vd)과 동일해질 경우에는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에 자신의 문턱전압(Vth)과 동일한 전압이 인가된다. 이때는 상기 제 1 NMOS 트랜지스터(Tr1)가 턴-온 또는 턴-오프 될 수 있다. 따라서, 상기 전계발광소자(OLED)는 발광 또는 점멸될 수 있다. 이는 도 9의 제 3 기간(T3)과 제 4 기간(T4)의 경계점에 해당한다.

이후, 시간이 더 경과하여, 상기 제 2 노드(b)에 인가되는 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 더 커지게 되면, 상기 제 1 노드(a)의 전압은, 상기 수식에 의해서, 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)보다 더 커지게 된다. 여기서, 상술한 바와 같이, 상기 제 1 노드(a)는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자를 의미하므로, 결국, 상기 제 2 노드(b)에 인가된 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 더 커질 경우에는 상기 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에 자신의 문턱전압(Vth)보다 더 큰 전압이 인가된다. 이때는 상기 제 1 NMOS 트랜지스터(Tr1)가 턴-온된다. 따라서, 상기 전계발광소자(OLED)가 발광되어 화소에는 단위 화상이 표시된다. 이는 도 9의 표시시간내의 제 4 기간(T4)에 해당한다.

이어서, 시간이 더 경과하여, 상기 램프전압(Vramp)이 선형적으로 감소하여, 상기 제 2 노드(b)에 인가되는 램프전압(Vramp)이 상기 데이터 전압(Vd)과 다시 동일해지면, 상술한 바와 같이, 제 1 노드(a)의 전압은 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)과 다시 동일해진다. 따라서, 상기 전계발광소자(OLED)는 발광 또는 점멸될 수 있다. 이는 도 9의 표시시간내의 제 4 기간(T4)과 제 5 기간(T5)의 경계점에 해당한다.

이어서, 시간이 더 경과하여, 상기 제 2 노드(b)에 인가된 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 더 작아지게 되면, 상술한 바와 같이, 제 1 노드(a)의 전압(Vramp-(Vd-Vth))은 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)보다 더 작아지게 된다. 따라서, 상기 전계발광소자(OLED)는 다시 점멸된다. 이는 도 9의 제 5 기간(T5)에 해당한다.

이와 같이, 상기 표시시간동안, 상기 전계발광소자(OLED)는 발광 또는 점멸되는데, 상기 제 4 기간(T4)이 증가할수록, 즉 상기 전계발광소자(OLED)가 더 오랜시간동안 발광할수록 그의 휘도는 증가한다. 반대로, 상기 제 4 기간(T4)이 감소할수록, 즉 상기 전계발광소자(OLED)가 더 짧은시간동안 발광할수록 그의 휘도는 감소한다.

이는, 상기 전계발광소자(OLED)의 발광시간을 세분화하여 나눔으로써, 다양한 계조를 표현할 수 있다는 것을 의미한다.

여기서, 상기 제 4 기간(T4)의 길이는 상기 제 2 노드(b)에 인가된 데이터 전압(Vd)의 크기에 따라 달라진다. 즉, 상기 데이터 전압(Vd)이 높은 값을 가질수록, 상대적으로 상기 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 큰 값을 갖는 기간이 감소하게 되어, 상기 제 4 기간(T4)의 길이가 작아지게 되며, 이로 인해 상기 전계발광소자(OLED)의 발광시간이 감소하게 된다. 반대로, 상기 데이터 전압(Vd)이 낮은 값을 가질수록, 상대적으로 상기 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 큰 값을 갖는 기간이 증가하게 되어, 상기 제 4 기간(T4)의 길이가 증가하게 되며, 이로 인해 상기 전계발광소자(OLED)의 발광시간이 증가하게 된다.

한편, 본 발명에서는 상기 전계발광소자(OLED)를 발광시키기 전에, 기입기간에서 항상 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)의 값을 산출하고, 이 값을 데이터 전압(Vd)으로부터 차감하여 커패시터(C)에 저장한다. 즉, 상기 커패시터(C)에는 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)에 대한 정보가 저장된다. 그리고, 상기 저장된 문턱전압(Vth)은 이후 표시시간에서 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)과 상쇄되어 제거된다.

즉, 상기 표시시간에서의 제 1 노드(a)의 전압(Vramp-(Vd-Vth))을 나타낸 수식에서 알 수 있듯이, 상기 제 1 노드(a)의 전압(Vramp-(Vd-Vth))에 포함된 문턱전압(Vth)은 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에 입력되면서, 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)과 상쇄되어 제거된다. 그리고, 남은 전압, 즉 상기 제 1 노드(a)의 전압(Vramp-(Vd-Vth))에서 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)을 제외한 전압(Vramp-Vd)이 정극성이냐 부극성이냐에 따라 상기 제 1 NMOS 트랜지스터(Tr1)가 턴-온 여부가 결정된다.

여기서, 상기 수식(Vramp-Vd)에서 알 수 있듯이, 상기 제 1 노드(a)의 전압의 극성은, 상기 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 크냐 작으냐에 따라 달라진다. 구체적으로, 상기 수식(Vramp-Vd)에서 알 수 있듯이, 상기 램프전압

(Vramp)이 상기 데이터 전압(Vd)보다 크면 상기 제 1 노드(a)의 전압이 정극성으로 유지되므로, 상기 제 1 NMOS 트랜지스터(Tr1)는 턴-온된다. 그리고, 상기 램프전압(Vramp)이 상기 데이터 전압(Vd)보다 작으면 상기 제 1 노드(a)의 전압이 부극성으로 유지되므로, 상기 제 1 NMOS 트랜지스터(Tr1)는 턴-오프된다.

결국, 본 발명의 제 2 실시예에 따른 유기전계발광표시장치는, 상기 제 1 NMOS 트랜지스터(Tr1)가 열화되어 상기 제 1 NMOS 트랜지스터(Tr1)의 문턱전압(Vth)값이 변화여도 상기 문턱전압(Vth)의 값에 영향을 받지 않으므로, 상기 제 1 NMOS 트랜지스터(Tr1)가 열화되어 그의 문턱전압(Vth)이 변화하더라도 정상적으로 구동된다. 더불어, 본 발명의 제 2 실시예에 따른 유기전계발광표시장치는 제 1 실시예의 그것에 비하여, 스위칭소자 및 주사라인(SL)을 줄일 수 있으므로, 단위 화소의 면적을 줄일 수 있고, 제조 비용을 절감할 수 있다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같은 본 발명에 따른 유기전계발광표시장치 및 이의 구동방법에는 다음과 같은 효과가 있다.

첫째, 본 발명은 표시기간에 앞서, 기입기간에서 항상 제 1 NMOS 트랜지스터의 문턱전압을 저장하고, 상기 저장된 문턱전압을 상기 표시기간에서 상기 제 1 NMOS 트랜지스터의 문턱전압과 상쇄시켜 제거함으로써, 상기 제 1 NMOS 트랜지스터가 열화되어 그의 문턱전압이 변화하더라도 이에 영향을 받지 않는다. 따라서, 본 발명의 화소 구조에 따르면, 상기 제 1 NMOS 트랜지스터의 문턱전압의 변화에 상관없이 항상 높은 신뢰성을 유지하도록 유기전계발광표시장치를 구동할 수 있다.

둘째, 본 발명은 상기 제 1 NMOS 트랜지스터에 인가되는 전압원을 교류방식으로 구동하여, 스위칭소자 및 이를 턴-온시키기 위한 스캔라인을 줄일 수 있으므로, 단위 화소의 면적을 줄일 수 있고, 제조비용을 줄일 수 있다.

(57) 청구의 범위

청구항 1.

각 화소마다 형성되어, 인가되는 전류에 응답하여 발광하는 발광소자;

데이터 라인으로부터의 데이터 전압과 시간에 따라 변화하는 램프(Ramp)전압을 비교하여, 상기 발광소자에 인가되는 전류의 공급시간을 조절하는 제 1 스위칭소자;

주사라인으로부터의 스캔펄스에 응답하여 상기 제 1 스위칭소자의 게이트단자와 소스단자간을 단락시키는 제 2 스위칭소자;

상기 데이터 라인과 상기 제 1 스위칭소자의 게이트단자간에 접속되어, 상기 데이터 전압과 상기 제 1 스위칭소자의 문턱전압간의 차전압을 저장하는 커패시터; 및,

상기 발광소자에 선택적으로 전압원을 공급하여, 상기 제 1 스위칭소자와 상기 발광소자간을 전기적으로 결합 또는 분리하는 전원발생부를 포함하여 구성됨을 특징으로 하는 유기전계발광표시장치.

청구항 2.

제 1 항에 있어서,

상기 전원발생부는 전압원을 생성하여 출력하는 전원공급부; 및,

상기 전원공급부로부터의 전압원을 전달받아, 이를 시간에 따라 상기 발광소자에 공급하거나, 공급되는 것을 차단하는 제어부를 포함함을 특징으로 하는 유기전계발광표시장치.

청구항 3.

제 1 항에 있어서,

상기 커패시터에 상기 차전압이 인가되는 제 1 기간동안 상기 스캔펄스는 하이 상태를 유지하며, 상기 제 1 기간동안 상기 전원발생부는 상기 전압원을 상기 발광소자에 공급하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제 3 항에 있어서,

상기 커패시터에 상기 차전압이 인가된 후 상기 차전압이 유지되는 제 2 기간동안 상기 스캔펄스는 로우상태를 유지하며, 상기 제 2 기간동안 상기 전원공급부는 상기 발광소자에 인가되는 전압을 차단시키는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5.

제 4 항에 있어서,

상기 제 1 기간 및 제 2 기간이 경과한 후 연속하는 제 3 기간동안 상기 스캔펄스는 로우상태를 유지하며, 상기 제 3 기간 동안 상기 전원공급부는 상기 발광소자에 상기 전압원을 공급하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6.

제 5 항에 있어서,

상기 제 1 내지 제 2 기간동안 상기 데이터 라인과 상기 커패시터간의 공통노드에는 상기 데이터 전압이 인가되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7.

제 5 항에 있어서,

상기 제 3 기간동안 상기 데이터 라인과 상기 커패시터간의 공통노드에는 상기 기준전압이 인가되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8.

제 1 항에 있어서,

상기 램프전압은 시간에 따라 최대 전압값과 최소 전압값 사이에서 선형적으로 증가 및 감소하는 교류전압이며, 상기 데이터 전압은 화상의 계조를 나타내는 직류전압인 것을 특징으로 하는 유기전계발광표시장치.

청구항 9.

제 8 항에 있어서,

상기 램프전압의 최대 전압값은 상기 전원공급부로부터 출력되는 전압원과 동일한 값을 가지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10.

제 8 항에 있어서,

상기 데이터 전압은 상기 램프전압의 최대 전압값과 최소 전압값 사이의 값을 갖는 직류전압인 것을 특징으로 하는 유기전계발광표시장치.

청구항 11.

각 화소마다 형성되어, 인가되는 전류에 응답하여 발광하는 발광소자와, 데이터 라인으로부터의 데이터 전압과 시간에 따라 변화하는 램프(Ramp)전압을 비교하여, 상기 발광소자에 인가되는 전류의 공급시간을 조절하는 제 1 스위칭소자와, 스캔펄스에 응답하여 상기 제 1 스위칭소자의 게이트단자와 소스단자간을 단락시키는 제 2 스위칭소자와, 상기 데이터 라인과 상기 제 1 스위칭소자의 게이트단자간에 접속되어, 상기 데이터 전압과 상기 제 1 스위칭소자의 문턱전압간의 차전압을 저장하는 커패시터를 포함하여 구성된 유기전계발광표시장치의 구동방법에 있어서,

상기 제 2 스위칭소자를 턴-온시켜 상기 제 1 스위칭소자의 게이트단자와 소스단자간을 단락시키고 전압원을 상기 발광소자에 공급하여, 상기 커패시터에 상기 차전압을 충전시키는 단계;

상기 제 2 스위칭소자를 턴-오프시켜 상기 제 1 스위칭소자의 게이트단자와 소스단자간을 분리시키고 상기 발광소자에 공급되는 전압원을 차단하여, 상기 커패시터에 저장된 차전압을 유지시키는 단계; 및,

상기 발광소자에 상기 전압원을 공급함과 아울러, 상기 데이터 라인에 시간에 상기 램프전압을 인가하는 단계를 포함하여 이루어짐을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 12.

제 11 항에 있어서,

상기 램프전압은 시간에 따라 최대 전압값과 최소 전압값 사이에서 선형적으로 증가 및 감소하는 교류전압이며, 상기 데이터 전압은 화상의 계조를 나타내는 직류전압인 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 13.

제 12 항에 있어서,

상기 램프전압의 최대 전압값은 상기 전원공급부로부터 출력되는 전압원과 동일한 값을 가지는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

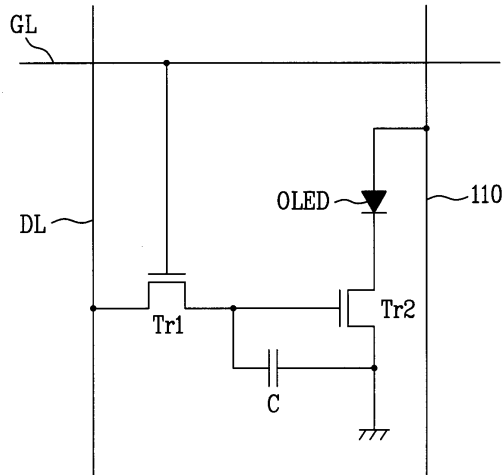
청구항 14.

제 12 항에 있어서,

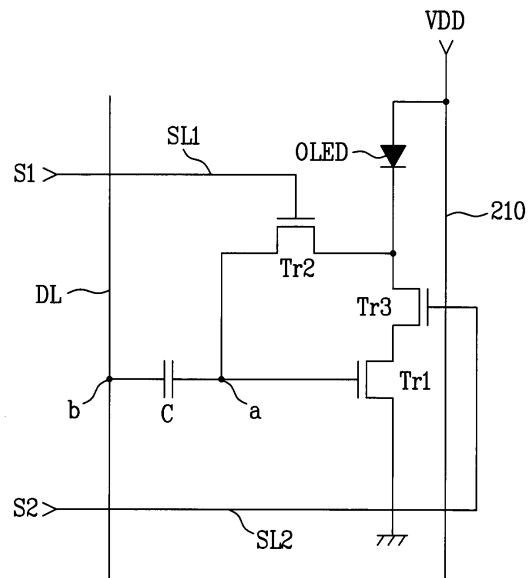
상기 데이터 전압은 상기 램프전압의 최대 전압값과 최소 전압값 사이의 값을 갖는 직류전압인 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

도면

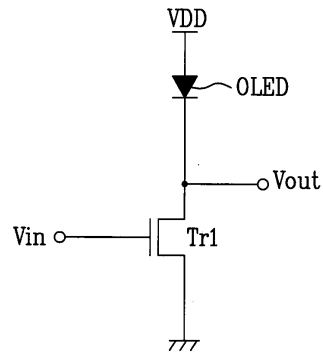
도면1



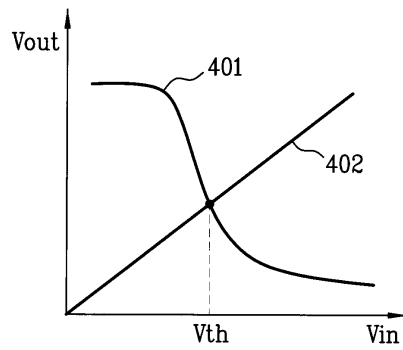
도면2



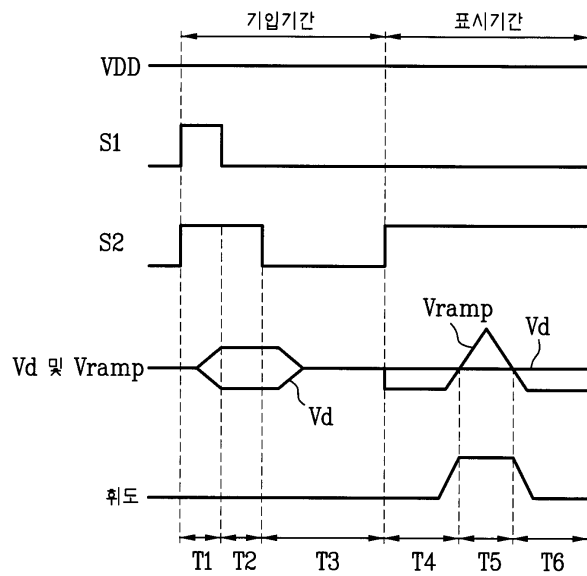
도면3



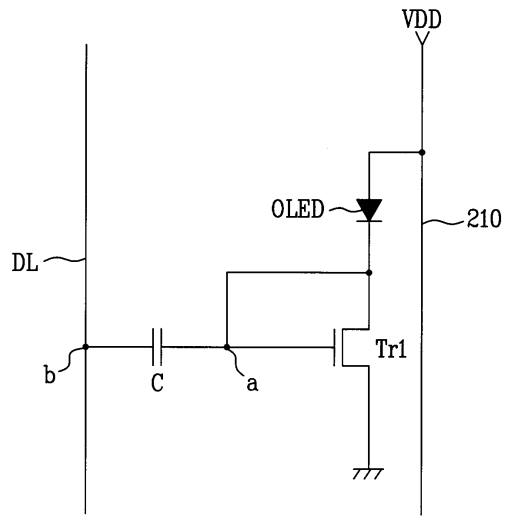
도면4



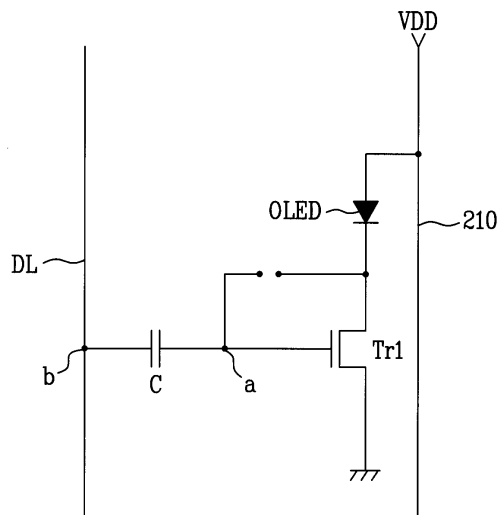
도면5



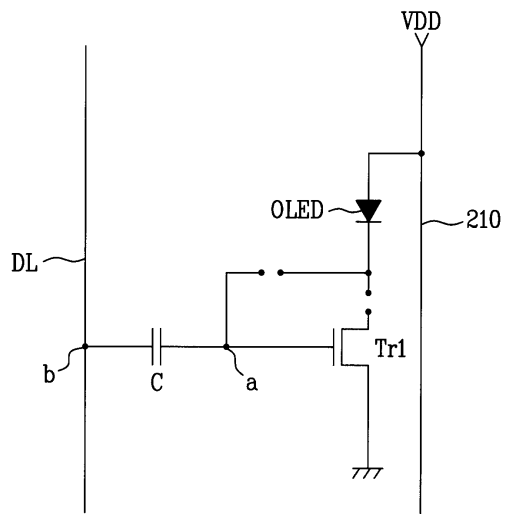
도면6a



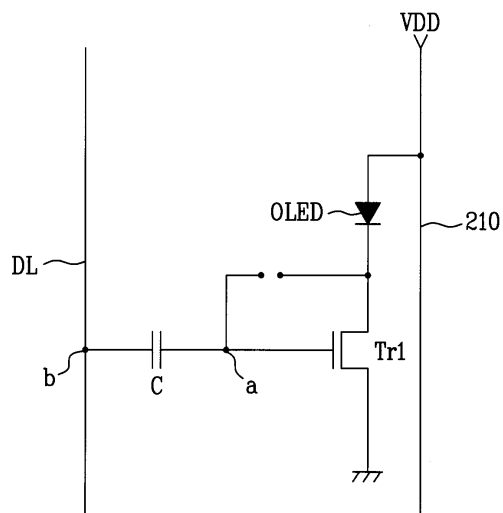
도면6b



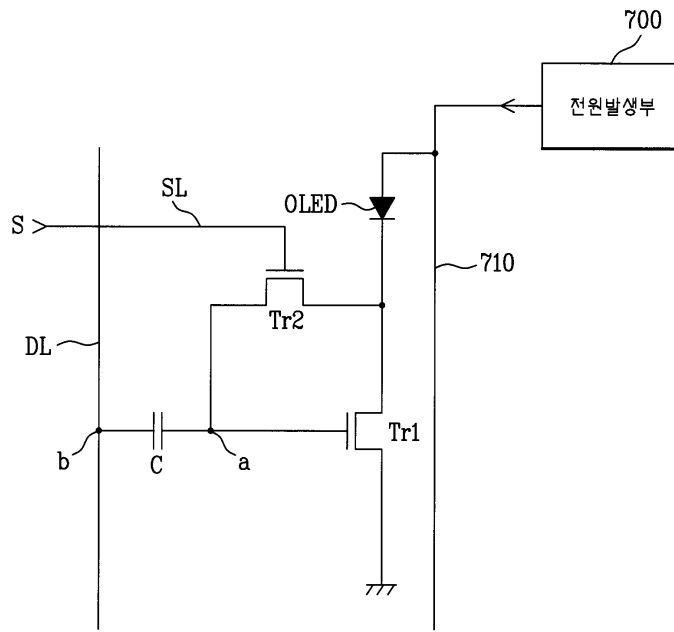
도면6c



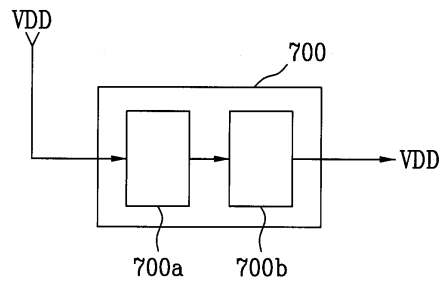
도면6d



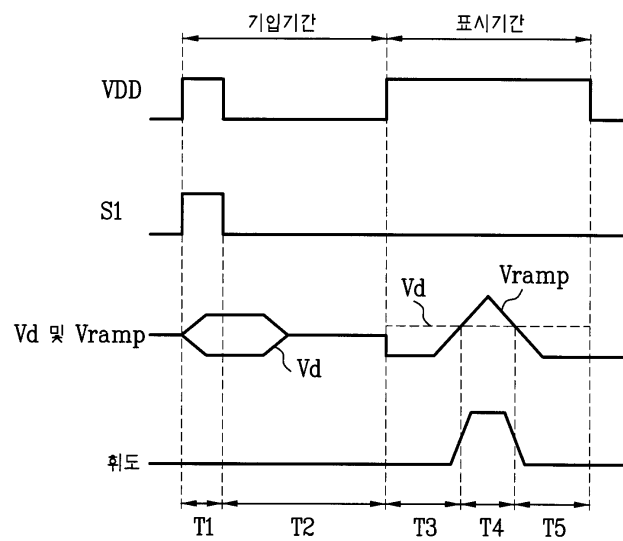
도면7



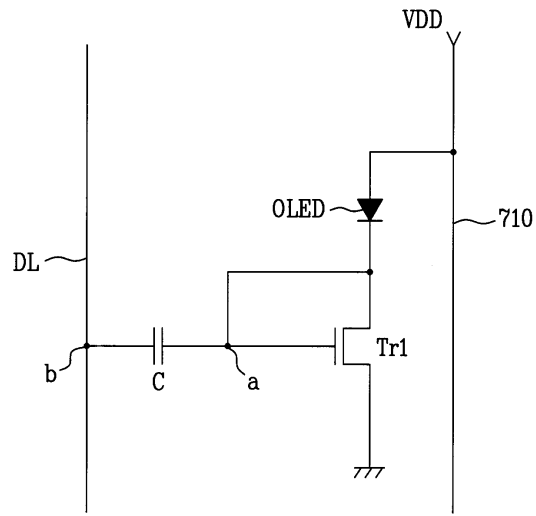
도면8



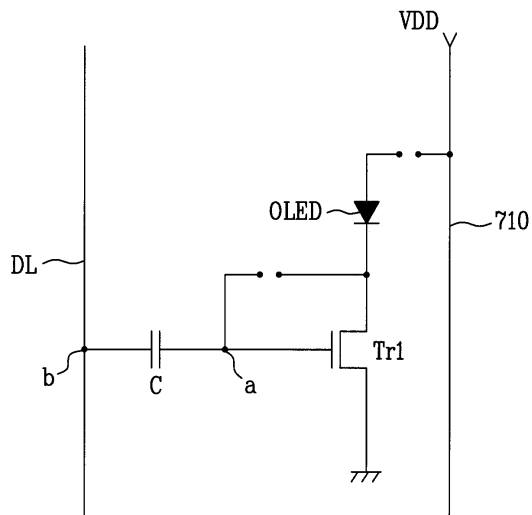
도면9



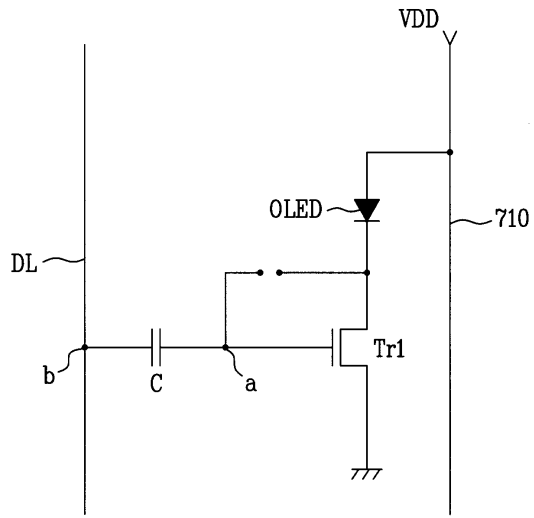
도면10a



도면10b



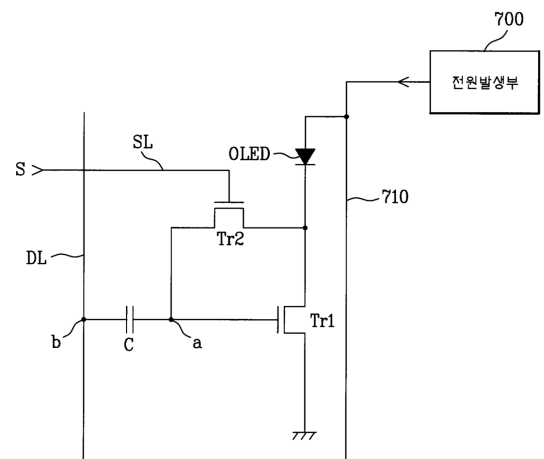
도면10c



专利名称(译)	有机电致发光显示装置及其驱动方法		
公开(公告)号	KR100628277B1	公开(公告)日	2006-09-27
申请号	KR1020050022763	申请日	2005-03-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE MYUNG HO 이명호 YOO JUHN SUK 유준석		
发明人	이명호 유준석		
IPC分类号	G09G3/30		
CPC分类号	G09G2300/0842 G09G2300/0861 G09G2320/043 G09G3/2014 G09G2300/0866 G09G3/3233 G09G2310/066 G09G2300/0819		
代理人(译)	金勇 新昌		
其他公开文献	KR1020060100877A		
外部链接	Espacenet		

摘要(译)

接下来,将在下面描述第二时段T2期间的电路操作。图10B是图7的电路在第二周期期间的等效电路图。在第二时段T2期间,如图9所示,扫描脉冲S保持在低状态,并且中断电压源VDD的供应。因此,图7中所示的第二NMOS晶体管Tr2截止。随着电压源VDD的供应被切断,用于供应电压源VDD的电压供应线710与电致发光器件OLED之间的连接可以断开。在第二时段T2期间,第二NMOS晶体管Tr2截止并且电压源VDD截止期间的电路配置可以等效地重写,如图10b所示。如上所述,第二时段T2是导出存储在电容器C中的数据电压Vd和阈值电压Vth之间的差电压Vd-Vth的时段。到目前为止所描述的第一和第二周期(T1, T2)对应于写入期间的充电和保持数据电压(Vd)和阈值电压(Vth)与电容器(C)之间的差值电压(Vd-Vth)。在该写入时段中,电致发光元件OLED不发光。当然,如果数据电压Vd大,则OLED可以在第一时段T1期间发光。但是,由于第一时段T1是相对短的时段,可以视为以黑色显示。显示周期在写入周期之后开始,并且将在下面详细描述显示周期中的电路的操作。图10C是在显示周期期间图7的电路的等效电路图。显示周期是在这个时候,显示图像的发光二极管(OLED)实际上正在发光,如图9的期间,在扫描脉冲(S)为低时,电压源(被保持VDD)开始再次供电。在此期间,从数据驱动器输出斜坡电压Vramp并将其施加到数据线DL。也就是说,数据驱动器在写入时段期间输出数据电压Vd,在显示时段期间输出斜坡电压Vramp。同时,由于数据电压Vd和斜坡电压Vramp与第一实施例中描述的相同,因此将省略其详细描述。当斜坡电压Vramp从数据线DL施加到第二节点b时,电路的操作将描述如下。在写周期期间将数据电压Vd施加到第二节点b,并且在显示周期期间将第二节点b的电压更新为斜坡电压Vramp。由于存储在电容器C中的差分电压Vd-Vth,施加到第一节点a的斜坡电压Vramp和施加到电容器C的斜坡电压Vramp被施加到第一节点a,施加存储电压Vd-Vth之间的差电压Vramp-(Vd-Vth)。也就是说,第二节点b保持在斜坡电压Vramp,并且第一节点a保持在差电压Vramp-(Vd-Vth)。如果在显示周期期间施加到第二节点b的斜坡电压Vramp小于在写入周期期间施加到第二节点b的数据电压Vd,第一NMOS晶体管Tr1的电压Vramp-(Vd-Vth)变得小于第一NMOS晶体管Tr1的阈值电压



V_{th} 。由于第一节点a表示第一NMOS晶体管Tr1的栅极端子，因此施加到第二节点b的斜坡电压 V_{ramp} 小于数据电压 V_d 将小于第一NMOS晶体管Tr1的阈值电压 V_{th} 的电压施加到第一NMOS晶体管Tr1的栅极端子。因此，第一NMOS晶体管Tr1截止，使得电致发光器件OLED不发光。这对应于图3的显示周期内的第三周期T3。另一方面，当斜坡电压 V_{ramp} 随时间线性增加并且施加到第二节点b的斜坡电压 V_{ramp} 变得等于数据电压 V_d 时，一个节点a的电压 $V_{ramp} - (V_d - V_{th})$ 变得等于第一NMOS晶体管Tr1的阈值电压 V_{th} 。如上所述，由于第一节点a表示第一NMOS晶体管Tr1的栅极端子，因此施加到第二节点b的斜坡电压 V_{ramp} 被确定为数据等于第一NMOS晶体管Tr1的阈值电压 V_{th} 的电压被施加到第一NMOS晶体管Tr1的栅极端子。此时，第一NMOS晶体管Tr1可以导通或截止。因此，电致发光器件OLED可以发光或闪光。这对应于图3中的第三时段T3和第四时段T4之间的边界点。此后，当经过一段时间后施加到第二节点b的灯电压 V_{ramp} 变得大于数据电压 V_d 时，第一节点a的电压变为等于变得大于第一NMOS晶体管(Tr1)的阈值电压(V_{th})。如上所述，由于第一节点a表示第一NMOS晶体管Tr1的栅极端子，因此施加到第二节点b的斜坡电压 V_{ramp} 被确定为数据高于第一NMOS晶体管Tr1的阈值电压 V_{th} 的电压被施加到第一NMOS晶体管Tr1的栅极端子。此时，第一NMOS晶体管Tr1导通。因此，电致发光器件OLED发光，并且在像素上显示单位图像。这对应于图4的显示周期中的第四周期T4。随后，当灯电压 V_{ramp} 随时间线性地减小时，施加到第二节点b的斜坡电压 V_{ramp} 再次变得等于数据电压 V_d ，如上所述，第一节点a的电压变得等于第一NMOS晶体管Tr1的阈值电压 V_{th} 。因此，电致发光器件OLED可以发光或闪光。这对应于图4的显示周期中的第四周期T4和第五周期T5之间的边界点。然后，当经过一段时间后施加到第二节点b的灯电压 V_{ramp} 变得小于数据电压 V_d 时，如上所述，第一节点a的电压 $V_{ramp} - (V_d - V_{th})$ 变得小于第一NMOS晶体管Tr1的阈值电压 V_{th} 。因此，电致发光器件OLED再次闪烁。这对应于图5中的第五周期T5。在显示期间，电致发光元件OLED发光或闪烁。随着第四周期T4增加，即电致发光元件OLED发光较长时间，它增加。相反，随着第四时段T4减小，即，电致发光器件OLED在更短的时间内发光，其亮度降低。这意味着可以通过细分和划分电致发光器件OLED的发光时间来表达各种灰度。这里，第四时段T4的长度取决于施加到第二节点b的数据电压 V_d 的大小。也就是说，以具有数据电压(V_d)是高值，减小这时候，相对于具有比数据电压(V_d)，在第四时间段的长度(T_4)更大的值的斜坡电压(V_{ramp})并且减少了电致发光器件OLED的发光时间。相反，当数据电压 V_d 具有低值时，斜坡电压 V_{ramp} 具有大于数据电压 V_d 的值的时段增加，并且第四时段T4的长度增加。电致发光器件OLED的发光时间增加。在另一方面，在本发明中，前发射到发光二极管(OLED)，在写入时段来自总是根据权利要求1 NMOS晶体管(TR1)的阈值电压(V_{th})计算的值，数据电压的值的(V_D)并存储在电容器(C)中。也就是说，电容器C存储关于第一NMOS晶体管Tr1的阈值电压 V_{th} 的信息。然后，在之后的显示周期中，所存储的阈值电压 V_{th} 被消除并从第一NMOS晶体管Tr1的阈值电压 V_{th} 移除。即，如示出可以在显示周期期间，第一节点(A)的电压($V_{ramp} - (V_D - V_{th})$)的)在该式中可以看出，电压的第一节点($V_{ramp} - (V_D - V_{th})$)的)(a)中作为第一输入到NMOS晶体管(TR1)的栅极端子包括在(V_{th})时的阈值电压，通过偏移第一NMOS晶体管(TR1)的阈值电压(V_{th})除去。然后，剩余的电压，即，第一节点(a)在所述电压(V_{ramp} 的($V_D - V_{th}$)的)的第一NMOS电压小于阈值电压的晶体管的(V_{th})时(TR1)(V_{ramp} 的- V_D)银牙正根据第一NMOS晶体管Tr1是否为负来确定第一NMOS晶体管Tr1是否导通。在此，式电压的极性，如在(V_{ramp} 的- V_D)中可以看出，所述第一节点(a)是不同取决于jakeu斜坡电压(V_{ramp} 的)是否是keunya比数据电压(V_d)。具体地，由于式(V_{ramp} 的- V_D)如可以看到的，斜坡电压(V_{ramp} 的)的电压大时，第一节点(A)比数据电压(V_d)保持在正极性的第一NMOS晶体管Tr1导通。此外，斜坡电压(V_{ramp} 的)小于数据电压(V_d)，因此保持到第一节点(A)的一个负电压时，第一NMOS晶体管(TR1)被关断。其结果是，有机发光根据本发明的第二实施例，其中1个NMOS晶体管(TR1)劣化，其中，所述晶体管(TR1)的1NMOS阈值电压(V_{th})的值改变甚至阈值电压的发光显示装置(V_{th})，第一NMOS晶体管Tr1劣化并且即使其阈值电压 V_{th} 改变也正常驱动。此外，有机发光显示装置，根据本发明的第二实施例可以比较降低到它与第一实施例中，开关装置和扫描线(SL)，可以降低单位像素的面积，降低制造成本我能做到