

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/00 (2006.01) H05B 33/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년09월19일 10-0624126 2006년09월07일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0035215 2005년04월27일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	김은아 경기 수원시 영통구 영통동 풍림아파트 601-1501
(74) 대리인	박상수

심사관 : 나광표

(54) 유기전계발광표시장치 및 그의 제조방법

요약

유기전계발광표시장치를 제공한다. 상기 유기전계발광표시장치는 제 1 유기전계발광다이오드 및 제 2 유기전계발광다이오드를 구비한다. 상기 제 1 유기전계발광다이오드는 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 위치하는 제 1 유기발광층을 구비한다. 상기 제 2 유기전계발광다이오드는 상기 제 2 전극, 제 3 전극 및 상기 제 2 전극과 상기 제 3 전극 사이에 위치하는 제 2 유기발광층을 구비한다. 상기 제 1 전극에 제 1 구동 박막트랜지스터가 접속한다. 상기 제 2 전극에 제 2 구동 박막트랜지스터가 접속한다.

대표도

도 6a

색인어

단락, 이중층 유기전계발광다이오드, 압점, 유기전계발광표시장치

명세서

도면의 간단한 설명

도 1은 일반적인 유기전계발광표시장치의 단위화소를 나타낸 회로도이다.

도 2a 및 도 2b는 유기전계발광다이오드의 애노드와 캐소드간 단락불량이 발생한 경우를 나타낸 사진들이다.

도 3은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단위화소의 화소회로를 나타낸 회로도이다.

도 4는 도 3에 나타난 제 2 유기전계발광다이오드의 양측 전극들 간에 단락이 발생하는 경우의 단위화소의 동작을 설명하기 위한 회로도이다.

도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단위화소의 레이아웃도이다.

도 6a는 도 5의 절단선 I - I'를 따라 취해진 본 발명의 일 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 나타낸 단면도이다.

도 6b는 도 6a의 P를 확대하여 나타낸 단면도이다.

도 7a는 도 6a에 나타난 제 2 전극과 제 3 전극 간에 단락이 발생하는 경우를 나타낸 단면도이다.

도 7b는 도 7a의 P를 확대하여 나타낸 단면도이다.

(도면의 주요 부위에 대한 부호의 설명)

S : 스캔 라인 D : 데이터 라인

ELVDD : 공통전원 라인 M1 : 스위칭 박막트랜지스터

M2 : 제 1 구동 박막트랜지스터 M3 : 제 2 구동 박막트랜지스터

EL1 : 제 1 유기전계발광다이오드 EL2 : 제 2 유기전계발광다이오드

141 : 제 1 전극 150 : 제 1 유기발광층

158 : 일함수 보조층 160 : 제 2 전극

170 : 제 2 유기발광층 180 : 제 3 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치에 관한 것으로, 더욱 자세하게는 이중층으로 적층된 유기전계발광다이오드들을 구비하는 유기전계발광표시장치에 관한 것이다.

도 1은 일반적인 유기전계발광표시장치의 단위화소를 나타낸 회로도이다.

도 1을 참조하면, 스캔 라인(S), 데이터 라인(D) 및 공통전원라인(ELVDD)이 배치된다. 상기 데이터 라인(D)과 상기 스캔 라인(S)의 교차에 의해 단위화소가 정의된다.

상기 단위화소는 애노드, 캐소드 및 상기 애노드와 상기 캐소드 사이에 위치하는 유기발광층을 갖는 유기전계발광다이오드(OLED), 스위칭 트랜지스터(Ma), 캐패시터(Cst) 및 구동 트랜지스터(Mb)를 구비한다. 상기 스위칭 트랜지스터(Ma)는 게이트가 상기 스캔 라인(S)에 연결되고, 소오스가 상기 데이터 라인(D)에 연결되어, 상기 스캔 라인(S)에 인가된 스캔 신호에 의해 상기 데이터 라인에 인가된 데이터 신호를 스위칭한다. 상기 캐패시터(Cst)는 상기 스위칭 트랜지스터(Ma)의 드레인 및 상기 공통전원라인(ELVDD) 사이에 연결되어, 상기 데이터 신호를 일정기간 유지한다. 상기 구동 박막트랜지스터(Mb)는 게이트가 상기 캐패시터(Cst)에 연결되고, 소오스가 상기 공통전원라인(ELVDD)에 연결되고, 드레인이 상기 유기전계발광다이오드(OLED)의 상기 애노드에 연결되어, 상기 데이터 신호의 크기에 비례하는 전류를 상기 애노드에 공급한다. 상기 유기전계발광다이오드(OLED)의 캐소드에는 상기 공통전원라인에 인가된 전원전압에 비해 낮은 레벨의 전압

인 캐소드 전압(ELVSS)이 인가된다. 그 결과, 정공이 상기 애노드로부터 유기발광층 내로 주입되고, 전자가 상기 캐소드로부터 상기 유기발광층 내로 주입된다. 상기 유기발광층 내로 주입된 정공과 전자는 상기 유기발광층에서 결합하여 엑시톤(exiton)을 생성하고, 이러한 엑시톤이 여기상태에서 기저상태로 전이하면서 빛을 방출한다.

도 2a 및 도 2b는 유기전계발광다이오드의 애노드와 캐소드간 단락불량이 발생한 경우를 나타낸 사진들이다.

자세하게는 도 2a는 이물질로 인해 애노드와 캐소드 간 단락불량이 발생한 경우이고, 도 2b는 캐소드가 외부의 자극에 의해 눌러 상기 캐소드와 상기 애노드간 단락불량이 발생한 경우이다.

이러한 공정 상의 오류로 인해 상기 애노드와 상기 캐소드가 단락(short)되는 경우, 상기 유기전계발광다이오드는 더 이상 발광하지 못한다. 결과적으로 상기 애노드와 상기 캐소드간 단락불량이 발생한 유기전계발광다이오드를 구비하는 단위화소는 암점(dark pixel)이 되어 수율을 저하시키는 요인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 공정 상의 오류가 발생하더라도 수율이 저하되지 않을 수 있는 유기전계발광표시장치 및 그의 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명의 일 실시예는 유기전계발광표시장치를 제공한다. 상기 유기전계발광표시장치는 제 1 유기전계발광다이오드 및 제 2 유기전계발광다이오드를 구비한다. 상기 제 1 유기전계발광다이오드는 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 위치하는 제 1 유기발광층을 구비한다. 상기 제 2 유기전계발광다이오드는 상기 제 2 전극, 제 3 전극 및 상기 제 2 전극과 상기 제 3 전극 사이에 위치하는 제 2 유기발광층을 구비한다. 상기 제 1 전극에 제 1 구동 박막트랜지스터가 접속한다. 상기 제 2 전극에 제 2 구동 박막트랜지스터가 접속한다.

바람직하게는 상기 제 2 전극과 상기 제 1 유기발광층 사이에 일함수 보조층이 위치한다.

상기 기술적 과제를 이루기 위하여 본 발명의 일 실시예는 유기전계발광표시장치의 제조방법을 제공한다. 상기 제조방법은 기판 상에 제 1 구동 박막트랜지스터 및 제 2 구동 박막트랜지스터를 형성하는 것을 구비한다. 상기 제 1 구동 박막트랜지스터와 접속하는 제 1 전극을 형성한다. 상기 제 1 전극 상에 제 1 유기발광층을 형성한다. 상기 제 1 유기발광층 상에 상기 제 2 구동 박막트랜지스터와 접속하는 제 2 전극을 형성한다. 상기 제 2 전극 상에 제 2 유기발광층을 형성한다. 상기 제 2 유기발광층 상에 제 3 전극을 형성한다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

도 3은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단위화소의 화소회로를 나타낸 회로도이다.

도 3을 참조하면, 스캔 라인(S), 상기 스캔 라인(S)에 교차하는 데이터 라인(D)이 배치된다. 상기 데이터 라인(D)과 상기 스캔라인(S)의 교차에 의해 단위화소가 정의된다. 상기 단위화소는 스위칭 트랜지스터(M1), 캐패시터(C), 제 1 구동 트랜지스터(M2), 제 2 구동 트랜지스터(M3), 제 1 유기전계발광다이오드(EL1) 및 제 2 유기전계발광다이오드(EL2)를 구비한다.

상기 스위칭 트랜지스터(M1)는 게이트가 상기 스캔 라인(S)에 연결되고, 소오스가 상기 데이터 라인(D)에 연결되어, 상기 스캔 라인(S)에 인가된 스캔 신호에 의해 상기 데이터 라인(D)에 인가된 데이터 신호를 스위칭한다. 상기 캐패시터(C)는 상기 스위칭 트랜지스터(M1)의 드레인 및 공통전원라인(ELVDD) 사이에 연결되어, 상기 데이터 신호를 일정기간 유지한다.

상기 제 1 구동 박막트랜지스터(M2)는 게이트가 상기 캐패시터(C)에 연결되고, 소오스가 공통전원라인(ELVDD)에 연결되고, 드레인이 상기 제 1 유기전계발광다이오드(EL1)의 일측 전극에 연결되어, 상기 데이터 신호의 크기에 비례하는 전류를 제 1 유기전계발광다이오드(EL1)의 일측 전극에 공급한다. 또한, 상기 제 2 구동 박막트랜지스터(M3)는 게이트가

상기 캐패시터(C)에 연결되고, 소오스가 상기 공통전원라인(ELVDD)에 연결되고, 드레인이 노드(N)에 연결되어, 상기 데이터 신호의 크기에 비례하는 전류를 상기 노드(N)에 공급한다. 한편, 상기 제 1 유기전계발광다이오드(EL1)의 타측 전극은 상기 노드(N)에 연결된다. 상기 노드(N)는 상기 제 2 유기전계발광다이오드(EL2)의 일측 전극에 연결된다. 상기 제 2 유기전계발광다이오드(EL2)의 타측 전극에는 기준전압이 인가된다.

이 때, 상기 제 1 구동 박막트랜지스터(M2)의 게이트 전극과 상기 제 2 구동 박막트랜지스터(M3)의 게이트 전극은 서로 연결되고, 상기 제 1 구동 박막트랜지스터(M2)의 소오스 전극과 상기 제 2 구동 박막트랜지스터(M3)의 소오스 전극은 서로 연결된다.

이와 같은 화소회로의 동작을 살펴본다.

먼저, 상기 스캔 라인(S)이 활성화되면 상기 스위칭 트랜지스터(M1)는 턴온되고, 그 결과, 상기 데이터 라인(D)에 인가된 데이터 신호는 캐패시터(C)에 전달된다. 상기 캐패시터(C)에 전달된 데이터 신호는 상기 캐패시터(C)에 일정기간동안 저장된다.

상기 캐패시터(C)에 저장된 데이터 신호는 상기 제 1 구동 박막트랜지스터(M2)와 상기 제 2 구동 박막트랜지스터(M3)를 턴온시킨다. 그 결과, 상기 제 1 구동 박막트랜지스터(M2)는 상기 데이터 신호의 크기에 비례하는 전류를 상기 제 1 유기전계발광다이오드(EL1)에 공급하고, 상기 제 2 구동 박막트랜지스터(M3)는 상기 데이터 신호의 크기에 비례하는 전류를 상기 노드(N)에 공급한다. 한편, 제 1 구동 박막트랜지스터(M2)와 상기 제 2 구동 박막트랜지스터(M3)는 그들의 게이트 전극들이 서로 연결되고, 그들의 소오스 전극들이 서로 연결되므로, 상기 제 1 구동 박막트랜지스터(M2)와 상기 제 2 구동 박막트랜지스터(M3)의 특성이 유사할 때, 상기 제 1 유기전계발광다이오드(EL1)의 양단 간에 걸리는 전압차는 미미하다. 따라서, 상기 제 1 유기전계발광다이오드(EL1)는 거의 발광하지 않을 수 있다.

한편, 상기 노드(N)에 인가된 전류 즉, 상기 제 2 유기전계발광다이오드(EL2)의 일측 전극에 인가된 전류에 의해 상기 제 2 유기전계발광다이오드(EL2)는 발광한다.

도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단위화소의 레이아웃도이고, 도 6a는 도 5의 절단선 I-I'를 따라 취해진 본 발명의 일 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 나타낸 단면도이며, 도 6b는 도 6a의 P를 확대하여 나타낸 단면도이다.

도 5 및 도 6a를 참조하면, 기판(100) 상에 버퍼층(105)을 형성한다. 상기 기판(100)은 투명한 기판 또는 불투명한 기판일 수 있다. 나아가, 상기 기판(100)은 유리, 플라스틱, 석영, 실리콘 또는 금속 기판일 수 있다. 상기 버퍼층(105)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 또는 이들의 다중층일 수 있다.

상기 버퍼층(105) 상의 일부영역에 제 1 반도체층(111) 및 제 2 반도체층(112)을 형성한다. 상기 반도체층들(111, 112)은 비정질 실리콘막 또는 비정질 실리콘막을 결정화한 다결정 실리콘막일 수 있다. 바람직하게는 상기 반도체층들(111, 112)은 높은 전하이동도를 갖는 다결정 실리콘막이다. 상기 반도체층들(111, 112) 상에 게이트 절연막(117) 형성한다. 상기 게이트 절연막(117)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 또는 이들의 다중층으로 형성할 수 있다.

상기 게이트 절연막(117) 상에 상기 반도체층들(111, 112)과 각각 중첩하는 제 1 게이트 전극(121) 및 제 2 게이트 전극(122)을 형성한다. 이어서, 상기 게이트 전극들(121, 122)을 마스크로 하여 상기 반도체층들(111, 112)에 도전성 불순물을 주입하여 소오스 영역들(111c, 112c) 및 드레인 영역들(111a, 112a)을 형성한다. 이 때, 상기 각 소오스 영역(111c, 112c)과 각 드레인 영역(111a, 112a) 사이에 채널 영역들(111b, 112b)이 정의된다.

상기 게이트 전극들(121, 122) 및 상기 반도체층들(111, 112) 상에 제 1 층간절연막(125)을 형성한다. 상기 제 1 층간절연막(125) 내에 상기 소오스/드레인 영역들(111c, 112c, 111a, 112a)을 각각 노출시키는 콘택홀들을 형성한다. 상기 콘택홀들이 형성된 기판 상에 도전막을 적층한 후, 이를 패터닝하여 상기 제 1 반도체층의 소오스/드레인 영역들(111c, 111a)에 각각 접속하는 제 1 소오스 전극(131c)과 제 1 드레인 전극(131a); 및 상기 제 2 반도체층의 소오스/드레인 영역들(112c, 112a)에 각각 접속하는 제 2 소오스 전극(132c)과 제 2 드레인 전극(132a)을 형성한다.

상기 제 1 반도체층(111), 상기 제 1 게이트 전극(121) 및 상기 제 1 소오스/드레인 전극들(131c, 131a)은 제 1 구동 박막트랜지스터(M2)를 형성한다. 또한, 상기 제 2 반도체층(112), 상기 제 2 게이트 전극(122) 및 상기 제 2 소오스/드레인 전극들(132c, 132a)은 제 2 구동 박막트랜지스터(M3)를 형성한다. 한편, 상기 반도체층들(111, 112)을 형성할 때 스위칭 박막트랜지스터(M1)의 반도체층을 형성하고, 상기 게이트 전극들(121, 122)을 형성할 때 스캔라인(S), 스위칭 박막트랜

지스터(M1)의 게이트 전극 및 캐패시터(C)의 하부전극을 형성하며, 상기 소오스/드레인 전극들(131c, 131a, 132c, 132a)을 형성할 때 데이터 라인(D), 공통전원라인(ELVDD), 상기 스위칭 박막트랜지스터(M1)의 소오스/드레인 전극들 및 상기 캐패시터(C)의 상부전극을 형성한다.

상기 소오스/드레인 전극들(131c, 131a, 132c, 132a) 상에 제 2 층간절연막(135)을 형성한다. 상기 제 2 층간절연막(135)은 패시베이션막, 평탄화막 또는 상기 패시베이션막 상에 상기 평탄화막이 적층된 이중층일 수 있다. 상기 패시베이션막은 실리콘 산화막, 실리콘 질화막 또는 이들의 다중층으로 형성할 수 있다. 바람직하게는 상기 패시베이션막은 기체 및 수분을 효과적으로 차단하여 하부의 박막트랜지스터를 보호할 수 있고, 수소를 풍부하게 함유하여 상기 다결정 실리콘막의 결정립 경계(grain boundary)에 존재하는 불완전 결합을 패시베이션할 수 있는 실리콘 질화막인 것이 바람직하다. 상기 평탄화막은 하부 단차를 완화할 수 있는 유기막으로 BCB(benzocyclobutene)막, 폴리이미드막 또는 폴리아크릴막일 수 있다.

상기 제 2 층간절연막(135) 내에 상기 드레인 전극들(131a, 132a)을 각각 노출시키는 비아홀들(135b, 135a)을 형성한다. 상기 비아홀(135b) 내에 노출된 상기 제 1 드레인 전극(131a)에 접속하는 제 1 전극(141) 및 상기 비아홀(135a) 내에 노출된 상기 제 2 드레인 전극(132a)에 접속하는 전도성 패드(142)를 형성한다.

상기 전도성 패드(142) 및 상기 제 1 전극(141) 상에 화소정의막(pixel defining layer; 145)을 형성한다. 상기 화소정의막(145) 내에 상기 전도성 패드(142)의 적어도 일부영역을 노출시키는 콘택홀(145a) 및 상기 제 1 전극(141)의 적어도 일부영역을 노출시키는 개구부(145b)를 형성한다. 상기 화소정의막(145)은 BCB(benzocyclobutene), 아크릴계 포토레지스트, 페놀계 포토레지스트 또는 이미드계 포토레지스트를 사용하여 형성할 수 있다.

상기 개구부(145b) 내에 노출된 상기 제 1 전극(141) 상에 제 1 유기발광층(150)을 형성한다. 상기 제 1 유기발광층(150)은 새도우 마스크를 사용한 진공증착법, 잉크젯 프린트법 또는 레이저 열전사법을 사용하여 형성할 수 있다. 나아가, 상기 제 1 유기발광층(150)의 상부 또는 하부에 정공주입층, 정공수송층, 정공억제층, 전자수송층 또는 전자주입층을 형성할 수 있다.

이어서, 상기 제 1 유기발광층(150) 상에 일함수 보조층(158)을 형성하고, 상기 일함수 보조층(158) 및 상기 콘택홀(145a) 내에 노출된 상기 전도성 패드(142) 상에 제 2 전극(160)을 형성한다. 그러나, 상기 일함수 보조층(158)을 형성하는 것은 생략될 수도 있다.

상기 제 2 전극(160) 상에 제 2 유기발광층(170)을 형성한다. 상기 제 2 유기발광층(170)은 새도우 마스크를 사용한 진공증착법, 잉크젯 프린트법 또는 레이저 열전사법을 사용하여 형성할 수 있다. 나아가, 상기 제 2 유기발광층(170)의 상부 또는 하부에 정공주입층, 정공수송층, 정공억제층, 전자수송층 또는 전자주입층을 형성할 수 있다. 상기 제 2 유기발광층(170) 상에 제 3 전극(180)을 형성한다.

상기 제 1 전극(141) 및 상기 제 2 전극(160)은 그들의 일함수가 유사한 도전막을 사용하여 형성할 수 있다. 따라서, 상기 제 1 전극(141) 및 상기 제 2 전극(160)은 상기 제 1 유기전계발광다이오드(EL1) 및 상기 제 2 유기전계발광다이오드(EL2)에 대해 동일 극성을 갖는 전극으로 작용할 수 있다. 그러나, 상기 제 2 전극(160)은 상기 제 1 유기전계발광다이오드(EL1)에 대해 상기 제 1 전극(141)과 다른 극성을 갖는 전극으로 작용하여야 하므로, 상기 제 2 전극(160)의 일함수를 보조하기 위해 상기 일함수 보조층(158)이 도입되는 것이 바람직하다.

예를 들어, 상기 제 1 전극(141) 및 상기 제 2 전극(160)은 상기 제 1 유기전계발광다이오드(EL1) 및 상기 제 2 유기전계발광다이오드(EL2)에 대해 애노드로 작용할 수 있다. 이 경우, 상기 제 1 전극(141) 및 상기 제 2 전극(160)은 서로에 관계없이 ITO(Indium Tin Oxide)막, IZO(Indium Zinc Oxide)막, TO(Tin Oxide)막 및 ZnO(Zinc Oxide)막으로 이루어진 군에서 선택되는 하나의 막들일 수 있다. 나아가, 상기 일함수 보조층(158)은 전자주입특성이 우수한 막으로 형성될 수 있다. 예를 들어, 상기 일함수 보조층(158)은 Mg막, Mg합금막, Ag막, Ag합금막, Al막, Al합금막, Ca막, Ca합금막, Ba막 또는 Ba합금막일 수 있다. 상기 Mg합금막은 MgAg막일 수 있다.

상기 제 1 전극(141), 상기 제 1 유기발광층(150) 및 상기 제 2 전극(160)은 제 1 유기전계발광다이오드(EL1)를 형성한다. 상기 제 2 전극(160), 상기 제 2 유기발광층(170) 및 상기 제 3 전극(180)은 제 2 유기전계발광다이오드(EL2)를 형성한다.

도 3을 참조하여 설명한 바와 같이, 상기 제 1 구동 박막트랜지스터(M2)가 데이터 신호의 크기에 비례하는 전류를 상기 제 1 유기전계발광다이오드(EL1), 자세하게는 상기 제 1 전극(141)에 공급하고, 상기 제 2 구동 박막트랜지스터(M3)가 데이

터 신호의 크기에 비례하는 전류를 상기 제 2 유기전계발광다이오드(EL2), 자세하게는 상기 제 2 전극(160)에 공급한다. 상기 제 3 전극(180)에는 기준전압이 인가된다. 따라서, 상기 제 1 구동 박막트랜지스터(M2)와 상기 제 2 구동 박막트랜지스터(M3)의 특성이 유사할 때, 상기 제 1 유기전계발광다이오드(EL1)의 양단 간에 걸리는 전압차는 미미하다. 따라서, 상기 제 1 유기전계발광다이오드(EL1)는 거의 발광하지 않을 수 있다. 반면, 상기 제 2 전극(160)과 상기 제 3 전극(180)의 전압차에 의해 상기 제 2 유기전계발광다이오드(EL2)는 발광할 수 있다.(도 6b 참조)

한편, 공정 상의 오류로 인해 상기 제 3 전극(180)과 상기 제 2 전극(170)이 단락되는 경우의 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단위화소의 동작을 도 4, 도 7a 및 도 7b를 참조하여 살펴본다.

도 3 및 도 7a를 참조하면, 상기 제 1 구동 박막트랜지스터(M2)가 데이터 신호의 크기에 비례하는 전류를 상기 제 1 유기전계발광다이오드(EL1), 자세하게는 상기 제 1 전극(141)에 공급하고, 상기 제 2 구동 박막트랜지스터(M3)가 데이터 신호의 크기에 비례하는 전류를 상기 제 2 유기전계발광다이오드(EL2), 자세하게는 상기 제 2 전극(160)에 공급한다. 이 때, 상기 제 3 전극(180)에는 기준전압이 인가된다. 그러나, 상기 제 2 전극(160)과 상기 제 3 전극(180)이 공정 상의 오류 예를 들어, 이물질(F)로 인해 단락되어 상기 제 2 전극(160)에는 기준전압이 인가되게 된다. 따라서, 상기 제 2 유기전계발광다이오드(EL2)는 발광하지 못한다.

한편, 상기 제 2 전극(160)에 기준전압이 인가되므로 상기 제 1 전극(141)과 상기 제 2 전극(160) 사이에 유효한 전압차가 발생하고, 이로 인해 상기 제 1 유기전계발광다이오드(EL1)는 발광할 수 있다.(도 7b참조)

즉, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 상기 제 2 전극(160)과 상기 제 3 전극(180)간에 단락이 발생하지 않은 경우 상기 제 2 유기전계발광다이오드(EL2)가 발광하며, 상기 제 2 전극(160)과 상기 제 3 전극(180)간에 단락이 발생한 경우 상기 제 1 유기전계발광다이오드(EL1)가 발광한다. 나아가, 상기 기판(100) 상에 상기 제 1 유기전계발광다이오드(EL1)와 상기 제 2 유기전계발광다이오드(EL2)가 차례로 적층되므로써 즉, 상기 제 1 전극(141), 상기 제 1 유기발광층(150), 상기 제 2 전극(160), 상기 제 2 유기발광층(170) 및 상기 제 3 전극(180)이 차례로 위치함으로써, 상기 제 1 유기전계발광다이오드(EL1)와 상기 제 2 유기전계발광다이오드(EL2)가 수평으로 서로 인접하여 위치하는 경우에 비해 단위화소의 면적을 줄일 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 공정 상의 오류로 인해 전극들 간 단락이 발생하는 경우에도 해당 단위화소는 정상적으로 발광할 수 있다. 결과적으로 암점과 같은 화소불량을 현저하게 감소시켜 수율향상을 이룰 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 위치하는 제 1 유기발광층을 구비하는 제 1 유기전계발광다이오드;

상기 제 2 전극, 제 3 전극 및 상기 제 2 전극과 상기 제 3 전극 사이에 위치하는 제 2 유기발광층을 구비하는 제 2 유기전계발광다이오드;

상기 제 1 전극에 접속하는 제 1 구동 박막트랜지스터; 및

상기 제 2 전극에 접속하는 제 2 구동 박막트랜지스터를 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2.

제 1 항에 있어서,

상기 제 2 전극과 상기 제 1 유기발광층 사이에 위치하는 일함수 보조층을 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 전극은 ITO(Indium Tin Oxide)막, IZO(Indium Zinc Oxide)막, TO(Tin Oxide)막 및 ZnO(Zinc Oxide)막으로 이루어진 군에서 선택되는 하나의 막인 것을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제 1 항에 있어서,

상기 제 2 전극은 ITO(Indium Tin Oxide)막, IZO(Indium Zinc Oxide)막, TO(Tin Oxide)막 및 ZnO(Zinc Oxide)막으로 이루어진 군에서 선택되는 하나의 막인 것을 특징으로 하는 유기전계발광표시장치.

청구항 5.

제 4 항에 있어서,

상기 제 2 전극과 상기 제 1 유기발광층 사이에 개재된 일함수 보조층을 더 포함하고,

상기 일함수 보조층은 Mg, Mg합금, Ag, Ag합금, Al, Al합금, Ca, Ca합금, Ba 및 Ba합금으로 이루어진 군에서 선택되는 하나의 막인 것을 특징으로 하는 유기전계발광표시장치.

청구항 6.

제 1 항에 있어서,

기관 상에 상기 제 1 전극, 상기 제 1 유기발광층, 상기 제 2 전극, 상기 제 2 유기발광층 및 상기 제 3 전극이 차례로 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7.

제 1 항에 있어서,

상기 제 1 구동 박막트랜지스터의 게이트 전극과 상기 제 2 구동 박막트랜지스터의 게이트 전극은 서로 연결되고,

상기 제 1 구동 박막트랜지스터의 소오스 전극과 상기 제 2 구동 박막트랜지스터의 소오스 전극은 서로 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 8.

기관 상에 제 1 구동 박막트랜지스터 및 제 2 구동 박막트랜지스터를 형성하고,
상기 제 1 구동 박막트랜지스터와 접속하는 제 1 전극을 형성하고,
상기 제 1 전극 상에 제 1 유기발광층을 형성하고,
상기 제 1 유기발광층 상에 상기 제 2 구동 박막트랜지스터와 접속하는 제 2 전극을 형성하고,
상기 제 2 전극 상에 제 2 유기발광층을 형성하고,
상기 제 2 유기발광층 상에 제 3 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 제 2 전극을 형성하기 전에, 상기 제 1 유기발광층 상에 일함수 보조층을 형성하는 것을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 10.

제 8 항에 있어서,

상기 제 1 전극은 ITO(Indium Tin Oxide)막, IZO(Indium Zinc Oxide)막, TO(Tin Oxide)막 및 ZnO(Zinc Oxide)막으로 이루어진 군에서 선택되는 하나의 막으로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 11.

제 8 항에 있어서,

상기 제 2 전극은 ITO(Indium Tin Oxide)막, IZO(Indium Zinc Oxide)막, TO(Tin Oxide)막 및 ZnO(Zinc Oxide)막으로 이루어진 군에서 선택되는 하나의 막으로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 12.

제 11 항에 있어서,

상기 제 2 전극을 형성하기 전에, 상기 제 1 유기발광층 상에 일함수 보조층을 형성하는 것을 더 포함하고,

상기 일함수 보조층은 Mg, Mg합금, Ag, Ag합금, Al, Al합금, Ca, Ca합금, Ba 및 Ba합금으로 이루어진 군에서 선택되는 하나의 막인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 13.

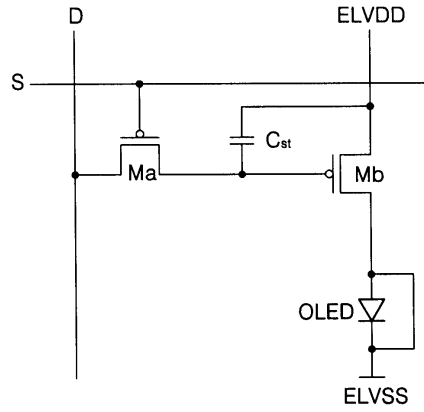
제 8 항에 있어서,

상기 제 1 전극을 형성함과 동시에 상기 제 2 구동 박막트랜지스터에 접속하는 전도성 패드를 형성하는 것을 더 포함하고,

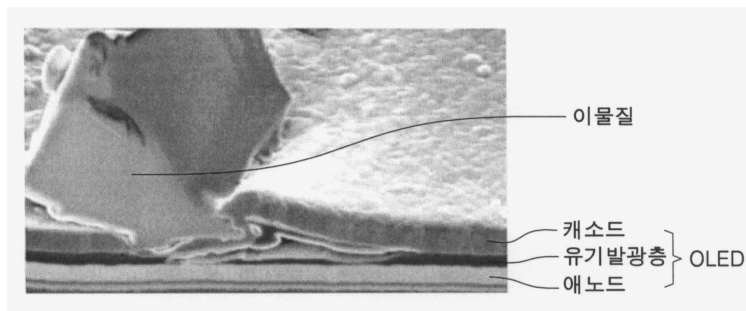
상기 제 2 전극은 상기 전도성 패드에 접속하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

도면

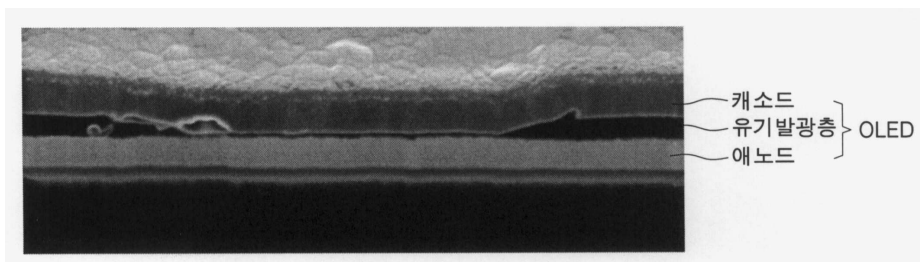
도면1



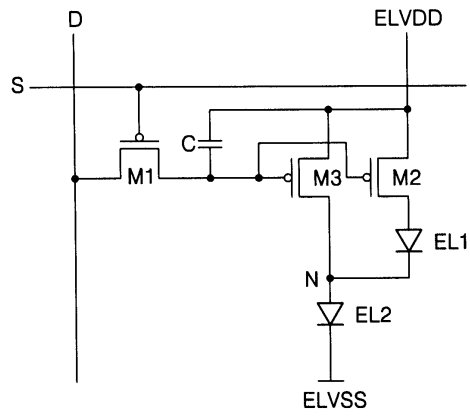
도면2a



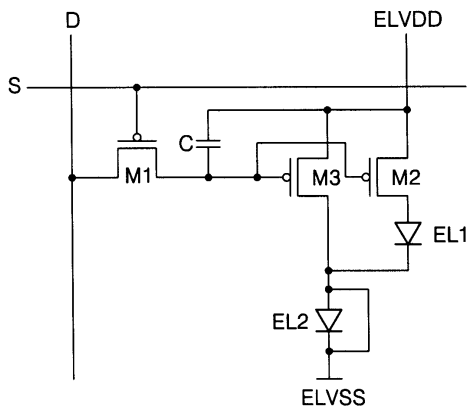
도면2b



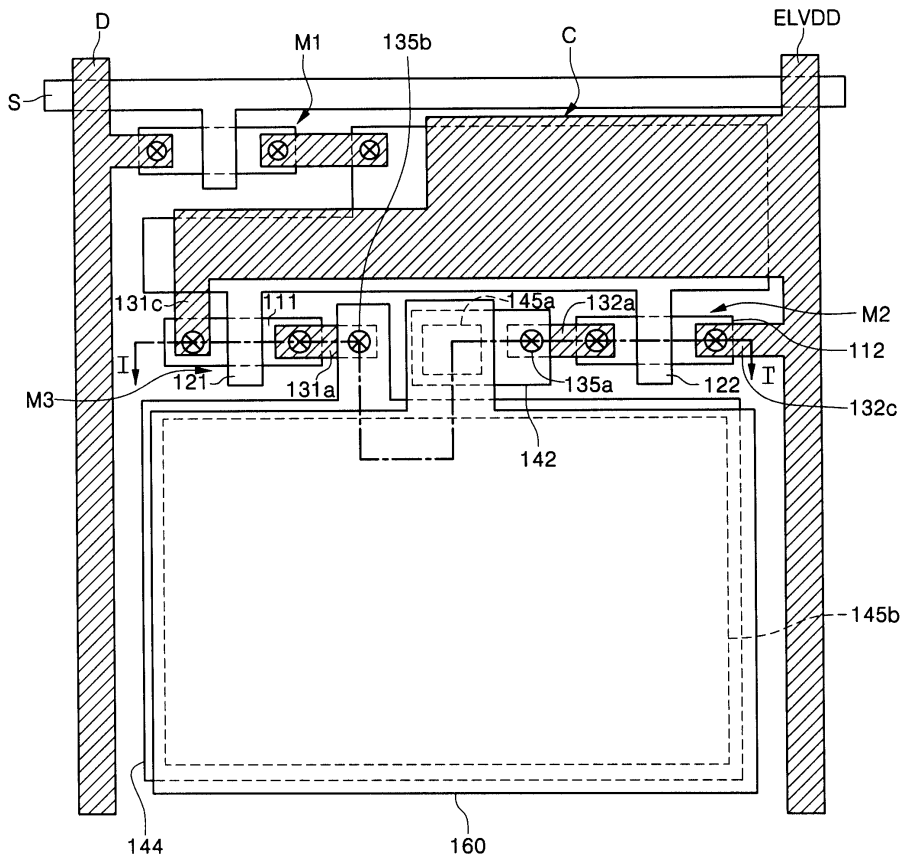
도면3



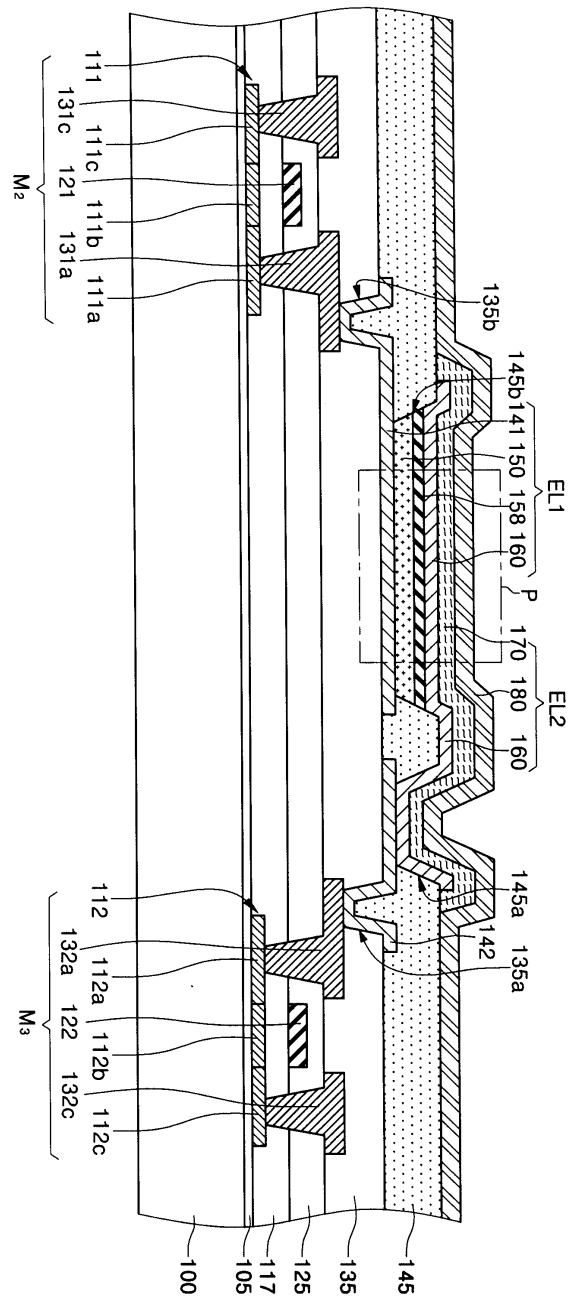
도면4



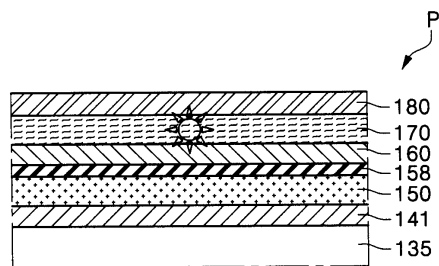
도면5



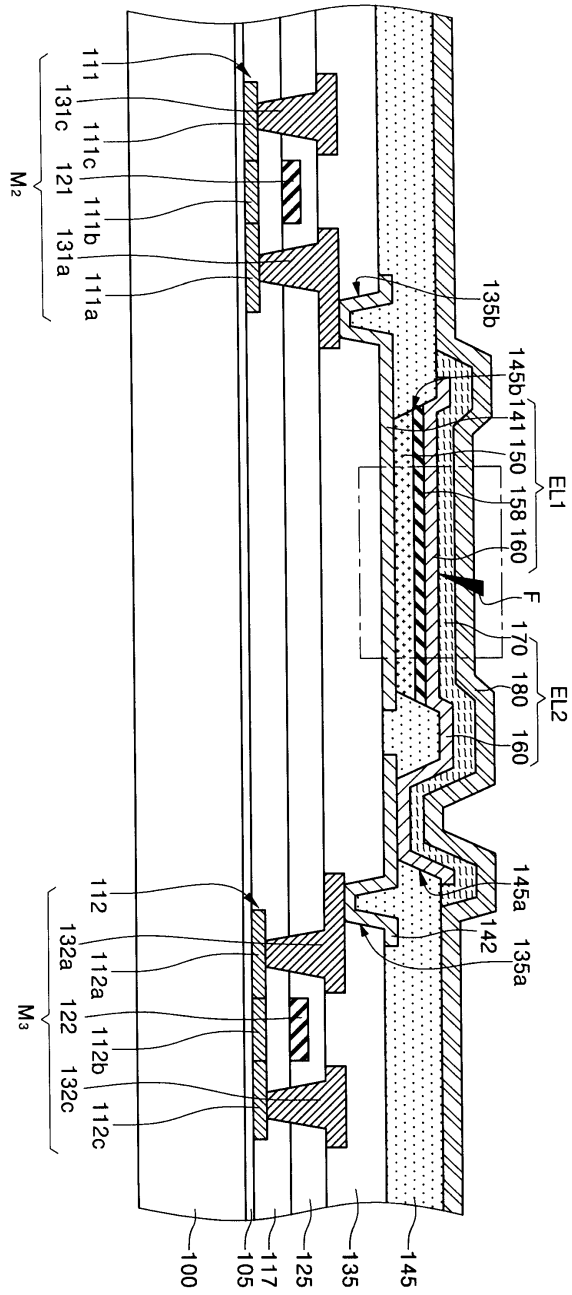
도면6a



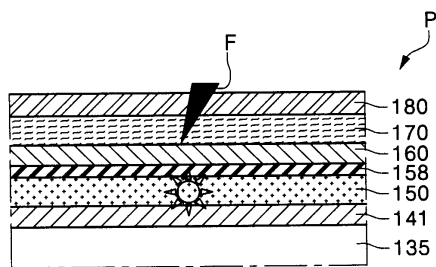
도면6b



도면7a



도면7b



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100624126B1	公开(公告)日	2006-09-19
申请号	KR1020050035215	申请日	2005-04-27
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM EUN AH		
发明人	KIM, EUN AH		
IPC分类号	H05B33/00 H05B33/10		
CPC分类号	H01L27/3244 H01L27/3209 B32B2471/04 B60N3/044 D04H1/413 D04H13/007		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机电致发光显示装置及其制造方法，即使发生电极之间的短路，也可通过正常操作相应的单位像素来减少诸如暗点的像素误差。组成：在有机电致发光显示装置中，第一有机电致发光二极管 (EL1) 包括第一电极 (141)，第二电极 (160) 和第一有机发光层 (150)，第一有机电致发光层放置在第一电极之间 (141) 和第二电极 (160)。第二有机电致发光二极管 (EL2) 包括第二电极 (160)，第三电极 (180) 和第二有机发光层 (170)，其置于第二电极 (160) 和第三电极 (180) 之间。第一驱动薄膜晶体管 (M2) 连接到第一电极 (141)，第二驱动薄膜晶体管 (M3) 连接到第二电极 (160)。版权所有KIPO 2006

