

# (19)대한민국특허청(KR)

## (12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)		(45) 공고일자	2006년09월18일
		(11) 등록번호	10-0623841
		(24) 등록일자	2006년09월06일
(21) 출원번호	10-2003-0099391	(65) 공개번호	10-2005-0068227
(22) 출원일자	2003년12월29일	(43) 공개일자	2005년07월05일

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	오두환 충청북도충주시봉방동소망아파트1/504  정훈주 경기도평택시세교동555번지부영원앙아파트502-1003  정석희 대구광역시서구평리4동1225-16
(74) 대리인	허용록

심사관 : 천대식

### (54) 일렉트로 루미네센스 패널 및 그 구동방법

#### 요약

본 발명에 따른 일렉트로 루미네센스 패널은, 게이트 라인들과, 상기 게이트 라인들과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 EL셀(OLED)을 구비하는 EL 패널에 있어서,

상기 각 데이터 라인에 소정의 전류를 인가하기 위한 외부 싱크전류 라인들과; 상기 각 데이터 라인과 외부 싱크전류 라인의 사이 및 각 데이터 라인에 구비된 한 쌍의 스위치들과; 상기 스위치를 일정한 주기로 개폐하는 제어 신호가 인가되는 제어신호 라인들과; 상기 각 EL셀에 전원을 공급하는 공급전원 및 상기 데이터 라인들 사이에 접속되는 박막트랜지스터가 구비된 보상회로들과; 상기 EL셀들을 구동시키기 위한 구동회로들이 포함되는 것을 특징으로 한다.

이와 같은 본 발명에 의하면, 박막트랜지스터의 전류 특성을 보상하여 휘도 균일도를 향상시키고 아울러 수율이 향상되며, 화소 셀 상에 발생하는 줄무늬를 제거할 수 있으며, 또한, 데이터 드라이버 구동에 있어 아날로그 샘플링을 적용함으로써, 데이터 드라이버 내의 채널 수를 감소시키고, 데이터 드라이버와 패널간의 연결 라인 수 및 데이터 드라이버의 면적을 줄일 수 있는 장점이 있다.

#### 대표도

도 6

## 명세서

### 도면의 간단한 설명

- 도 1은 종래의 EL 패널을 개략적으로 도시한 도면.  
 도 2는 도 1에 도시된 화소 소자의 일 실시예를 도시한 회로도.  
 도 3는 도 1에 도시된 화소 소자의 다른 실시예를 도시한 회로도.  
 도 4는 박막트랜지스터의 특성을 나타내는 그래프.  
 도 5는 본 발명에 의한 EL 패널을 개략적으로 도시한 도면.  
 도 6은 도 5를 상세하게 나타내는 회로도.  
 도 7은 아날로그 샘플링 방식에 의해 구동되는 본 발명에 의한 EL 패널의 타이밍 다이어그램.  
 도 8은 본 발명의 다른 실시예에 의한 EL 패널의 회로도.  
 도 9는 도 8에 도시된 EL 패널에 인가되는 소정 신호에 대한 타이밍 다이어그램.  
 도 10은 하나의 보상회로 및 그 보상회로에 인접한 화소 소자를 나타내는 회로도.

### <도면의 주요 부분에 대한 부호의 설명>

- 60 : 보상회로 62 : 외부 싱크전류 라인  
 64, 64 : 제어신호 라인

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 패널에 관한 것으로, 특히 휘도 균일도가 향상되고, 데이터 구동회로의 채널 수가 감소되는 일렉트로 루미네센스 패널 및 그 구동 방법에 관한 것이다.

최근 들어 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다.

이러한 평판표시장치들로는 액정표시장치(Liquid Crystal Display : 이하 LCD), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 PDP) 및 일렉트로 루미네센스(Electro-Luminescence : 이하 EL) 표시장치 등이 있으며, 이와 같은 상기 평판표시장치에 대해서 표시 품질을 높이고, 대화면화를 시도하는 연구들이 활발히 진행되고 있다.

상기 평판표시장치 중 EL 소자는 스스로 발광하는 자발광소자로, 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기 시킴으로써, 화상 또는 영상을 표시하게 되며, 직류 저전압으로 구동이 가능하고 응답속도가 빠른 장점이 있다.

도 1은 종래의 EL 패널을 개략적으로 도시한 도면이다.

도 1을 참조하면, EL 패널은 기관(10) 상에 서로 교차되게 배열되는 게이트 라인들(GL1 내지 GLm) 및 데이터 라인(DL1 내지 DLn)과, 게이트 라인들(GL1 내지 GLm)과 데이터 라인(DL1 내지 DLn)의 교차부들 각각에 배열되어진 화소 소자들(PE)이 구비되어 있다.

상기 화소 소자들(PE) 각각은 게이트 라인들(GL1 내지 GLn)의 게이트 신호들이 인에이블(enable)될 때에 구동되어 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여 게이트 드라이버(12)가 게이트 라인들(GL1 내지 GLm)에 접속됨과 아울러 데이터 드라이버(14)가 데이터 라인들(DL1 내지 DLn)에 접속되며, 상기 게이트 드라이버(12)는 게이트 라인들(GL1 내지 GLm)을 순차적으로 구동시키고, 데이터 드라이버(14)는 데이터 라인들(DL1 내지 DLn)을 통해 화소들(PE)에 화소신호를 공급하게 된다.

도 2는 도 1에 도시된 화소 소자의 일 실시예를 도시한 회로도이다.

도 2를 참조하면, 화소 소자(PE)는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(16)를 구비한다.

EL 셀(OLED) 구동회로(16)는 EL 셀(OLED)과 공급전압라인(VDD)에 사이에 접속되어 구동역할을 하는 제2 PMOS TFT(T2)와, 데이터 라인(DL)과 제2 PMOS TFT(T2)의 게이트 전극 사이에 접속되어 EL 셀(OLED)의 스위치 역할을 하는 제1 PMOS TFT(T1)와, 제1 PMOS TFT(T1)의 드레인 전극과 공급전압라인(VDD)사이에 접속되어진 캐패시터(Cst)로 구성되며, 상기 구동회로(16)의 동작을 설명하면 다음과 같다.

게이트 라인(GL)에 로우(LOW) 입력신호 즉, 게이트 드라이버(12)로부터의 스캔신호가 입력되면 제1 PMOS TFT(T1)가 턴-온 되고, 이와 같이 제1 PMOS TFT(T1)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호에 동기되어 입력되는 일정한 크기를 가진 비디오 신호가 제1 PMOS TFT(T1)를 통하여 흐르게 되고, 이 비디오 신호는 캐패시터(Cst)에 충전된다. 이 때 상기 캐패시터(Cst)는 제1 PMOS TFT(T1)의 드레인 전극과 공급전압(VDD)에 접속되어 게이트 라인(GL)의 로우 입력시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전한다.

또한, 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시키며, 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 되는 것이다.

도 3는 도 1에 도시된 화소 소자의 다른 실시예를 도시한 회로도이다.

도 3을 참조하면, 이는 기저전압라인(GND)에 접속되어진 EL 셀(OLED)과, 상기 EL 셀(OLED)을 구동하기 위한 셀 구동회로(26)로 구성되며, 상기 셀 구동 회로(26)는 제1, 제2 노드(N1, N2) 및 EL 셀(OLED) 사이에 접속되어진 제1 PMOS TFT(MP1)와, 게이트라인(GL) 제2 노드 및 EL 셀(OLED) 사이에 접속되어진 제2 PMOS TFT(MP2)와, 제1 및 제2노드(N1, N2) 사이에 접속되어진 캐패시터(C1)를 구비한다.

상기 캐패시터(C1)는 데이터 라인(DL)으로부터 화소신호가 인가될 때, 화소신호의 전압을 충전하여 그 충전되어진 화소 전압을 제1 PMOS TFT(MP1)의 게이트 전극에 공급하며, 상기 제1 PMOS TFT(MP1)는 캐패시터(C1)에 충전되어진 화소전압에 의해 턴-온 됨으로써 공급전압 라인(VDDL)으로부터 제1 노드(N1)를 경유하여 공급전압(VDD)이 EL 셀(OLED)에 공급되게 한다.

이 때, 제1 PMOS TFT(MP1)는 화소 신호의 전압레벨에 따라 EL 셀(OLED)에 공급되는 전류량을 조절되게 하며, 이에 상기 EL 셀(OLED)은 제1 PMOS TFT(MP1)로부터 인가되는 전류량에 상응하는 양의 빛을 발생하게 된다.

또한, 제2 PMOS TFT(MP2)는 게이트 라인(GL)으로부터 게이트 신호(GLS)에 응답하여 제2 노드(N2)를 EL 셀(OLED)에 선택적으로 접속시킨다. 즉, 제2 PMOS TFT(MP2)는 게이트 신호(GLS)가 로우논리로 인에이블되는 기간에 제 2노드(N2)를 EL 셀(OLED)에 접속시켜 화소신호가 캐패시터(C1)에 충전될 수 있게 하는 것으로, 제2 PMOS TFT(MP2)는 게이트 라인(GL) 상의 게이트 신호(GLS)가 인에이블 되는 기간에 캐패시터(C1)의 전류 통로를 형성하게 된다.

또한, 캐패시터(C1)는 게이트 신호가 인에이블되는 기간에 화소신호를 충전하여 제 1 PMOS TFT(MP1)의 게이트 전극 상의 전압이 드레인 전극 상의 전압 보다 충전된 화소신호의 전압레벨 만큼의 낮아지게 한다. 이에 따라, 제1 PMOS TFT(MP1)는 화소신호의 전압레벨에 따라 제 1노드(N1)로부터 EL 셀(OLED) 쪽으로 흐르는 전류량을 결정하게 된다.

또한, 통상의 EL 셀(OLED) 구동회로는 게이트 라인(GL) 상의 게이트 신호에 응답하는 제3 PMOS TFT(MP3)와, 게이트 바 라인(/GL)으로부터의 반전된 게이트 신호(/GLS)에 응답하는 제4 PMOS TFT(MP4)를 추가로 구비한다.

이 때, 제3 PMOS TFT(MP3)는 로우논리의 게이트신호가 게이트 라인(GL)으로부터 공급되는 기간에 턴-온 되어 제1 노드(N1)에 접속되어진 캐패시터(C1) 및 제1 PMOS TFT(MP1)의 드레인 전극이 데이터 라인(DL)에 접속되게 하는 것으로 즉, 제3 PMOS TFT(MP3)는 로우논리의 게이트 신호(GLS)에 응답하여 데이터 라인(DL) 상의 화소 신호를 제1 노드(N1) 쪽으로 전송하는 역할을 한다.

결과적으로, 제3 PMOS TFT(MP3)는 게이트 라인(GL) 상의 게이트 신호가 로우논리를 유지하는 기간 턴-온 되어 화소신호가 제1 및 제2 노드(N1, N2) 사이에 접속되어진 캐패시터(C1)에 충전되게 한다.

또한, 제4 PMOS TFT(MP4)는 게이트 바 라인(/GL)으로부터 로우논리의 반전된 게이트 신호(/GLS)가 자신의 게이트 전극 쪽으로 공급되는 기간에 턴-온 되어 캐패시터(C1) 및 제1 PMOS TFT(MP1)의 드레인 전극이 접속되어진 제1 노드(N1)를 공급전압라인(VDDL)에 접속시키며, 제4 PMOS TFT(MP4)가 턴-온 된 기간에 공급전압라인(VDDL) 상의 공급전압(VDD)은 제1 노드(N1) 및 제1 PMOS TFT(MP1)를 경유하여 EL 셀(OLED)에 공급됨으로써, EL 셀(OLED)이 화소신호의 전압레벨에 따른 양의 빛을 발생하게 한다.

이와 같은 EL소자는 EL 셀(OLED)을 이용하여 빛을 발생시키는데 필요한 전류를 PMOS TFT로부터 공급받아 동작하는데, 이러한 PMOS TFT의 특성은 도 4와 같다.

도 4는 박막트랜지스터의 특성을 나타내는 그래프로, 게이트 전압에 따른 드레인과 소스간의 전압( $V_{DS}$ )의 가로축과, 드레인 전류( $I_D$ )의 세로축을 나타내는 그래프이다.

도 4를 참조하면, PMOS TFT의 특성은 게이트 전압( $V_G$ )값에 따라 드레인과 소오스간의 전압( $V_{DS}$ )과, 드레인 전류( $I_D$ )가 달라진다. 특히 EL소자는 공급되는 전류에 의해 동작하여 발광하므로 전류의 조절이 무엇보다도 중요하다.

도 4에 도시된 A부분에서처럼 문턱전압( $V_{TH}$ )까지는 드레인과 소오스간의 전압( $V_{DS}$ )의 작은 변화에도 드레인 전류( $I_D$ )의 변화가 매우 크기 때문에 구동 박막 트랜지스터는 포화(Saturation)영역에서 사용한다.

또한, 앞서 설명한 종래의 구조에 의할 경우 RGB 등의 각 화상신호를 입력하는 데이터 라인(DL)의 수가 상기 각 셀의 수와 같이 구비되어야 하며, 이에 따라 상기 데이터 라인에 화상신호를 공급하는 데이터 드라이버 내의 채널 수도 데이터 라인의 수와 같아야 하기 때문에 데이터 드라이버의 면적이 크게 된다는 단점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 박막트랜지스터의 전류 특성을 보상하여 휘도 균일도를 향상할 수 있도록 하며, 또한 데이터 드라이버 구동에 있어 아날로그 샘플링을 적용함으로써, 데이터 드라이버 내의 채널 수를 감소시키고, 데이터 드라이버와 패널간의 연결 라인 수 및 데이터 드라이버의 면적을 줄이도록 하는 일렉트로 루미네센스 패널 및 그 구동방법을 적용함에 그 목적이 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 따른 일렉트로 루미네센스 패널은, 게이트 라인들과, 상기 게이트 라인들과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 EL 셀(OLED)을 구비하는 EL 패널에 있어서,

상기 각 데이터 라인에 소정의 전류를 인가하기 위한 외부 싱크전류 라인들과; 상기 각 데이터 라인과 외부 싱크전류 라인의 사이 및 각 데이터 라인에 구비된 한 쌍의 스위치들과; 상기 스위치를 일정한 주기로 개폐하는 제어 신호가 인가되는 제어 신호 라인들과; 상기 각 EL셀에 전원을 공급하는 공급전원 및 상기 데이터 라인들 사이에 접속되는 박막트랜지스터가 구비된 보상회로들과; 상기 EL셀들을 구동시키기 위한 구동회로들이 포함되는 것을 특징으로 한다.

여기서, 상기 구동회로는, 상기 EL셀에 전원을 공급하는 공급전원과; 상기 공급전원과 상기 EL셀 사이에 접속된 제 1 박막트랜지스터와; 상기 데이터 라인 및 상기 제 1 박막트랜지스터의 게이트전극 사이에 접속되어 스위치 역할을 하는 제 2 박막트랜지스터와; 상기 제 1 박막트랜지스터의 게이트전극 및 상기 공급전원에 접속되는 캐패시터를 구비한다.

또한, 상기 제 1 박막 트랜지스터는 PMOS 박막 트랜지스터이며, 제 2 박막트랜지스터는 PMOS 박막트랜지스터 또는 NMOS 박막트랜지스터이고, 상기 스위치는 PMOS 박막트랜지스터 또는 NMOS 박막트랜지스터이며, 상기 외부 싱크전류 라인은 상기 보상회로와 화소 소자 사이에 구비됨을 특징으로 한다.

또한, 상기 EL 패널의 하단부에 프리차지 회로(precharge circuit)가 더 구비되고, 상기 프리차지 회로는 각각의 데이터 라인에 연결된 박막트랜지스터들로 구성되며, 상기 각 박막트랜지스터의 게이트 전극에는 전압 콘트롤 신호( $V_{con}$ )가 인가되고, 상기 전압 콘트롤 신호의 인가에 동기되어 상기 박막트랜지스터의 소스/드레인 전극을 통해 프리차지 전압( $V_{precharge}$ )이 상기 데이터 라인으로 인가됨을 특징으로 한다.

또한, 본 발명에 의한 일렉트로 루미네센스 패널의 구동방법은, 게이트 라인들과, 상기 게이트 라인들과 교차되게 배열된 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 EL셀(OLED)을 구비하는 EL 패널을 구동하는 방법에 있어서,

게이트 라인에 스캔 신호가 인가되는 단계와; 상기 스캔 신호가 인가되는 기간( $T_1$ )이  $n$ 개의 블록 기간( $t_1, t_2, \dots, t_n$ )으로 나뉘고, 각 블록에 해당하는 데이터 라인들에 데이터 신호가 순차적으로 인가되는 단계가 포함되는 것을 특징으로 한다.

여기서, 상기 데이터 라인들은  $n$ 개의 블록 구간에 의해 나누어 지며, 소정의 블록 구간에 해당하는 데이터 라인들에는 상기 소정의 블록 구간에 대응되는 상기 소정의 블록 기간동안 데이터 신호가 인가되는 것이고, 상기 데이터 신호는 일정한 크기를 가진 전류임을 특징으로 한다.

이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다.

도 5는 본 발명에 의한 EL 패널을 개략적으로 도시한 도면이다.

도 5를 참조하면, 본 발명에 의한 EL 패널에는 기판(50) 상에 서로 교차되게 배열되는 게이트 라인들( $GL_1$  내지  $GL_m$ ) 및 데이터 라인( $DL_1$  내지  $DL_n$ )과, 게이트 라인들( $GL_1$  내지  $GL_m$ )과 데이터 라인( $DL_1$  내지  $DL_n$ )의 교차부들 각각에 배열되어진 화소 소자들(PE)이 구비되어 있으며, 상기 화소 소자들(PE) 각각은 게이트 라인들( $GL_1$  내지  $GL_m$ )의 게이트 신호들이 인에이블(enable)될 때에 구동되어 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여 게이트 드라이버(52)가 게이트 라인들( $GL_1$  내지  $GL_m$ )에 접속됨과 아울러 데이터 드라이버(54)가 데이터 라인들( $DL_1$  내지  $DL_n$ )에 접속되며, 상기 게이트 드라이버(52)는 게이트 라인들( $GL_1$  내지  $GL_m$ )을 순차적으로 구동시키고, 데이터 드라이버(54)는 데이터 라인들( $DL_1$  내지  $DL_n$ )을 통해 화소들(PE)에 화소신호를 공급하게 된다.

또한, 상기 각 화소 소자의 EL 셀에 연결되는 박막트랜지스터의 전류 특성을 보상하여 화소 소자의 휘도를 향상시키도록 하는 보상회로(56)가 패널의 상단부에 구비되어 있으며, 상기 데이터 드라이버(54)가 아날로그 샘플링 방식으로 구동될 수 있도록 상기 데이터 라인 및 상기 데이터 라인에 소정의 전류를 인가하기 위한 외부 싱크전류 라인(58)에 각각 스위치(PMOS TFT 또는 NMOS TFT) (SW1, SW2)가 구비되고, 상기 스위치(SW1, SW2)를 일정한 주기로 개폐토록 하는 제어 신호가 인가되는 것을 특징으로 한다.

즉, 상기 데이터 라인들에 화상 신호가 한번에 인가되지 않고, 점 순차 방식으로 소정의 블록 간격을 두고 순차적으로 인가되며, 이에 의해 데이터 드라이버(54) 내의 채널 수를 감소시키고, 데이터 드라이버(54)와 패널간의 연결 라인 수 및 데이터 드라이버(54)의 면적을 줄일 수 있는 것이다.

이와 같이, 게이트 드라이버(52) 및 데이터 드라이버(54)에 의해 구동되는 화소 소자(PE)들은 도 6에 도시된 바와 같이 기저전압라인(GND)에 접속되어진 EL셀(OLED)과 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로로 구성된다.

도 6은 도 5를 상세하게 나타내는 회로도이며, 본 발명에 의한 EL 패널의 전류 미러(Current Mirror) 회로를 도시한 도면이다.

도 6을 참조하면, 하나의 데이터 라인에 하나의 보상회로(60) 즉, 각 화소 소자의 EL 셀(OLED)에 연결되는 박막트랜지스터(Thin Film Transistor; 이하 TFT)의 전류 특성을 보상하기 위한 회로가 패널의 상단부에 구비되어 있으며, 각 화소 소자는 두개의 TFT 및 캐패시터를 포함하여 구성되어 있다.

또한, 데이터 드라이버가 아날로그 샘플링 방식으로 구동될 수 있도록 상기 데이터 라인 및 상기 데이터 라인에 소정의 전류를 인가하기 위한 외부 싱크전류 라인(62)에 각각 스위치(PMOS TFT 또는 NMOS TFT)(SW1, SW2)가 구비되고, 상기 스위치(SW1, SW2)를 일정한 주기로 개폐토록 하는 제어신호를 인가하는 제어신호 라인(64, 64')이 구비된다.

여기서, 상기 아날로그 샘플링 방식이라 함은, 상기 데이터 라인들에 화상 신호가 한번에 인가되지 않고, 점 순차 방식으로 소정의 블록 간격을 두고 상기 블록에 화상 신호들이 순차적으로 인가되는 것을 의미하는 것으로, 일반적으로 전하 이동도가 높은 폴리 실리콘형 TFT가 구비될 때 가능할 수 있다.

이 때 상기 외부 싱크전류 라인(62)은 상기 보상회로 및 패널의 화소 소자 영역 사이에 형성되며, 이는 데이터 라인의 수와 일치하지 않아도 된다. 즉, 상기 외부 싱크전류 라인(62)은 상기 블록 수에 따라 결정되며, 일 실시예로 상기 블록이 3개이면, 외부 싱크전류 라인은  $n/3$ 개가 필요하게 된다.

이러한 아날로그 샘플링 방식이 적용되기 위해서 도시된 바와 같이 각 데이터 라인과 외부 싱크전류 라인 사이에 하나의 스위치(SW1) 및 각 데이터 라인에 하나의 스위치(SW2)가 구비되어 있으며, 상기 스위치(SW1, SW2)를 일정한 주기로 개폐토록 하는 제어신호 라인(64, 64')이 각 스위치(SW1, SW2)에 연결되어 있다. 이 때, 상기 스위치(SW1, SW2)로는 PMOS TFT 또는 NMOS TFT가 사용될 수 있다. 도 7은 아날로그 샘플링 방식에 의해 구동되는 본 발명에 의한 EL 패널의 타이밍 다이어그램이다.

단, 이는 하나의 실시예로서 3개의 블록으로 데이터 라인을 구분한 경우에 대한 설명이며, 도 6 및 도 7을 참조하여 설명하면 다음과 같다.

먼저 게이트 라인에 스캔 신호가 인가되면, 상기 스캔 신호가 인가되는 기간(T1)은 3개의 블록 기간( $t_1$ ,  $t_2$ ,  $t_3$ )으로 나뉘어져 데이터 신호가 상기 블록에 따라 순차적으로 인가된다. 이 때 상기 데이터 신호는 일정한 크기를 가진 전류( $I_{COL}$ )이다.

즉, 제 1블록기간( $t_1$ )에는 제 1블록에 해당하는 데이터 라인들에 화상 신호가 인가되도록 상기 제 1블록의 데이터 라인 및 외부 싱크전류 라인에 구비된 스위치가 온 되고, 나머지 제 2, 3블록 상의 스위치는 오프된다.

이는 상기 제어 신호 라인(Con\_1, Con\_2)에 의하며, 도시된 바와 같이 제 1블록 상의 데이터 라인에 상기 제 1블록기간 동안 화상 신호가 인가되고, 동일한 과정에 의해 순차적으로 제 2, 3블록 상의 데이터 라인에 제 2, 3블록기간 동안 화상 신호가 각각 인가되는 것이다.

이를 통해 결과적으로 데이터 드라이버 내의 채널 수를 감소시키고, 데이터 드라이버와 패널간의 연결 라인 수 및 데이터 드라이버의 면적을 줄일 수 있는 것이다.

또한, 상기 각 블록 내에 구비된 한 쌍의 스위치는 동일한 펄스 폭을 갖는 제어신호에 의해 온 될 수 있으나, 데이터 라인에 직접 연결된 스위치를 제어하는 제어신호(Con\_1)의 펄스 폭을 조금 줄여 상기 스위치를 먼저 오프되게 함으로써 다른 스위치가 오프될 때 발생하는 S/W에 의한 클럭 피드쓰루(clock feedthrough)를 줄일 수도 있다.

도 8은 본 발명의 다른 실시예에 의한 EL 패널의 회로도이고, 도 9는 도 8에 도시된 EL 패널에 인가되는 소정 신호에 대한 타이밍 다이어그램이다.

도 8을 참조하면, 이는 도 6에 도시된 EL 패널 하단부에 프리차지 회로(80)(precharge circuit)가 더 구비됨에 그 특징이 있다.

상기 프리차지 회로(80)를 더 구비하는 것은, 도 6에 도시된 EL 패널 구조의 경우, 로우 그레이(low gray)에서의  $I_{COL}$  값이 적기 때문에 데이터 라인의 기생 정전용량에 의해 세팅링(setting) 시간이 부족하여 상기 로우 그레이 표시가 어려운 단점을 극복하기 위해 먼저 블랙 레벨로 초기화를 하도록 하기 위함이다.

여기서, 상기 프리차지 회로(80)는 패널의 하단부에서 각각의 데이터 라인에 연결된 박막트랜지스터(82)로 구성되어 있으며, 상기 박막트랜지스터(82)의 게이트 전극에는 전압 콘트롤 신호( $V_{con}$ )(84)가 인가되고, 상기 전압 콘트롤 신호(84)의 인가에 동기되어 상기 박막트랜지스터의 소스/드레인 전극을 통해 프리차지 전압( $V_{precharge}$ )(86)이 상기 데이터 라인으로 인가되도록 한다.

즉, 도 9에 도시된 바와 같이 게이트 신호가 인가되는 게이트 온 타임 초반부에 상기 게이트 신호에 동기된 상기 전압 콘트롤 신호( $V_{con}$ )가 온 되면, 상기 프리차지 전압이 데이터 라인을 통해 EL 셀에 공급되며, 결과적으로 상기 프리차지 전압에 의해 상기  $I_{COL}$ 은 블랙 레벨로 초기화가 이루어 지게 된다.

도 10은 하나의 보상회로 및 그 보상회로에 인접한 화소 소자를 나타내는 회로도이며, 이 때 상기 보상회로에 인접한 화소 소자는 패널의 최상측에 형성된 화소 소자가 된다.

단, 상기 보상회로와 화소 소자 사이에 구비된 외부 싱크전류 라인 및 스위치들은 상기 회로의 동작과 관계없으므로 생략토록 한다.

도 10을 참조하면, 이는 기저전위원(GND)에 접속되어진 셀(OLED)과, 상기 EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(26)를 구비하게 되며, 편의상 화소 소자 상부에 형성된 보상회로 또한 상기 구동회로에 포함된 상태로 구성되어 있다고 가정한다.

상기 EL 셀(OLED) 구동회로(86)는 게이트 라인(GL) 상의 게이트 신호가 인에이블된 기간에 데이터 라인(DL) 상의 흐르는 전류량에 대응하여 전류신호를 EL 셀(OLED)에 공급하게 되며, 이 때 상기 데이터 라인의 전류신호는 상기 데이터 라인에 연결된 외부 싱크전류 라인에 의해 인가된다.

이를 위해 상기 EL 셀(OLED) 구동회로(86)는, EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제 1 및 제 2 PMOS TFT(P1, P2)와, 이들 제1 및 제2 PMOS TFT(P1, P2) 사이에 접속되어 스위치 역할을 하는 제 3 PMOS TFT(P3)와, 제2 PMOS TFT(P2)과 공급전압라인(VDD)사이에 접속되어진 캐패시터( $C_{ST1}$ )를 구비한다. 이 때 상기 제 1 PMOS TFT(P1)은 상기 보상회로에 해당한다. 단, 상기 제 3 TFT(P3)는 NMOS TFT로 구성될 수도 있다.

또한, 상기 캐패시터( $C_{ST1}$ )는 공급전압라인(VDD)이 데이터 라인(DL)에 접속될 때, 데이터 라인(DL) 상의 신호전류가 제 1 PMOS TFT(P1)에 흐르면 제2 PMOS TFT(P2)의 게이트 전극에 신호 전류에 대응되는 전압이 여기 되며, 상기 제2 PMOS TFT(P2)는 캐패시터( $C_{ST1}$ )에 충전된 여기 전압에 의해 턴-온 됨으로써, 공급전압라인(VDD) 상의 공급전압(VDD)이 EL 셀(OLED)에 공급되게 한다.

또한, 제3 PMOS TFT(P3)는 스위치 역할을 하는 소자이며, 제3 PMOS TFT(P3)가 턴-온 되면 제1 및 제2 PMOS TFT(P1, P2)는 전류 미러의 회로가 된다. 이 때, 제1 PMOS TFT(P1)이 턴-온 됨으로써 제1 PMOS TFT(P1)에 의해 데이터 라인에 일정한 크기를 가진 전류( $I_{COL}$ )가 흐르게 되고, 캐패시터( $C_{ST1}$ )에 충전이 된다.

캐패시터( $C_{ST1}$ )는 제 2 PMOS TFT(P2)의 게이트 전극과 공급전압(VDD)에 접속되어 EL 셀(OLED)에 공급되는 데이터의 전류를 홀딩(Holding) 시키며, 이러한 홀딩시간으로 인해 데이터라인에서 공급되는 화상신호가 EL 셀(OLED)공급되는 것을 캐패시터( $C_{ST1}$ )에 의해 유지하게 된다.

이 때, 상기 제1 PMOS TFT(P1)와 제2 PMOS TFT(P2)의 폭(Width)과 길이(Length)의 비율이 같다면 같은 크기의 전류가 제1 PMOS TFT(P1)와 제2 PMOS TFT(P2)로 흐른다.

그러나, 제1 PMOS TFT(P1)와 제2 PMOS TFT(P2)의 비율이 K:1 이라면 제2 PMOS TFT(P2)로 흐르는 전류는 제1 PMOS TFT(P1)로 흐르는 전류( $I_{COL}$ )의 1/K 배의 크기를 가지는 전류가 흐르게 된다. 여기서, K는 제 1 PMOS TFT의 폭과 길이의 비율 대 제 2 PMOS TFT의 폭 길이 비율이다. ( $W1/L1 : W2/L2$ )

따라서, 제1 PMOS TFT(P1)와 제2 PMOS TFT(P2)는 문턱전압( $V_{TH}$ )의 영향을 받지 않으면서 제2 PMOS TFT(P2)에 흐르는 전류를 조정 가능하게 되는 것이다.

### 발명의 효과

이상의 설명에서와 같이 본 발명에 따른 일렉트로 루미네센스 패널 및 그 구동방법에 의하면, 박막트랜지스터의 전류 특성을 보상하여 휘도 균일도를 향상시키고 아울러 수율이 향상되며, 화소 셀 상에 발생하는 줄무늬를 제거할 수 있는 장점이 있다.

또한, 데이터 드라이버 구동에 있어 아날로그 샘플링을 적용함으로써, 데이터 드라이버 내의 채널 수를 감소시키고, 데이터 드라이버와 패널간의 연결 라인 수 및 데이터 드라이버의 면적을 줄일 수 있는 장점이 있다.

### (57) 청구의 범위

#### 청구항 1.

게이트 라인들과, 상기 게이트 라인들과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 EL셀(OLED)을 구비하는 EL 패널에 있어서,

상기 각 데이터 라인에 소정의 전류를 인가하기 위한 외부 싱크전류 라인들과,

상기 각 데이터 라인과 외부 싱크전류 라인의 사이 및 각 데이터 라인에 구비된 한 쌍의 스위치들과,

상기 스위치를 일정한 주기로 개폐하는 제어 신호가 인가되는 제어신호 라인들과,

상기 각 EL셀에 전원을 공급하는 공급전원 및 상기 데이터 라인들 사이에 접속되는 박막트랜지스터가 구비된 보상회로들과,

상기 EL셀들을 구동시키기 위한 구동회로들이 포함되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

#### 청구항 2.

제 1항에 있어서,

상기 구동회로는, 상기 EL셀에 전원을 공급하는 공급전원과,

상기 공급전원과 상기 EL셀 사이에 접속된 제 1 박막트랜지스터와,

상기 데이터 라인 및 상기 제 1 박막트랜지스터의 게이트전극 사이에 접속되어 스위치 역할을 하는 제 2 박막트랜지스터와,

상기 제 1 박막트랜지스터의 게이트전극 및 상기 공급전원에 접속되는 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.



### 청구항 3.

제 2항에 있어서,

상기 제 1 박막 트랜지스터는 PMOS 박막 트랜지스터이며, 제 2 박막트랜지스터는 PMOS 박막트랜지스터 또는 NMOS 박막트랜지스터임을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 4.

제 1항에 있어서,

상기 스위치는 PMOS 박막트랜지스터 또는 NMOS 박막트랜지스터임을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 5.

제 1항에 있어서,

상기 EL 패널의 하단부에 프리차지 회로(precharge circuit)가 더 구비됨을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 6.

제 5항에 있어서,

상기 프리차지 회로는 각각의 데이터 라인에 연결된 박막트랜지스터들로 구성되며, 상기 각 박막트랜지스터의 게이트 전극에는 전압 콘트롤 신호( $V_{con}$ )가 인가되고, 상기 전압 콘트롤 신호의 인가에 동기되어 상기 박막트랜지스터의 소스/ 드레인 전극을 통해 프리차지 전압( $V_{precharge}$ )이 상기 데이터 라인으로 인가됨을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 7.

게이트 라인들과, 상기 게이트 라인들과 교차되게 배열된 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 EL셀(OLED)을 구비하는 EL 패널을 구동하는 방법에 있어서,

게이트 라인에 스캔 신호가 인가되는 단계와,

상기 스캔 신호가 인가되는 기간( $T1$ )이  $n$ 개의 블록 기간( $t1, t2, \dots, tn$ )으로 나뉘고, 각 블록에 해당하는 데이터 라인들에 데이터 신호가 순차적으로 인가되는 단계가 포함되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

### 청구항 8.

제 7항에 있어서,

상기 데이터 라인들은  $n$ 개의 블록 구간에 의해 나뉘어 지며, 소정의 블록 구간에 해당하는 데이터 라인들에는 상기 소정의 블록 구간에 대응되는 상기 소정의 블록 기간동안 데이터 신호가 인가됨을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

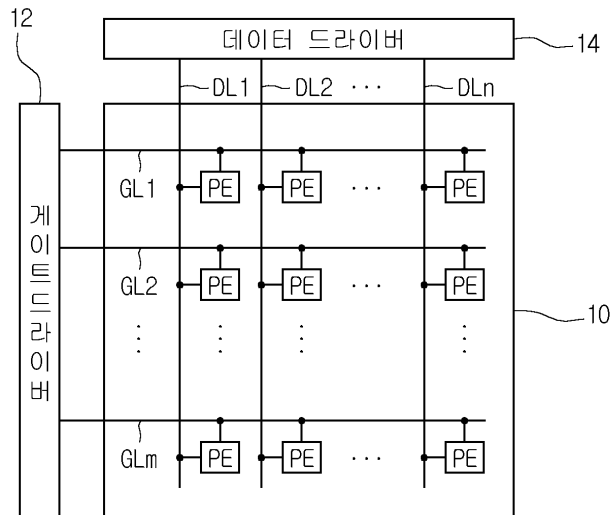
# 청구항 9.

제 7항에 있어서,

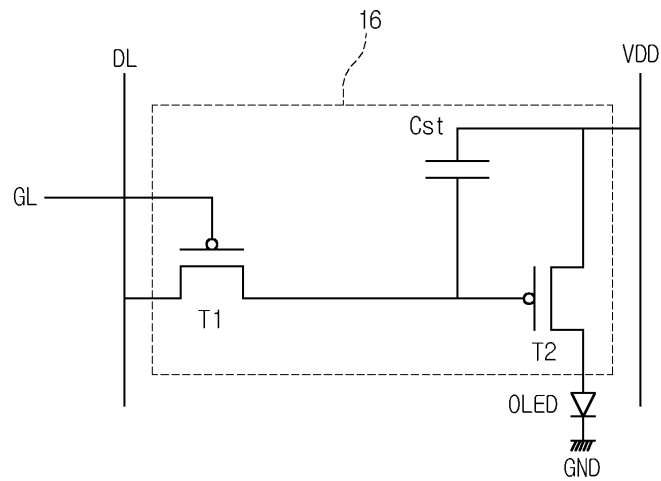
상기 데이터 신호는 일정한 크기를 가진 전류임을 특징으로 하는 일렉트로 루미네센스의 구동방법.

도면

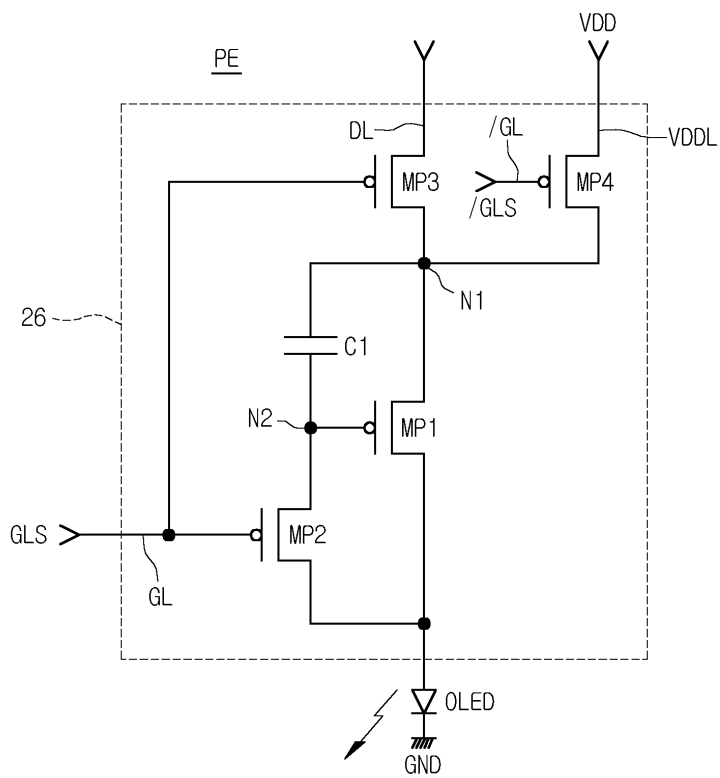
도면1



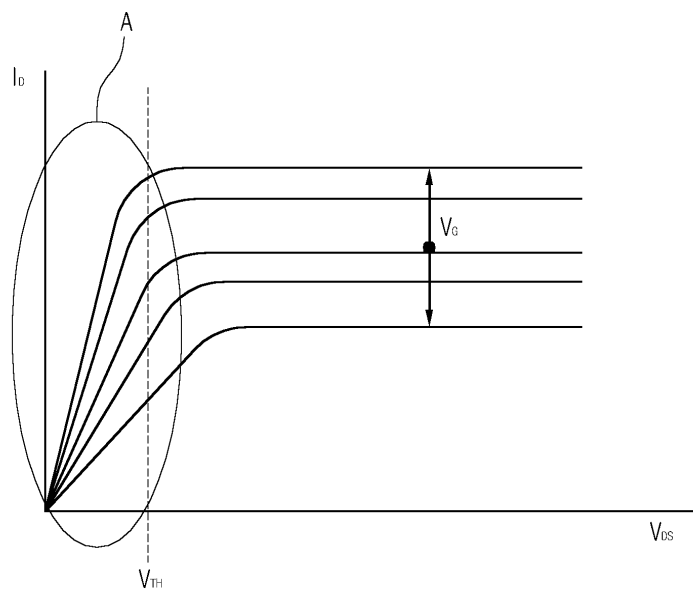
도면2



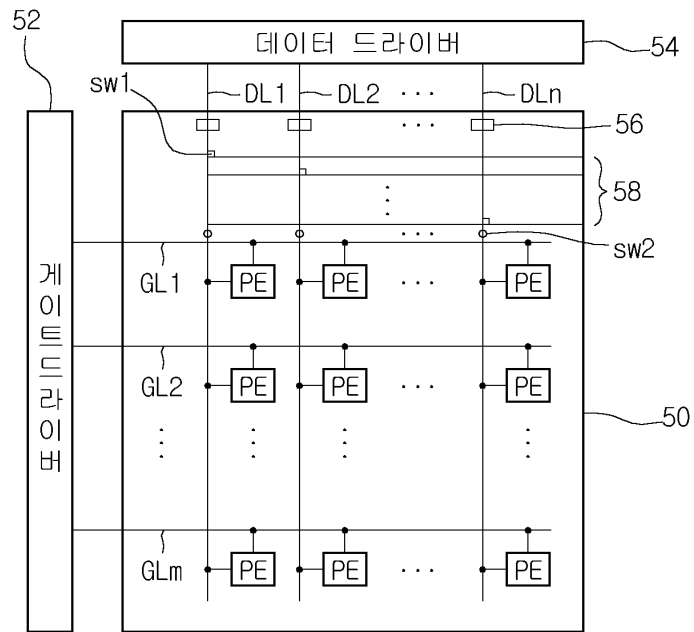
도면3



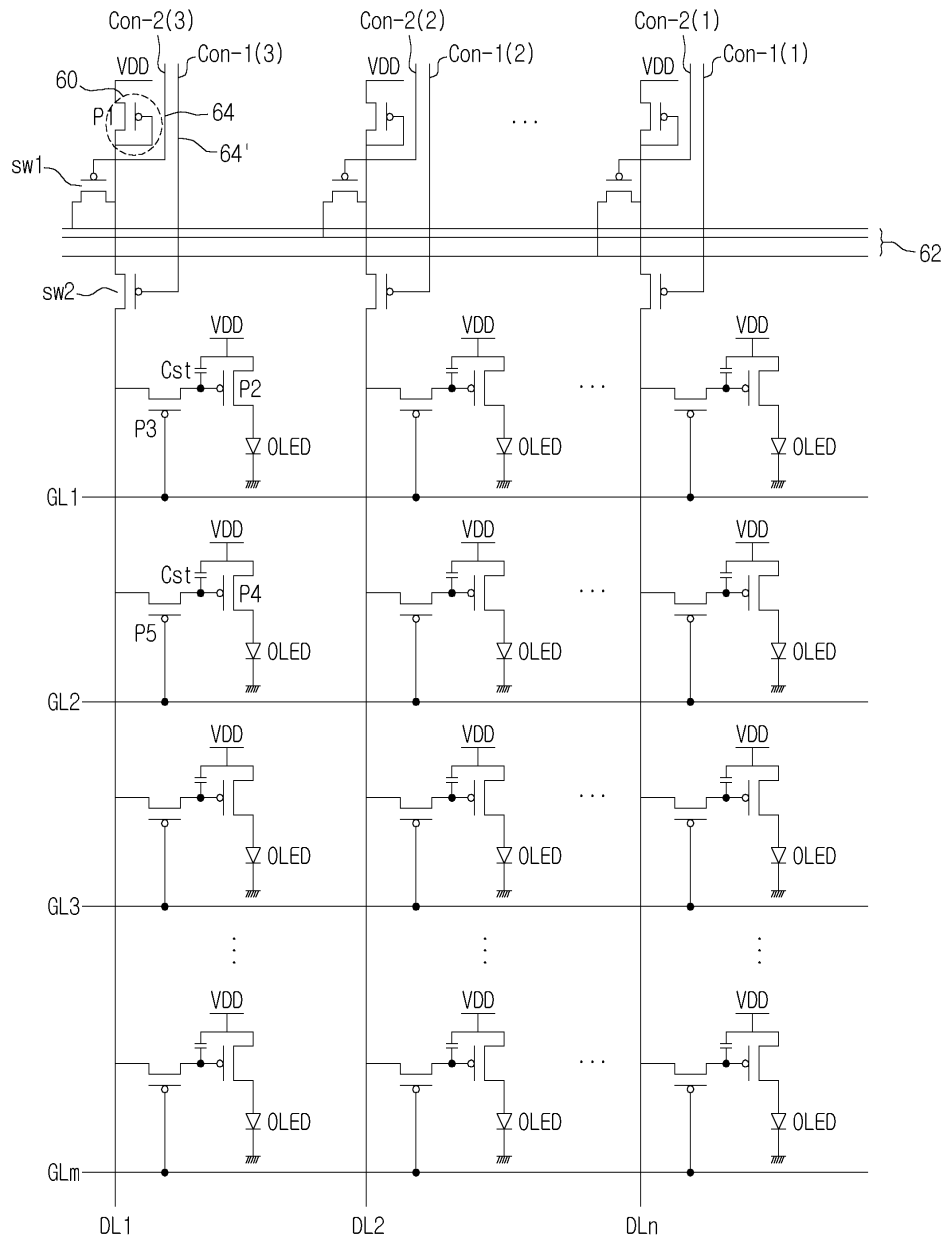
도면4



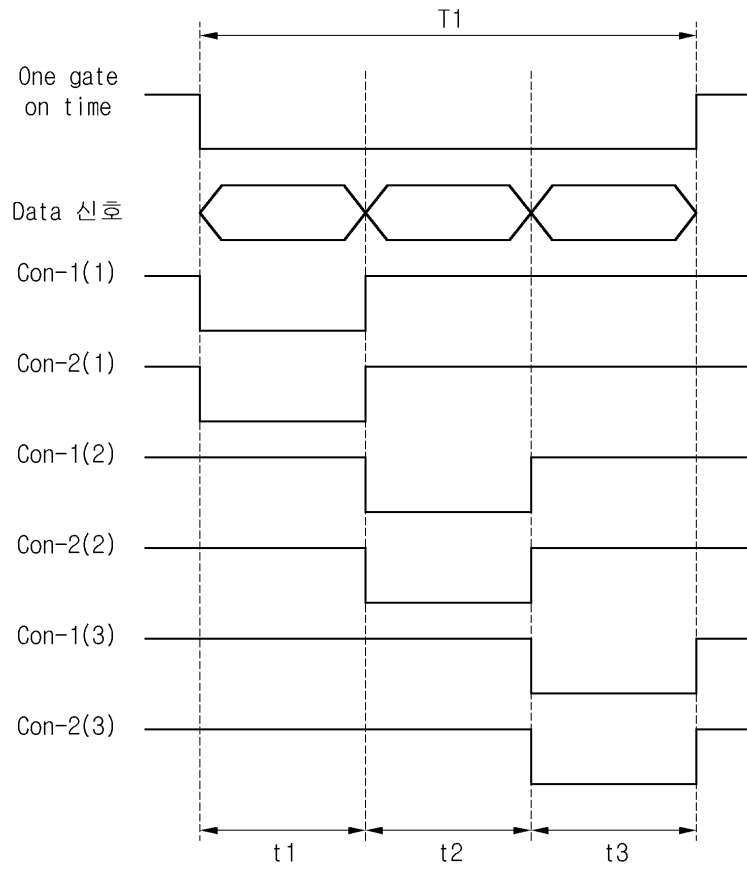
도면5



도면6

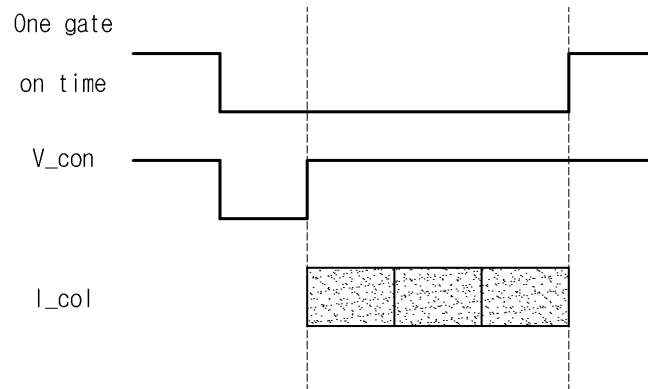


도면7

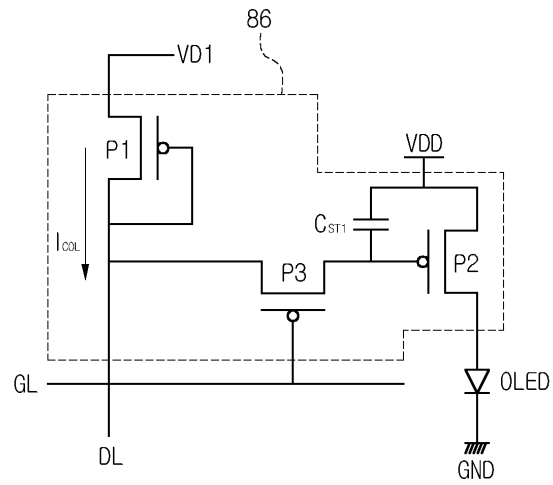




도면9



도면10





专利名称(译)	电致发光面板及其驱动方法		
公开(公告)号	<a href="#">KR100623841B1</a>	公开(公告)日	2006-09-18
申请号	KR1020030099391	申请日	2003-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH DUHWAN 오두환 CHUNG HOONJU 정훈주 JEONG SEOKHEE 정석희		
发明人	오두환 정훈주 정석희		
IPC分类号	G09G3/30		
其他公开文献	KR1020050068227A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

根据本发明的电致发光面板包括栅极线，布置成与栅极线交叉的数据线，以及设置在栅极线和数据线的交叉点处的EL单元（OLED）。以及用于向每条数据线施加预定电流的外部吸收电流线；在每条数据线和外部吸收电流线之间提供一对开关，以及每条数据线；施加用于以恒定周期打开/关闭开关的控制信号的控制信号线；补偿电路具有用于向每个EL单元供电的电源和连接在数据线之间的薄膜晶体管；并且包括用于驱动EL单元的驱动电路。因此，根据这样的本发明中，通过补偿薄膜晶体管的电流特性提高亮度均匀性和以及提高和产率，所以能够消除因上的像素单元的条纹，并且，在数据驱动器驱动应用模拟采样从而减少了数据驱动器中的通道数量，并减少了数据驱动器和面板之间以及数据驱动器区域之间的连接线数量。 6

