

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle  
Bureau international



(43) Date de la publication internationale  
28 avril 2011 (28.04.2011)

PCT

(10) Numéro de publication internationale  
**WO 2011/048318 A1**

(51) Classification internationale des brevets :  
H01L 27/15 (2006.01)

(21) Numéro de la demande internationale :

PCT/FR2010/052218

(22) Date de dépôt international :

19 octobre 2010 (19.10.2010)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

0957467 23 octobre 2009 (23.10.2009) FR

(71) Déposant (pour tous les États désignés sauf US) :  
COMMISSARIAT A L'ENERGIE ATOMIQUE ET  
AUX ENERGIES ALTERNATIVES [FR/FR];  
Bâtiment "Le Ponant D", 25 rue Leblanc, F-75015 Paris  
(FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) :  
TEMPLIER, François [FR/FR]; 10 allée des Terrasses  
de Criel, F-38500 Voiron (FR). CLAVELIER, Laurent

[FR/FR]; 28B rue Ampère, F-38000 Grenoble (FR).  
RABAROT, Marc [FR/FR]; 3 rue Casimir Brenier,  
F-38120 Saint-Egreve (FR).

(74) Mandataire : QUANTIN, Bruno; Santarelli, BP 237, 14  
avenue de la Grande Armée, F-75822 Paris Cedex 17  
(FR).

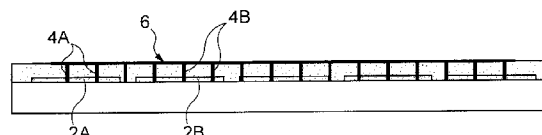
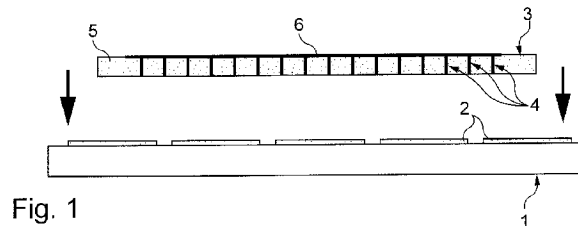
(81) États désignés (sauf indication contraire, pour tout titre  
de protection nationale disponible) : AE, AG, AL, AM,  
AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ,  
CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,  
HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP,  
KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,  
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,  
NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD,  
SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR,  
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre  
de protection régionale disponible) : ARIPO (BW, GH,  
GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,  
ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ,

[Suite sur la page suivante]

(54) Title : METHOD FOR MANUFACTURING A VERY-HIGH-RESOLUTION SCREEN USING A NANOWIRE-BASED EMITTING ANISOTROPIC CONDUCTIVE FILM

(54) Titre : PROCEDE DE FABRICATION D'UNE ECRAN A TRES HAUTE RESOLUTION UTILISANT UN FILM CONDUCTEUR EMISSIF ANISOTROPIQUE A BASE DE NANOFILS



(57) Abstract : The invention relates to a method for producing an emitting pixel screen, which includes forming an active pixel matrix (1), along which a first electrode-forming layer (2) runs, said pixels being arranged according to a predetermined distribution; forming an anisotropic substrate (3) made up of a set of light-emitting diodes, each of which is made up of parallel nanowires (4) distributed in an insulating matrix (5) transversely to the body thereof, i.e. vertically, at a higher density than the pixels, regardless of the predetermined distribution of the pixels; connecting the substrate to the active pixel matrix, such that only sub-groups (4A, 4B) of said nanowires are connected, by means of a first end, to separate pixel electrodes (2A, 2B) defined in the electrode-forming layer according to the distribution of the pixels in the active pixel matrix, while at least said sub-groups of nanowires are electrically connected, by means of another end, to a common electrode (6), said sub-groups being defined during said connection step by rendering the nanowires of the substrate which are arranged between said sub-groups emissively inactive.

(57) Abrégé :

[Suite sur la page suivante]



WO 2011/048318 A1



TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— *relative à la qualité d'inventeur (règle 4.17.iv)*

**Publiée :**

— *avec rapport de recherche internationale (Art. 21(3))*

**Déclarations en vertu de la règle 4.17 :**

---

Pour réaliser un écran émissif à pixels on forme une matrice active de pixels (1) longée par une première couche formant électrode (2), ces pixels étant répartis selon une distribution déterminée, on forme un substrat anisotrope (3) formé d'un ensemble de diodes électroluminescentes constituées respectivement de nanofils (4) parallèles et répartis dans une matrice isolante (5) transversalement à son épaisseur, i.e. verticalement avec une densité supérieure à celle des pixels, indépendamment de la distribution déterminée des pixels, on relie le substrat à la matrice active de pixels, d'une manière telle que seuls des sous-groupes (4A, 4B) de ces nanofils sont reliés, par une première extrémité, à des électrodes de pixel distinctes (2A, 2B) définies dans la couche formant électrode selon la distribution des pixels de la matrice active de pixels, tandis qu'au moins ces sous -groupes de nanofils sont électriquement connectés, par une autre extrémité, à une électrode commune (6), ces sous -groupes étant délimités au moment de cette étape de liaison en rendant émissivement inactifs les nanofils du substrat qui sont disposés entre ces sous-groupes.

**PROCEDE DE FABRICATION D ' UNE ECRAN A TRES HAUTE RESOLUTION UTILISANT UN FILM CONDUCTEUR EMISSIF ANISOTROPIQUE A BASE DE NANOFILS****5                    Domaine de l'invention**

L'invention concerne la réalisation d'écrans émissifs (à pixels fixes) à très haute résolution, dont la taille de pixel est de préférence au plus égale au micron ; il peut s'agir d'écrans de petite taille (on parle parfois de « micro-écrans ») et/ou d'écrans flexibles. Ces écrans, qui peuvent être plats (même  
10 s'ils présentent une certaine courbure) sont réalisés sur des matrices actives en circuit intégré, en pratique en silicium.

**Etat de l'art et inconvénients**

Il existe actuellement deux types d'écrans électro-optiques à haute  
15 résolution : les écrans à LCD (« Liquid Crystal Display ») – voir notamment le document US – 6 052 162 - et les écrans à OLED (« Organic Light Emissive Diodes ») – voir notamment le document WO-2007/085554. On peut noter que, à la différence des écrans à OLED, les écrans à LCD ne sont pas des écrans émissifs).

20 Un problème commun à ces deux types d'écran est la difficulté de combiner des hautes résolutions (beaucoup de points images ou pixels) avec une petite taille d'écran (pour diminuer le coût). On cherche donc à réaliser des pixels de plus en plus petits ; les pixels actuels ayant une taille d'environ 5 µm, on cherche à pouvoir réaliser des pixels dont la taille est de 1 µm, voire 500 nm.

25 Les écrans de type LCD ou OLED sont, en général, réalisés sur une matrice active, qui est en pratique en silicium monocristallin, dans laquelle est formé un circuit intégré d'adressage à base de transistors. Il est possible également de réaliser ce circuit d'adressage à base de transistors en couches minces (TFT ou « Thin Film Transistor »). Dans ce cas, ces transistors sont  
30 réalisés dans des films de silicium amorphe ou polycristallin déposés sur un substrat de verre. Quelle que soit la technologie (LCD ou OLED), la matrice active mise en œuvre comporte, le long de sa surface en contact avec des

parties électro-optiques de l'écran, des électrodes définissant les pixels de l'écran : de manière à tirer un profit maximum de la surface de la matrice active, ces électrodes de pixel occupent la majeure partie de cette surface.

Sur cette matrice active sont rapportées des zones électro-optiques respectivement situées en regard de chaque électrode de pixel (et sous une 5 contrélectrode). Dans le cas d'un écran de type LCD, les zones électro-optiques sont constituées d'un cristal liquide dont la transparence varie en fonction de la polarisation appliquée entre les deux électrodes. Dans le cas d'un écran de type OLED, les zones électro-optiques, qui sont émissives, sont constituées 10 d'une portion centrale d'une diode électroluminescente qui émet, ou non, un rayonnement en fonction de l'état d'excitation imposé par les transistors de la matrice active sous-jacente.

A chaque type d'écrans correspondent des types de contraintes 15 respectives.

Dans le cas des écrans de type LCD (en pratique il s'agit plus précisément d'écrans de type LCOS réfléchif (« Liquid Crystal On Silicon » réfléchif sur circuit intégré) ou de type LCD transmissif sur verre (notamment commercialisé par la société Kopin) un des problèmes principaux pour les petits 20 pixels est de contrôler l'état du cristal liquide entre des pixels adjacents. En effet, les lignes de champ créées au niveau d'un pixel peuvent influencer sur les lignes de champ des pixels adjacents, en générant une perturbation au niveau de ces pixels. Cela empêche la réalisation d'écrans ayant des pixels de pas inférieur à  $\sim 5 \mu\text{m}$ .

25 Dans le cas des écrans à OLED (tels que ceux des sociétés Emagin, MED, ou MicroOLED, notamment), les diodes OLED génèrent de la lumière blanche qui est ensuite colorée, le cas échéant, par des filtres colorés (typiquement en rouge, vert, et bleu). On a dans ce cas une matrice d'électrodes de pixel, surmontée d'un dépôt d'OLED blanc, et coopérant avec 30 un réseau de filtres colorés qui est, soit déposé sur la matrice (cas des produits de « Emagin ») soit réalisé sur une plaque de verre et assemblé à la matrice active : (cas des sociétés « MED » ou « MicroOled »).

Un premier problème se pose à propos du dépôt des couches constituant les diodes OLED sur la matrice active. En effet, les électrodes de pixel constituent en pratique des marches vis-à-vis de la surface de la matrice active ; le fait que la partie émissive soit formée de couches fait que ces marches subsistent dans cette partie émissive ; en particulier la couche conductrice formant contre électrode vis-à-vis des électrodes de pixel (il s'agit en pratique de la couche par laquelle se termine la partie émissive) comporte ainsi des marches, lesquelles constituent des risques de court-circuit (à l'emplacement des changements de niveau, les couches risquent d'être interrompues et de provoquer des contacts intempestifs). Pour réduire ce risque, il faut appliquer localement entre les pixels une résine isolante et ainsi prévoir des zones de transition, avec pour conséquence une perte d'ouverture de surface active du fait des règles de dessin (cette résine neutralise la périphérie des électrodes de pixel). Le pourcentage de surface active (parfois désigné par OAR) peut descendre à 25 % pour des pas de pixel de 5  $\mu\text{m}$ . On comprend que ce problème gêne la réalisation d'écrans de type OLED à haute résolution (petit pixel) en faisant chuter le pourcentage de surface émissive.

Un second problème concerne l'utilisation de filtres colorés. En effet, que ceux-ci soient déposés directement sur la matrice active, ou assemblés à la matrice active, il y a une perte d'ouverture liée aux règles de dessin dans le premier cas, ou liée à la précision d'alignement dans le deuxième cas. Il en découle une limitation supplémentaire de l'ouverture de surface active.

Un troisième problème concerne l'extrême fragilité des couches OLEDs notamment vis-à-vis des impuretés telles que l'eau par exemple. Des encapsulations spécifiques sont mises en œuvre, néanmoins des problèmes de vieillissement persistent avec ce type d'écran. A ces difficultés précitées s'ajoute le problème que, quelque soit la technique utilisée (LCD ou OLED), l'éventuelle présence de particules à l'interface entre la matrice active et les couches émissives génère des risques de court-circuit horizontal entre pixels adjacents (ce qui est un risque rédhibitoire qui gêne considérablement la réduction des pas entre pixels et donc la résolution).

### **Objets de l'invention**

L'invention a pour objet de pallier les inconvénients précités.

Ainsi, un objet de l'invention est un procédé de réalisation d'un écran émissif ayant une résolution de l'ordre du micron, voire moins, de manière à  
5 permettre notamment la réalisation d'un écran de très petite taille, qui soit à la fois simple (et d'un coût acceptable à l'échelle industrielle) et fiable, sans nécessiter de complexes procédures de positionnement entre éléments à assembler.

Un autre objet de l'invention est un écran émissif dont la résolution  
10 est de l'ordre du micron, voire moins, par exemple de l'ordre de 500 nm.

L'invention propose ainsi un procédé de réalisation d'un écran émissif à pixels, selon lequel

\* on forme une matrice active de pixels longée par une première  
couche formant électrode, ces pixels étant répartis selon une distribution  
15 déterminée,

\* on forme un substrat formé d'un ensemble de diodes  
électroluminescentes constituées respectivement de nanofils parallèles, répartis  
dans une matrice isolante transversalement à son épaisseur avec une densité  
supérieure (strictement) à la densité de pixels, indépendamment de la  
20 distribution déterminée de ces pixels,

\* on relie le substrat à la matrice active de pixels, d'une manière telle  
que seuls des sous-groupes de ces nanofils sont reliés, par une première  
extrémité, à des électrodes de pixel distinctes définies dans la couche formant  
électrode selon la distribution des pixels de la matrice active de pixels, tandis  
25 qu'au moins ces sous-groupes de nanofils sont électriquement connectés, par  
une autre extrémité, à une électrode commune, ces sous-groupes étant  
délimités au moment de cette étape de liaison en rendant émissivement inactifs  
les nanofils du substrat qui sont disposés entre ces sous-groupes.

Ainsi, à la différence des procédés connus, l'invention propose de  
30 constituer un ensemble de diodes électroluminescentes constituées de nanofils,  
indépendamment des dimensions et de la répartition des électrodes de pixel  
pour lesquelles on cherche à former des diodes électroluminescentes, certains

au moins des nanofils ainsi formés étant ensuite émissivement inactifs, c'est à dire inutiles, soit neutralisés (c'est-à-dire qu'ils ne sont pas connectés par leurs deux extrémités à des électrodes), soit tout simplement éliminés. On comprend toutefois que le fait d'accepter de former des nanofils inutiles permet de  
5 permettre une connexion efficace entre une proportion importante de ces nanofils et les électrodes de pixel sans avoir à prévoir un positionnement précis entre le substrat et la matrice de pixels ; il en résulte une grande simplification des opérations de positionnement et de liaison entre la matrice active de pixels et le substrat comportant les nanofils.

10 Il en résulte en outre une simplification des opérations de formation des nanofils, puisque, compte tenu des techniques actuelles de formation des nanofils, ceux-ci peuvent aisément être, au moment de leur formation, distribués de manière homogène, c'est-à-dire de manière aléatoire sur tout le substrat sans que des précautions particulières soient prises quant à leur  
15 répartition si ce n'est que leur densité doit être sensiblement constante tout au long du substrat qui leur sert de support et supérieure à la densité des pixels. Un autre avantage est que la formation des substrats émissifs anisotropes peut être standardisée, puisqu'il n'est pas besoin de connaître les détails de l'application finale de ceux-ci, en particulier en ce qui concerne la future  
20 distribution des pixels.

En effet, les nanofils sont avantageusement distribués de manière aléatoire dans la matrice isolante avec une densité sensiblement constante.

Les techniques actuelles de formation de nanofils sont au nombre de deux :

25 1. La première approche consiste, à partir d'un substrat massif ou d'une couche épitaxiée, à graver des structures de nanofils, classiquement via une technique de nano-lithographie et de gravure plasma réactive (ICP (ou Inductively Coupled Plasma), RIE (ou Reactive Ionic Etching), etc...). Cette approche est notamment décrite dans la référence « InGaN-GaN Nanorod light  
30 Emitting Arrays Fabricated by Silica Nanomasks » ; Min-Tann Hsieh and Al, IEEE journal of quantum electronics, Vol 44, pp 468-472, n° 5 May 2008. L'approche par gravure permet donc l'obtention de fils de taille nanométrique

avec cependant certaines limitations qui dépendent, de la nature du matériau, des procédés de lithographie et de gravure,... l'avantage étant que l'orientation des fils ne dépend pas a priori de l'orientation cristalline du substrat.

2. La deuxième approche consiste à faire croître des nanofils par dépôt chimique en phase vapeur par une méthode de type VLS (Vapor Liquid Solidification) qui utilise un catalyseur généralement métallique (de l'or par exemple. Les nanofils croissent souvent en relation d'épitaxie avec le substrat. De ce fait, les nanofils verticaux sont obtenus pour une orientation particulière du substrat. La position et le diamètre du catalyseur déterminent la position et le diamètre des nanofils, qui peut être inférieur à 10 nm. Cette technique présente certains avantages : facteurs de forme très importants, contrôle de dimensions des nanofils, de la composition chimique et du dopage le long des fils. Il existe également des solutions de croissance sans catalyseur utilisées pour la génération de nanofils de GaN et ZnO ou d'hétérostructures à base de ces matériaux en MOCVD (ou Metal Organic Chemical Vapor Deposition) et MBE – ou Molecular Beam Epitaxy (voir notamment « High-Brightness Light Emitting Diodes Using Dislocation-Free Indium Gallium Nitride/Gallium Nitride Multiquantum-Well Nanorod Arrays”, Hwa-Mok & al, Nano Letters 2004, Vol 4, n°6 1059-1062).

La plupart des travaux portant sur les performances de structures de LED constituées de nanofils se placent dans le cas de nanofils obtenus par croissance épitaxiale.

Dans son principe de base une LED est constituée d'une jonction P-N obtenue par dopage pendant la croissance de la zone N à la base des nanofils, ou de la couche « 2D » pour les LED « classiques », et de la zone P au sommet des nanofils ou de la couche « 2D » (cf. article ci-dessus de Min-Tann Hsieh et al.).

Il est important de noter que les actuels procédés de réalisation de LED à l'aide de films anisotropes à réseaux de nanofils mettent typiquement en œuvre les étapes suivantes (voir les documents précités) :

- formation d'un réseau de nanofils à partir d'un substrat de croissance,

- encapsulation de ce réseau dans une matrice de verre (de type SOG (Spin On Glass) par exemple) ou de polymère (par exemple résine de lithographie)
- formation d'une électrode sur cette matrice et formation d'une électrode complémentaire sur une plage dudit substrat de croissance qui est située latéralement à l'écart du réseau de nanofils, donc à un niveau différent de celui de la première électrode.

Il est à noter que la disposition de la seconde électrode à côté des nanofils provient de la difficulté qu'il y a à intégrer, directement dans le substrat de croissance des fils, une couche conductrice ou métallique (il n'est en effet généralement pas possible de mettre en œuvre un dopage suffisant pour permettre de constituer une telle électrode) sans nuire aux performances de croissance par épitaxie de nanofils et/ou aux performances globales du dispositif final. Il est clair que la présence de ces électrodes latérales est un obstacle à l'obtention d'écrans à haute résolution tirant profit de la quasi-totalité de leur surface.

En fait, pour surmonter cette difficulté, l'invention enseigne notamment de procéder à un transfert de la couche de nanofils noyés dans la matrice isolante sur la matrice active de pixels à partir du support ayant permis de la manipuler jusqu'au moment de l'assemblage.

L'utilisation de nanofils a aussi été proposée pour la liaison de circuits ; c'est ainsi que le document US – 6 340 822 enseigne de former un ensemble de nanofils qui sont, par sous-groupes, connectés à de premiers circuits, les nanofils non utilisés étant éliminés en même temps que le support sur lequel les nanofils ont été formés (en effet, les nanofils ne sont reliés entre eux que par l'intermédiaire de ce support puisque, lorsque ces nanofils sont noyés dans une couche, celle-ci est une couche sacrificielle (par exemple métallique) qui ne sert que pour l'égalisation des longueurs des divers nanofils) ; en variante, les nanofils sont formés en groupes selon la géométrie des circuits auxquels ils sont destinés à être fixés. Les extrémités libres des nanofils ainsi fixés aux premiers circuits peuvent ensuite être fixées à de seconds

circuits amenés précisément en regard des premiers circuits (des entretoises peuvent être prévues pour éviter le flambage des nanofils et maintenir l'écartement entre les circuits). On comprend que les ensembles de nanofils sont une source de fragilité, au cours de leur fabrication ainsi qu'au sein des  
5 assemblages auxquels ils participent, puisqu'ils ne sont reliés les uns aux autres que par l'intermédiaire des circuits auxquels ils sont fixés par leurs extrémités ; en outre, leur fixation aux seconds circuits nécessite un positionnement précis de ceux-ci par rapport aux premiers circuits. L'enseignement de ce document implique donc des procédures complexes et  
10 coûteuses. Il est à noter que ce document ne se préoccupe pas de former un réseau de pixels.

Selon des caractéristiques avantageuses, éventuellement combinées :

- au cours de l'étape de formation du substrat anisotrope, on dépose  
15 sur la matrice isolante une couche de matériau électriquement conducteur qui est en contact électrique avec de premières extrémités de ces nanofils qui sont opposées à de secondes extrémités reliées à un support de cette matrice, l'étape de liaison comportant la mise en contact intime cette couche de matériau électriquement conducteur avec la couche formant électrode ; la  
20 couche de matériau électriquement conducteur et la couche formant électrode comportent avantageusement un même matériau,

- lors de l'étape de formation de la matrice active de pixels, on délimite les électrodes de pixel tandis que, au cours de l'étape de formation du substrat, on délimite dans la couche de matériau électriquement conducteur un  
25 réseau de plots électriquement conducteurs disjoints tels que chacun soit connecté à au moins la première extrémité d'un nanofil, l'écartement entre des plots adjacents étant supérieur à la largeur de ces premières extrémités et l'écartement entre les électrodes de pixel étant supérieur à la taille des plots, en conséquence de quoi, lors de l'étape de liaison, certains des plots sont  
30 connectés à l'une des électrodes de pixel tandis que d'autres plots sont à distance des électrodes de pixel les plus proches en leur étant électriquement isolés, les nanofils reliés à ces plots isolés étant émissivement inactifs ; de

préférence, les plots ont des dimensions telles que chaque plot est connecté à au moins une dizaine de nanofils tandis que chaque électrode de pixel est connectée à au moins une dizaine de plots ; de manière également préférée, le réseau des électrodes de pixel et le réseau des plots métalliques sont des réseaux 2D à mailles carrées ; de manière avantageuse, les plots ont des dimensions inférieures à 200 nm tandis que les pixels ont des dimensions inférieures à 1 micron,

5 - au cours de l'étape de formation de la matrice active de pixels, on forme la couche formant électrode sous la forme d'une couche électriquement conductrice continue et, au cours de l'étape de formation du substrat anisotrope, on forme la couche en matériau électriquement conducteur sous la forme d'une couche conductrice continue et, au cours de l'étape de liaison, on délimite dans l'ensemble de nanofils du substrat un réseau de sous-groupes de nanofils séparés par des cloisons en matière isolante tout en délimitant dans la couche continue lesdites électrodes de pixel en regard de ces sous-groupes, les nanofils situés entre ces sous-groupes étant éliminés ; de manière avantageuse, l'on délimite les sous-groupes de nanofils et les électrodes de pixel par gravure au travers du substrat, au travers de la couche conductrice continue et jusqu'au travers de la couche continue formant électrode puis remplissage des zones gravées avec de la matière isolante ; de manière plus particulièrement préférée, le matériau isolant de remplissage est le même que le matériau de la matrice isolante,

10 - au cours de l'étape de formation du substrat anisotrope, on provoque la formation dudit ensemble de nanofils à partir d'un substrat de croissance, et on encapsule cet ensemble de nanofils dans la matrice isolante sur une épaisseur constante en sorte de laisser à nu de premières extrémités des nanofils (à titre d'exemple, on dépose un oxyde qui englobe et recouvre les nanofils puis on planarise la surface, par CMP par exemple (c'est-à-dire un polissage mécano-chimique) jusqu'à mettre à nu les premières extrémités des nanofils),

15 - l'on forme l'électrode commune après mise en contact de la matrice active de pixels avec ce substrat anisotrope, les électrodes de pixel étant

délimitées (soit parce que cette délimitation a eu lieu au moment de la formation de la matrice active, soit parce que ces électrodes ont été délimitées après assemblage.

Selon d'autres caractéristiques avantageuses :

- 5                   - l'étape d'encapsulation comporte une sous-étape de creusement propre à libérer (dénuder) une portion de la surface latérale des nanofils en plus de leurs premières extrémités (de leurs tranches), de sorte que le matériau électriquement conducteur déposé sur le matériau électriquement isolant enrobe les nanofils sur une portion de leur longueur,
- 10                  - les nanofils sont formés en sorte d'être dopés d'un premier type, soit n soit p, sur une fraction donnée de leur longueur à partir desdites extrémités, et le creusement est réalisé sur une profondeur au plus égale à la longueur de cette zone dopée desdits nanofils,
  - 15                   - les nanofils forment des multi puits quantiques réalisés par épitaxie et dopage adapté pendant l'épitaxie afin d'améliorer l'émission de lumière,
  - on élimine le support du substrat anisotrope émissif par rodage et abrasion jusqu'à consommation de ce substrat de croissance,
  - après l'élimination de ce support, on creuse la couche de matériau électriquement isolant en sorte de libérer (dénuder) une portion de la surface
  - 20                  latérale des nanofils (en plus de leurs autres extrémités) sur une partie de leur longueur ; cela permet de les doper et/ou de les enrober dans une couche conductrice assurant ainsi une très bonne conduction électrique entre ces extrémités et la couche conductrice à laquelle ces extrémités sont reliées,
  - les nanofils sont formés en sorte d'être dopés (du type opposé au
  - 25                  premier type, si les premières extrémités sont dopées) sur une fraction donnée de leur longueur à partir desdites autres extrémités, et le creusement est réalisé sur une profondeur au plus égale à la longueur de cette zone dopée desdits nanofils,
  - les nanofils ont un rapport de l'ordre de 10 entre leur hauteur et leur
  - 30                  diamètre, voire supérieur à 10,

- la densité des nanofils est au moins égale à  $10^7/\text{cm}^2$ , de préférence au moins égale à  $10^9/\text{cm}^2$  ; cette densité est de préférence au moins 5 fois (voire 10 fois) supérieure à celle des pixels,

- les nanofils sont en GaN, ZnO, InGaN, ...

5 L'invention propose en outre un écran adapté à être obtenu par le procédé précité.

L'invention propose ainsi un écran émissif à pixels, comportant une matrice active de pixels longée par des électrodes de pixels, ces pixels étant répartis selon une distribution déterminée, une pluralité de plots conducteurs en  
10 contact avec ces électrodes de pixels en leur étant sélectivement connectés, une pluralité de diodes électroluminescentes constituées respectivement de nanofils parallèles et répartis dans une matrice isolante transversalement à son épaisseur en sorte de former un substrat émissif anisotrope et ces nanofils étant répartis en sous-groupes respectivement connectés par une première  
15 extrémité à ces électrodes de pixel au travers de ces plots, aucun plot n'étant connecté à plus d'une électrode de pixel, et une électrode commune connectée à au moins ces sous-groupes de nanofils par une autre extrémité de ceux-ci.

Selon un mode avantageux de réalisation, à chaque électrode de pixel sont connectés plusieurs plots, l'écartement entre ces plots étant  
20 supérieur à la largeur des nanofils, et les dimensions de chaque plot étant inférieures à l'écartement existant entre des électrodes de pixel adjacentes.

Selon un autre mode avantageux de réalisation, à chaque électrode de pixel correspond un seul plot de mêmes dimensions, tous les nanofils étant répartis entre lesdits sous-groupes.

25 Les électrodes de pixel ont avantageusement une dimension au plus égale à 1 micron environ, avec des espacements d'au plus 200 nm.

De manière préférée, les nanofils du substrat émissif anisotrope sont répartis dans la matrice isolante indépendamment de la distribution des pixels, des nanofils situés entre les sous-groupes connectés aux électrodes de pixel au  
30 travers desdits plots étant émissivement inactifs.

### **Description de l'invention**

Des objets, caractéristiques et avantages de l'invention ressortent de la description qui suit, donnée à titre d'exemple illustratif non limitatif, en regard des dessins annexés sur lesquels :

- 5           - la figure 1 est une vue schématique d'un substrat anisotrope émissif sur le point d'être assemblé avec une matrice active de pixels,
- la figure 2 est une vue schématique de l'assemblage ainsi obtenu,
- 10           - la figure 3 est une vue schématique d'une première étape de formation du substrat de la figure 1, mettant en œuvre la formation d'un ensemble homogène de nanofils,
- la figure 4 en est une autre vue schématique après encapsulation des nanofils et planarisation, typiquement par CMP, pour faire affleurer les tranches des fils,
- 15           - la figure 5 en est une autre vue schématique après dénudage des extrémités des nanofils,
- la figure 6 en est une autre vue schématique après dépôt d'une couche conductrice connectée aux dites extrémités,
- 20           - la figure 7 est un schéma d'un substrat anisotrope émissif à base de nanofils, après formation d'un ensemble de plots regroupant chacun plusieurs nanofils, selon une variante de réalisation de réalisation,
- la figure 8 est une vue schématique de dessus de la matrice active de pixels,
- 25           - la figure 9 est une vue schématique du substrat de la figure 6, après la formation d'un ensemble de plots, conformément au schéma de la figure 7,
- la figure 10 est une vue schématique de la matrice active de pixels à laquelle le substrat de la figure 9 est sur le point d'être assemblé,
- 30

- la figure 11 est une vue schématique de l'assemblage du substrat de la figure 7 avec la matrice active de la figure 10,
- la figure 12 en est une vue schématique après élimination du support du substrat de la figure 7,
- 5 - la figure 13 en est une vue schématique après dénudage des extrémités des nanofils,
- la figure 14 en est une vue schématique après dépôt d'une couche conductrice connectée avec lesdites extrémités dénudées,
- 10 - la figure 15 est une autre vue schématique d'un substrat tel que celui de la figure 6 sur la point d'être assemblé, selon un autre exemple de réalisation, avec une matrice active de pixels recouverte d'une couche conductrice continue, dans laquelle des électrodes de pixel n'ont pas encore été délimitées,
- 15 - la figure 16 en est une vue schématique après élimination du support des nanofils et dépôt d'une couche continue,
- la figure 17 en est une autre vue schématique après formation d'un masque sur la couche continue,
- la figure 18 en est une autre vue schématique après gravure de la  
20 couche continue au travers du masque,
- la figure 19 en est une autre vue schématique après gravure du substrat anisotrope émissif au travers dudit masque,
- la figure 20 en est une autre vue schématique après gravure de la  
couche continue de la matrice active de pixels au travers dudit  
25 masque, et
- la figure 21 en est une autre vue schématique après remplissage des tranchées résultant des opérations de gravure et formation d'une électrode continue sur les portions du substrat.

30 Les figures 1 et 2 représentent de manière schématique la formation d'un écran émissif à pixels, pouvant être à très haute résolution malgré une

petite taille (donc à très faible pas), selon un exemple de mise en œuvre de l'invention.

On forme d'une part une matrice active de pixels 1, longée par une première couche électriquement conductrice formant électrode, ces pixels étant  
5 répartis selon une distribution déterminée (typiquement selon un réseau 2D à maille rectangulaire, voire carrée). Dans l'exemple représenté, des électrodes de pixel 2 distinctes ont déjà été formées dans cette couche formant électrode.

Par ailleurs, on forme un substrat anisotrope émissif 3 formé d'un ensemble de diodes électroluminescentes constituées chacune de nanofils 4  
10 parallèles et répartis dans une matrice isolante 5 transversalement à l'épaisseur de ce substrat. Dans l'exemple représenté, ces nanofils 4 sont déjà connectés, par leurs extrémités situées à l'opposé de la matrice active de pixels, à une électrode commune 6. La répartition des nanofils dans le substrat est homogène (quoiqu'aléatoire) en ce sens que leur densité est sensiblement  
15 constante, sans que l'on puisse identifier des groupes séparés par des cloisons isolantes. Ainsi que cela ressort ci-dessous, la formation de ces nanofils n'a en effet pas besoin de tenir compte de la géométrie ou de la répartition des électrodes de pixels de la matrice active 1.

20 On relie le substrat à la matrice active de pixels, d'une manière telle (voir la figure 2) que seuls des sous-groupes, non identifiés au sein du substrat avant l'opération de liaison, sont connectés, par une première extrémité (extrémité basse) aux électrodes de pixels 2 ; on comprend que la distribution des sous-groupes est déterminée par la distribution des électrodes de pixel.

25 Par contre, des nanofils ne faisant pas partie de ces sous-groupes ont leurs extrémités basses qui sont à l'écart des électrodes de pixels ; ils sont donc émissivement inactifs.

On observe ainsi que les nanofils repérés 4A sont connectés à une première électrode 2A tandis que les nanofils repérés 4B sont connectés à une  
30 seconde électrode 2B, alors que des nanofils 4' sont neutralisés, n'étant connectés à aucune électrode. Il importe peu que le nombre de nanofils soit identique ou non au sein des sous-groupes.

De par leur forme (ils sont séparées par de l'isolant), il n'y a pas de conduction horizontale, du point de vue électrique, entre les nanofils ; c'est une structure de type 'film conducteur anisotropique'.

Ainsi, il n'y a pas possibilité de court circuit entre deux pixels voisins  
5 par le biais de la couche émissive.

Il va de soi (voir ci-dessous) que les figures 1 et 2 ne sont pas à une échelle réelle, les dimensions des nanofils étant en pratique très inférieures à celles des électrodes de pixel.

On comprend que le seul fait que le substrat soit mis en regard de la  
10 matrice active de pixels suffit à déterminer, au sein de l'ensemble de nanofils, ceux qui contribuent à l'effet de diode électroluminescentes (c'est-à-dire qu'ils sont émissifs), tandis que d'autres, qui ne sont connectées qu'à l'électrode commune 6, peuvent subsister dans le substrat (sans être émissifs) sans nuire aux performances de l'écran ainsi formé.

15 Il en découle que le positionnement relatif entre la matrice active de pixels 1 et le substrat anisotrope émissif 3 est défini avec une précision qui n'a pas besoin d'être à l'échelle des électrodes de pixels.

A titre d'exemple, les émetteurs 4 sont des diodes  
20 électroluminescentes en GaN, faites en nanofils, avec des dimensions qui sont typiquement les suivantes (« ~ » signifiant que la valeur qui suit est approximative) : largeur : ~20 nm ; hauteur ~ 400 nm ; densité linéaire : 10 à 50  $\mu\text{m}^{-1}$ , ce qui correspond à des espacements de l'ordre de quelques nanomètres ou de quelques dizaines de nanomètres, ce qui est très inférieur aux  
25 dimensions des électrodes de pixel qui sont de quelques microns ou quelques centaines de nanomètres). Ils émettent une longueur d'onde qui peut être fixe ou distribuée, en fonction des dimensions, notamment latérales. Les émetteurs 4 sont séparés par un isolant 5 qui peut être un polymère ayant des propriétés de souplesse (limite de rupture à l'élongation grande) ou une couche  
30 inorganique type SOG (« Spin On Glass » en anglais).

La couche conductrice 6 formant une électrode commune, reliant toutes les parties supérieures des diodes, peut être une couche de métal très

mince pour rester transparente (ex : Ag 20 nm), ou une couche d'un matériau transparent conducteur comme de type ITO (à savoir un oxyde d'indium dopé à l'étain, ou « Indium Tin Oxide »).

5 La matrice active de pixels est typiquement réalisée dans une matrice de silicium monocristallin, mais en variante il peut s'agir de transistors TFT réalisés en silicium amorphe ou polycristallin déposé sur un substrat de verre. Il est à la portée de l'homme de métier de réaliser une telle matrice de pixels avec un pas de l'ordre d'un micron, voire de l'ordre de quelques centaines de nanomètres.

10 La couche émissive ainsi obtenue est souple, laminable sur un support qui peut être une matrice active (un tel laminage est en effet une forme possible pour réaliser l'assemblage de la couche émissive 3 avec la matrice active de pixels 1).

15 Les figures 3 à 6 représentent des étapes de formation d'un substrat formé de nanofils adaptés à former des diodes électroluminescentes (à hétérojonction), dont deux exemples d'utilisation sont ensuite décrits (ce substrat n'est pas encore un substrat anisotrope émissif au sens des figures 1 et 2).

20 La figure 3 représente une configuration de départ, avec un substrat de départ 10 (aussi appelé ici substrat de croissance) sur lequel a été formé, de toute manière connue appropriée, un réseau de nanofils 11 semiconducteurs (par croissance ou par gravure, notamment), de manière homogène, c'est-à-dire sans chercher à réaliser un quelconque réseau présentant des zones  
25 denses et des zones sensiblement dépourvues de nanofils.

A titre d'exemple, le substrat de croissance est formé de silicium d'orientation <111> et les nanofils sont en GaN, avec une partie basse 11A qui est dopée « n », ici par du silicium (provenant du substrat 10), une partie médiane 11B qui peut comporter une partie non dopée intrinsèque comportant  
30 éventuellement une zone de multi-puits quantiques (MQW – Multiple Quantum Wells), et une partie supérieure 11C qui est dopée « p », ici par du Magnésium ; l'ensemble forme une structure appelée « P-I-N ».

La figure 4 représente la configuration obtenue après une étape d'encapsulation des nanofils et de planarisation réalisée en sorte de remettre à nu les extrmités des nanofils à connecter électriquement.

L'encapsulation des nanofils est avantageusement réalisée par dépôt  
5 d'un matériau électriquement isolant 12, par exemple une couche de silice ( $\text{SiO}_2$ ) ou une couche de polymère (typiquement une résine classique de lithographie), ou une couche de matériau type sol-gel. Ce dépôt englobe et recouvre les nanofils. Il est suivi d'une étape de planarisation de la surface. Cette planarisation est par exemple réalisée au moyen d'une étape de  
10 polissage mécano-chimique (CMP – « Chemical Mechanical Polishing »), ou d'une gravure ionique réactive (RIE – « Reactive Ion Etching »).

La planarisation de la couche d'encapsulation se traduit par le fait que les premières extrémités supérieures (plus particulièrement leurs tranches) des nanofils sont libres, au même niveau que la surface libre du matériau  
15 d'encapsulation.

De manière avantageuse (voir la figure 5), on creuse la couche d'encapsulation en sorte de dégager le sommet des nanostructures et ainsi d'augmenter la surface disponible pour un contact électrique (celle-ci comprend en effet non seulement les premières extrémités (les tranches) de ces  
20 nanostructures mais aussi une partie de leurs surfaces latérales). Dans l'exemple représenté, la hauteur de la portion des nanofils qui est ainsi libérée est celle qui correspond à la zone de dopage « p » des nanofils de GaN ; cette hauteur pourrait en variante être inférieure à la hauteur de la zone dopée « p ».

L'étape suivante (voir la figure 6) est une étape de dépôt et de  
25 planarisation d'une couche métallique 13 (ou d'un ensemble de couches) permettant d'assurer la continuité du contact électrique (contact ohmique) avec chacun des nanofils émergeant de la couche d'encapsulation 12.

Grâce à sa très bonne planéité, la surface de la couche de nanofils ainsi réalisée (11+12+13) est adaptée à être reliée avec une grande tenue  
30 mécanique à la matrice active de pixels (comme indiqué ci-dessus il peut s'agir d'un assemblage par laminage, ce qui peut se traduire par un collage moléculaire, permettant une bonne continuité de conduction électrique.

On comprend que les nanofils 11 correspondent aux nanofils 4 des figures 1 et 2, tandis que le matériau isolant 12 correspond à la matrice 5 de ces figures.

Il est à noter que le substrat de la figure 6 constitue un produit  
5 intermédiaire qui peut être obtenu d'une manière quelconque, pouvant être différente de celle décrite aux figures 3 à 6.

Dans l'exemple schématique de réalisation des figures 1 et 2, le substrat formé de nanofils encapsulés est collé sur la matrice active de pixels sans mettre en œuvre les étapes optionnelles des figures 5 et 6.

10

Les figures 7 à 14 représentent schématiquement une variante de ce premier exemple de réalisation d'un écran à haute résolution conforme à l'invention à partir du produit de la figure 6, qui a l'avantage par rapport aux figures 1 et 2 d'assurer une bonne protection des extrémités des nanofils lors  
15 de leur fixation à la matrice active de pixels. Le principe de cette variante est schématisé aux figures 7 et 8 tandis que sa réalisation est représentée plus en détail aux figures 9 et 10, d'une part et aux figures 11 à 14 d'autre part.

Les éléments de ces figures qui sont similaires à ceux des figures 3 à 6 sont désignés par des signes de référence qui se déduisent de ceux de ces  
20 figures 3 à 6 par addition du nombre 10.

Ainsi que cela ressort de la figure 7, au lieu d'avoir des extrémités « libres » (opposées au support 20) toutes indépendantes les unes des autres, les nanofils 21 de la figure 7 sont connectés par lesdites extrémités libres à des plots (ou ilots) conducteurs 25 répartis selon une distribution avantageusement  
25 régulière, selon un réseau à deux dimensions, ici à pas constant.

L'intérêt premier de ces plots est de regrouper par paquets les nanofils (ou nanotubes) qui sont alors électriquement connectés au niveau de l'une de leur extrémité et de faciliter l'assemblage avec la matrice active entre ces plots et les électrodes disposées sur la matrice active.

30

Un autre intérêt de prévoir de tels plots est de permettre d'avoir, sur la surface destinée à être reliée à la matrice active de pixels, des zones conductrices 25 qui sont réparties de manière plus régulière que les nanofils

eux-mêmes. En effet (voir ci-dessus), lors de la fabrication de l'ensemble des nanofils, ceux-ci présentent en pratique une distribution qui présentent des variations géométriques (il n'y a pas nécessairement d'alignements parallèlement au support, leurs sections (approximativement rondes de sorte qu'on peut les caractériser par un diamètre) peuvent présenter des variations de plusieurs nanomètres tandis que leurs espacements peuvent présenter des fluctuations pouvant être de l'ordre de plusieurs dizaines de nanomètres). La présence des plots permet de former des sous-groupes de nanofils plus régulièrement répartis, et la taille des plots est avantageusement suffisamment grande par rapport aux sections des nanofils pour que, statistiquement, malgré les fluctuations géométriques à l'échelle du nanomètre, il y ait un nombre sensiblement constant de nanofils connectés à chacun des plots.

C'est par l'intermédiaire de ces plots que le substrat est ensuite relié et connecté à la matrice de pixels dont on voit à la figure 8 que les électrodes de pixel sont répartis selon la distribution souhaitée pour l'écran à réaliser, en pratique un réseau à deux dimensions, de préférence selon deux directions perpendiculaires ; ces électrodes sont typiquement rectangulaires, par exemple carrées (comme indiqué sur cette figure 8) auquel cas les pas entre plots selon les deux directions du réseau peuvent être identiques.

Ces plots ont des formes et des tailles telles que, suivant chaque direction transversale aux nanofils, l'écartement entre des plots adjacents est sensiblement supérieur à la section maximale d'un nanofil (typiquement d'au moins 25%), et telles que, également suivant chaque direction transversale parallèle à la couche formant électrode, l'écartement entre des électrodes de pixel adjacentes soit supérieure à la dimension maximale des plots (typiquement d'au moins 25%).

On comprend que, pour des raisons de lisibilité, le réseau d'électrodes de pixels de la figure 8 est représenté avec une taille trop faible pour respecter ces règles.

En théorie, la distance minimale entre deux pixels sans risque de court circuit est la largeur d'une diode, soit 20 nm environ. En réalité, la distance minimale entre pixels est fixée par la technologie microélectronique

pour réaliser les électrodes de pixel, qui est actuellement de l'ordre de 0.1 à 0.5  $\mu\text{m}$ . La taille minimale de pixel est aussi fixée par la technologie microélectronique de réalisation des parties actives associées à chaque pixel, ce qui permet a priori de réaliser des pixels aussi petits que 1  $\mu\text{m}$  de côté (voire  
5 500 nm), soit une densité de l'ordre de 1000 pixels par mm soit 25400 pixels par pouce, et donc un écran à très forte résolution pour une dimension réduite (exemple : résolution HDTV (« High Definition TV ») obtenue sur une puce de 2 x 3 mm).

A titre d'exemple, les nanofils ont un diamètre de 20 nm environ avec  
10 espace pouvant varier de 5 à 80 nm (soit un pas variant de 25 à 100 nm).

A titre d'exemple également, la matrice active de pixels est réalisée sur silicium, en technologie microélectronique. Les électrodes de pixel sont des pavés conducteurs typiquement en cuivre, avec une taille de 1 à 5  $\mu\text{m}$  de côté (voire moins), espacés par exemple de 100 nm ; ils peuvent être délimités par  
15 damascène ou gravure sèche

L'invention permet d'avoir ainsi 100 % de la surface d'électrode émissive (au taux de remplissage surfacique de diodes près), et un pourcentage émissif global très élevé même pour de très petits pixels car l'espace entre pixels est très réduit (Exemple : pixels de 1  $\mu\text{m}$  de côté, espacés  
20 de 0.1  $\mu\text{m}$  d'écart, ce qui donne une ouverture émissive d'environ 80 %).

Ainsi que cela est représenté à la figure 9, les plots 25 sont formés dans la couche métallique conductrice 13, et les électrodes de pixel de la figure 10 sont bien plus grands (pour respecter un peu mieux la proportion avec les plots qu'à la figure 8, un seul pixel entier 26 y est représenté). La partie  
25 microélectronique servant à la commande des pixels au sein de la matrice active de pixels est désignée sous la référence 27 (les parties associées à chaque pixel n'y sont pas différenciées).

On comprend que la liaison avec la matrice active de pixels est particulièrement efficace lorsque celle-ci comporte en surface une couche dans  
30 un matériau identique (ou de composition voisine) à celle de la couche 13 ; il y a donc un intérêt à choisir pour la couche 13, et donc les plots 25, un même matériau conducteur que pour la couche formant électrode.

Une manière d'obtenir les plots 25 est de procéder par lithographie et gravure du métal. Comme indiqué ci-dessus :

- 5 - la taille de ces plots est liée aux dimensions et espacements des nanofils, aux performances des techniques lithographiques, et à l'espacement entre pixels,
- le principe est que ces plots sont petits devant la taille des pixels, et légèrement plus petits que les espaces entre pixels.

10 Il est important de noter qu'ainsi, on peut assembler le film anisotrope et la matrice active sans avoir à assurer un alignement précis (les directions du réseau des plots peuvent ainsi être inclinées par rapport à celles des directions du réseau des électrodes de pixel).

L'assemblage du substrat de la figure 7 avec la matrice active de la figure 10 est représenté plus en détail aux figures 11 à 14.

15 A la figure 11, le substrat est mis en contact intime avec la matrice, par l'intermédiaire des plots et des électrodes de pixel (il se produit un collage moléculaire), sans précaution particulière quant à la mise en regard entre plots et électrodes puisque les plots sont plus petits que les espaces entre électrodes (il n'y a donc pas de risque de court-circuit entre électrodes adjacentes par un plot ; il est rappelé en outre que, puisque le substrat est anisotrope, il n'y a pas  
20 de risque de court-circuit entre plots adjacents). Il n'y a donc pas de précaution à prendre pour assurer un quelconque alignement entre les nanofils et les électrodes de pixel : le procédé est un procédé auto-aligné.

25 On peut alors (voir la figure 12) procéder, de toute manière appropriée, au démontage du substrat 20 vis-à-vis de la couche constituée par les nanofils encapsulés dans leur matrice isolante. Ce démontage peut être obtenu notamment par attaque chimique humide ou sèche, ou par érosion.

30 De manière préférée, on procède ensuite (voir la figure 13) à une attaque de la matière isolante 22, sur une faible partie de son épaisseur pour dénuder les extrémités supérieures des nanofils (situées à l'opposé de celles connectées à la matrice active de pixels. Un éventuel traitement de planarisation peut être appliqué (les tranches supérieures des nanofils sont ainsi mises à nu).

On dépose ensuite (voir la figure 14) une couche conductrice 28 connectée aux extrémités supérieures de tous les nanofils (y compris ceux qui sont connectés à des plots non connectés à une électrode de pixel). Cette couche formant électrode commune pour tous les nanofils a avantageusement une épaisseur suffisamment fine pour être transparente (compte tenu du matériau choisi). On comprend que la connexion entre les nanofils et cette électrode est améliorée lorsque, ainsi que cela est représenté à la figure 13, ces extrémités ont été dénudées sur une fraction de leur hauteur. Grâce à cette électrode commune et aux électrodes de pixel, les nanofils peuvent alors devenir émissifs, en fonction de ce que détermine la portion de la matrice active qui correspond à chacune des électrodes de pixel.

Le produit ainsi obtenu est un écran émissif à pixels ayant une très forte résolution :

Le pas de pixel est très faible, étant de l'ordre de 1 micron, voire seulement de l'ordre de 0.5  $\mu\text{m}$  (dans les solutions connues, la limite inférieure de taille de pixel pour produire de manière fiable, à l'échelle industrielle, des micro-écrans à haute densité de pixel est en pratique de l'ordre de 5  $\mu\text{m}$ ).

L'écart entre pixels peut n'être que de 0.1  $\mu\text{m}$ , voire moins (alors que dans l'état de la technique cet écart est au moins de 0.2  $\mu\text{m}$ ).

En ce qui concerne le pourcentage de surface émissive de l'écran obtenu :

- il est de l'ordre de 96% si les électrodes ont un pas de 5  $\mu\text{m}$  et un écart de 0.1  $\mu\text{m}$  (ce taux n'est que de l'ordre de 60% dans l'état de la technique),
- il est de l'ordre de 81% si les électrodes ont un pas de 1  $\mu\text{m}$  de et un écart de 0.1  $\mu\text{m}$  (alors que ces dimensions n'existent pas dans l'état de la technique).

Il est à noter que la délimitation des sous-groupes de nanofils connectés respectivement aux électrodes de pixel, parmi la pluralité de nanofils répartis dans la matrice indépendamment de la distribution des électrodes de pixel (de préférence de manière aléatoire avec une densité sensiblement constante), a lieu au moment de la mise en contact du substrat avec la matrice,

au travers des plots et des électrodes de pixel (voir la figure 11) ; de même la sélection, au sein des nanofils du substrat, de ceux qui sont finalement émissivement inactifs résulte de cette même étape de mise en contact, sans qu'il y ait eu à prévoir de précaution particulière d'alignement.

5 Une variante du procédé de réalisation est schématisée sur les figures 15 à 21. Sur ces figures, les éléments similaires à ceux des figures 7 à 14 sont désignés par des chiffres de référence qui se déduisent de ceux de ces figures précédentes par addition du nombre 100.

10 Les principales différences entre cette variante et le procédé des figures 7 à 14 concernent le fait que les nanofils inutiles sont supprimés et par le fait que la délimitation des électrodes de pixel a lieu après assemblage de la couche de nanofils encapsulés avec la matrice active de pixels (simultanément à la détermination de plots qui sont en exacte correspondance avec ces électrodes de pixel (il n'est plus nécessaire de prévoir que les plots sont plus  
15 petits que l'écart entre électrodes.

En d'autres termes, selon cette variante du procédé de l'invention, on commence par assembler un film émissif anisotropique (encore sur son support de fabrication) et une matrice active, puis on définit les pixels par gravure de ce film.

20 Ainsi que cela ressort de la figure 15, on commence par assembler (comme à la figure 11) un substrat identique à celui de la figure 6 sur une matrice active de pixels incomplète par rapport à celle de la figure 10, en ce sens qu'on forme une couche conductrice continue 102 dans laquelle des électrodes de pixel n'ont pas encore été délimitées ; toutefois, comme dans la  
25 matrice active de pixels des figures 1 ou 10, il y a des connexions entre cette couche d'électrode 102 et les portions de commande individuelle de pixels, en pratique constituées par des transistors de commande de pixel (repérées sur la figure 15 sous la référence 103 alors qu'elles ne sont pas représentées à la figure 1 ou à la figure 10).

30 Comme précédemment, cette matrice active de pixels est réalisée sur silicium, en technologie microélectronique.

Cet assemblage est de très bonne qualité, notamment du point de vue conductivité électrique puisqu'il est réalisé le long de deux couches électriquement conductrices (métalliques), à savoir la couche d'électrode 102 et la couche conductrice connectées aux extrémités des nanofils situées à l'opposé du support de ces nanofils. Comme précédemment, ces couches conductrices métalliques sont avantageusement réalisées en des matériaux identiques ou ayant des compositions voisines.

Cet assemblage ne nécessite par de précautions particulières quant au positionnement relatif entre la couche de nanofils encapsulés et la matrice active de pixels incomplète.

Après assemblage, on démonte le support 120 vis-à-vis des nanofils encapsulés dans la matrice isolante 122 (comme à la figure 12). De manière avantageuse, on grave en outre la matrice isolante de manière à dénuder les extrémités supérieures des nanofils sur une partie de leur hauteur (comme à la figure 13), puis on dépose une couche conductrice 124 encapsulant ces extrémités (comme à la figure 14 - voir la figure 16). Cette couche conductrice peut être formée de la même manière que la couche 28 de la figure 14, par exemple par dépôt ITO.

C'est ensuite que l'on délimite à la fois des lots de nanofils au sein de l'ensemble de la couche de la figure 6 et que l'on délimite les électrodes de pixel, par gravure de motifs (« patterning » en anglais) ; ces motifs sont en pratique des rectangles, ou des carrés, de côté avantageusement choisi inférieur à 5 microns, de l'ordre d'un micron voire moins (par exemple de l'ordre de 500 nm), avec un espacement très inférieure à ce côté, typiquement de quelques centaines de nanomètres, par exemple de 200 nm.

Pour ce faire, on commence par déposer un masque de résine 110 correspondant aux motifs à réaliser (voir la figure 17).

Puis on procède à la gravure, par exemple par plasma, de la couche conductrice 124 (voir la figure 18).

Puis on procède à la gravure, par tout moyen approprié, des nanofils et de la matière isolante située sous les zones gravées de la couche 124 (on poursuit le creusement au travers du masque 110 – voir la figure 19).

On procède enfin à la gravure des couches conductrices 123 et 102, par tout moyen approprié, puis à l'élimination du masque de résine (voir la figure 20) ; on forme ainsi des plots connectés à des groupes de nanofils, ainsi que des électrodes de pixel qui sont très exactement en regard.

5 On comprend que le masque de résine doit être positionné vis-à-vis de la matrice active de pixels de manière à ce que chacun des motifs soit en regard d'une des connexions 103. Il est toutefois à noter que la précision d'un tel positionnement est simplement de l'ordre du pixel.

10 Il est à noter en effet que la délimitation des sous-groupes de nanofils connectés respectivement aux électrodes de pixel, parmi la pluralité de nanofils initialement répartis dans la matrice indépendamment de la distribution des électrodes de pixel (de préférence de manière aléatoire avec une densité sensiblement constante), a lieu, au sein de l'étape de liaison, au moment du dépôt du masque de gravure (voir la figure 11) ; de même la sélection, au sein  
15 des nanofils du substrat, de ceux qui sont finalement émissivement inactifs (c'est-à-dire ici éliminés) résulte de même de ce masque de gravure, sans qu'il y ait eu à prévoir de précaution particulière d'alignement entre les sous-groupes et les électrodes de pixel (puisque un même masque sert à délimiter les sous-groupes et les électrodes de pixel).

20 On remplit alors les tranchées formées par gravure avec une matière isolante (par exemple par un matériau identique ou similaire à celui de la matrice 122 encapsulant les nanofils).

Pour assurer une connexion entre les diverses portions de la couche 124, on dépose enfin une couche conductrice 129, avantageusement avec le  
25 même matériau que cette couche 124 et par le même procédé (ITO dans l'exemple considéré).

En fait, ce procédé permet une moins bonne précision que celui des figures 7 à 14 en raison du fait que l'on doit aligner le masque de gravure au niveau du pixel et ensuite graver successivement plusieurs couches. C'est  
30 pourquoi, selon ce procédé, la taille minimale de pixel semble devoir être plutôt de l'ordre de 1 à 2  $\mu\text{m}$  (au lieu de 0.5 à 1  $\mu\text{m}$  dans le procédé précédemment

décrit), avec un espacement minimum de l'ordre de ~200 nm (alors que le procédé précédent permet de descendre à au moins 100 nm).

Cependant, comme avec le procédé précédent, ce procédé des figures 15 à 21 apporte un gain notable par rapport à l'état de l'art, notamment du fait que les nanofils sont autoalignés par rapport aux électrodes de pixel et sont anisotropes (il n'y a donc pas de risque de courts-circuits transversaux entre pixels, sans avoir à réduire l'ouverture émissive).

Il est à noter qu'on peut réaliser des écrans flexibles émissifs avec les deux approches décrites ci-dessus, avec quelques modifications :

10 En ce qui concerne la matrice active, il suffit d'ajouter une couche sacrificielle (par exemple du type polyimide), ce qui permet (cela est connu en soi pour certains écrans actuels) de détacher l'ensemble assemblé du substrat rigide d'origine (en fait la partie de commande 27 ou 127 est plus fine que cela est représenté et est porté par un support rigide ; lorsqu'on enlève ce support, 15 la couche de commande présente une flexibilité tout à fait significative).

En ce qui concerne la partie émissive, il n'y a en principe rien à modifier car la couche émissive, telle qu'elle est conçue et compte tenu de sa minceur, a l'avantage d'être « intrinsèquement flexible ».

Il est à noter que l'invention permet de tirer un grand profit de 20 nanofils pour la réalisation d'écrans émissifs à pixels fixes, en enseignant de dissocier un ensemble homogène de nanofils encapsulé dans une matrice isolante vis-à-vis d'un support (il peut s'agir d'un support ayant servi à la croissance des nanofils, ou d'un support intermédiaire) après assemblage à une matrice active (complète ou incomplète, en ce qui concerne la délimitation des électrodes de pixels), ce qui permet de former sur la surface ainsi mise à 25 nu une électrode commune ; en d'autres termes, la couche isolante encapsulant les nanofils fait l'objet d'au moins une étape de transfert d'un support sur un autre (la matrice active de pixels).

La formation de la couche contenant les nanofils peut être réalisée 30 de manière complètement indépendante de l'assemblage à la matrice active de pixels, sans en connaître les caractéristiques ; elle peut ainsi être réalisée par des intervenants différents, en des lieux différents et/ou à des moments

différents, ce qui contribue à une réduction des coûts, puisque cette étape de formation peut être standardisée indépendamment des applications futures.

Comme indiqué ci-dessus, l'étape d'encapsulation des nanofils dans une couche d'isolant électrique est avantageusement complétée par une gravure partielle (creusement) de la couche d'encapsulation après planarisation  
5 au niveau des premières extrémités libres des nanofils, afin d'augmenter sensiblement la surface de prise de contact électrique sur la périphérie des fils (ces fils sont dénudés sur une petite fraction de leur longueur en plus de leurs tranches). En outre, puisqu'il y a un transfert de cette couche d'encapsulation  
10 d'un support sur un autre, la formation des nanofils peut être effectuée sur un support choisi indépendamment des caractéristiques de la matrice active à laquelle ceux-ci seront fixés.

## REVENDEICATIONS

1. Procédé de réalisation d'un écran émissif à pixels, selon lequel :

\* on forme une matrice active de pixels (1, 27, 127) longée par une première couche formant électrode (2, 26, 102), ces pixels étant répartis selon  
5 une distribution déterminée,

\* on forme un substrat anisotrope formé d'un ensemble de diodes électroluminescentes constituées respectivement de nanofils (4, 11, 21, 121) parallèles et répartis dans une matrice isolante (5, 12, 22, 122) transversalement à son épaisseur avec une densité supérieure à la densité des  
10 pixels, indépendamment de la distribution déterminée des pixels,

\* on relie le substrat à la matrice active de pixels, d'une manière telle que seuls des sous-groupes (4A) de ces nanofils sont reliés, par une première extrémité, à des électrodes de pixel distinctes définies dans la couche formant électrode selon la distribution des pixels de la matrice active de pixels, tandis  
15 qu'au moins ces sous-groupes de nanofils sont électriquement connectés, par une autre extrémité, à une électrode commune (6, 28, 124+129), ces sous-groupes étant délimités au moment de cette étape de liaison en rendant émissivement inactifs les nanofils du substrat qui sont disposés entre ces sous-  
groupes.

20 2. Procédé selon la revendication 1, caractérisé en ce que, au cours de l'étape de formation du substrat anisotrope, on dépose sur la matrice isolante une couche de matériau électriquement conducteur qui est en contact électrique avec de premières extrémités de ces nanofils qui sont opposées à de secondes extrémités reliées à un support de cette matrice, l'étape de liaison  
25 comportant la mise en contact intime cette couche de matériau électriquement conducteur avec la couche formant électrode.

3. Procédé selon la revendication 2, caractérisé en ce que la couche de matériau électriquement conducteur et la couche formant électrode comportent un même matériau.

30 4. Procédé selon la revendication 2 ou la revendication 3, caractérisé en ce que, lors de l'étape de formation de la matrice active de pixels, on délimite les électrodes de pixel tandis que, au cours de l'étape de formation du

substrat, on délimite dans la couche de matériau électriquement conducteur un réseau de plots électriquement conducteurs disjoints tels que chacun soit connecté à au moins la première extrémité d'un nanofil, l'écartement entre des plots adjacents étant supérieur à la largeur de ces premières extrémités et  
5 l'écartement entre les électrodes de pixel étant supérieur à la taille des plots, en conséquence de quoi, lors de l'étape de liaison, certains des plots sont connectés à l'une des électrodes de pixel tandis que d'autres plots sont à distance des électrodes de pixel les plus proches en leur étant électriquement isolés, les nanofils reliés à ces plots isolés étant émissivement inactifs.

10 5. Procédé selon la revendication 4, caractérisé en ce que les plots ont des dimensions inférieures à 200 nm tandis que les pixels ont des dimensions inférieures à 1 micron.

6. Procédé selon la revendication 2 ou la revendication 3, caractérisé en ce que, au cours de l'étape de formation de la matrice active de pixels, on  
15 forme la couche formant électrode sous la forme d'une couche électriquement conductrice continue et, au cours de l'étape de formation du substrat anisotrope, on forme la couche en matériau électriquement conducteur sous la forme d'une couche conductrice continue et, au cours de l'étape de liaison, on délimite dans l'ensemble de nanofils du substrat un réseau de sous-groupes de  
20 nanofils séparés par des cloisons en matière isolante tout en délimitant dans la couche continue lesdites électrodes de pixel en regard de ces sous-groupes, les nanofils du substrat situés entre ces sous-groupes étant éliminés.

7. Procédé selon la revendication 6, caractérisé en ce que l'on délimite les sous-groupes de nanofils et les électrodes de pixel par gravure au  
25 travers du substrat, au travers de la couche conductrice continue et jusqu'au travers de la couche continue formant électrode puis remplissage des zones gravées avec de la matière isolante.

8. Procédé selon la revendication 7, caractérisé en ce que le matériau isolant de remplissage est le même que le matériau de la matrice  
30 isolante.

9. Procédé selon l'une quelconque des revendications 1 à 8, caractérisé en ce que, au cours de l'étape de formation du substrat anisotrope,

- on provoque la formation dudit ensemble de nanofils à partir d'un substrat de croissance,

- on encapsule cet ensemble de nanofils dans la matrice isolante en sorte de laisser à nu de premières extrémités des nanofils.

5           10. Procédé selon l'une quelconque des revendications 1 à 9, caractérisé en ce que l'on forme l'électrode commune après mise en contact de la matrice active de pixels avec ce substrat anisotrope, les électrodes de pixel étant délimitées.

10           11. Procédé selon l'une quelconque des revendications 1 à 10, caractérisé en ce que les nanofils sont distribués dans la matrice isolante de manière aléatoire mais avec une densité sensiblement constante.

15           12. Ecran émissif à pixels adapté à être réalisé par le procédé selon l'une quelconque des revendications 1 à 11, comportant une matrice active de pixels (1, 27, 127) longée par des électrodes de pixels (2, 26, 126), ces pixels  
20 étant répartis selon une distribution déterminée, une pluralité de plots conducteurs (25, 125) en contact avec les électrodes de pixels en leur étant sélectivement connectés, une pluralité de diodes électroluminescentes constituées chacune de nanofils (11, 21, 121) parallèles et répartis dans une matrice isolante (12, 22, 122) transversalement à son épaisseur en sorte de  
25 former un substrat émissif anisotrope et ces nanofils étant répartis en sous-groupes respectivement connectés par une première extrémité à ces électrodes de pixel au travers de ces plots, aucun plot n'étant connecté à plus d'une électrode de pixel, et une électrode commune (28, 124+129) connectée à au moins ces sous-groupes de nanofils par une autre extrémité de ceux-ci.

25           13. Ecran selon la revendication 12, caractérisé en ce qu'à chaque électrode de pixel sont connectés plusieurs plots, l'écartement entre ces plots étant supérieur à la largeur des nanofils, et les dimensions de chaque plot étant inférieures à l'écartement existant entre des électrodes de pixel adjacentes.

30           14. Ecran selon la revendication 13, caractérisé en ce qu'à chaque électrode de pixel correspond un seul plot de mêmes dimensions, tous les nanofils étant répartis entre lesdits sous-groupes.

15. Ecran selon l'une quelconque des revendications 12 à 14, caractérisé en ce que les nanofils du substrat émissif anisotrope sont répartis dans la matrice isolante indépendamment de la distribution des pixels, des nanofils situés entre les sous-groupes connectés aux électrodes de pixel au  
5 travers desdits plots étant émissivement inactifs.

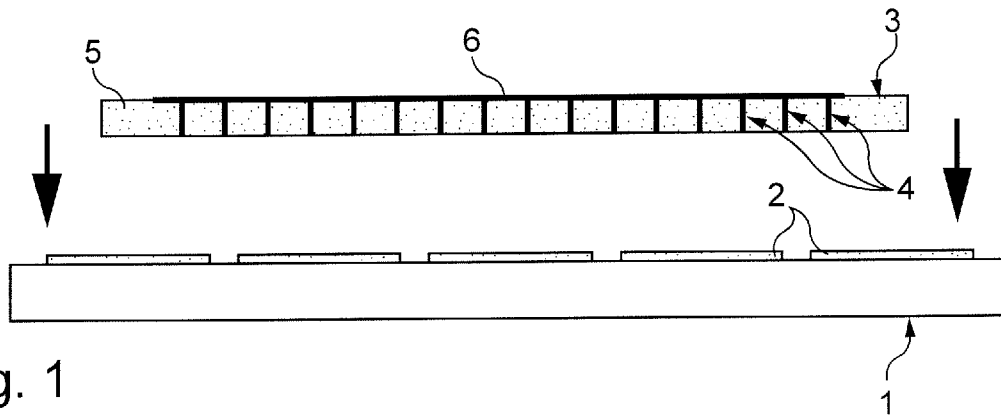


Fig. 1

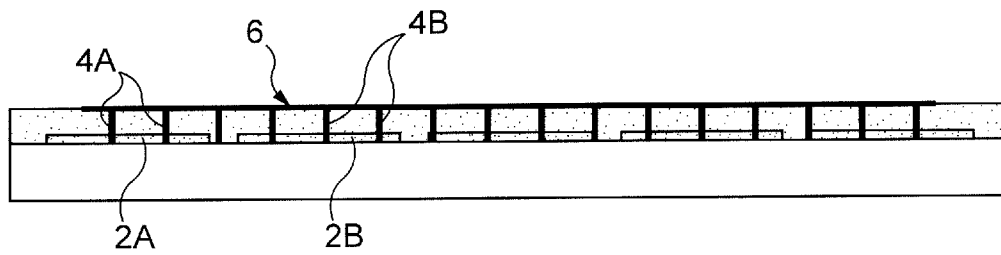


Fig. 2

Fig. 3

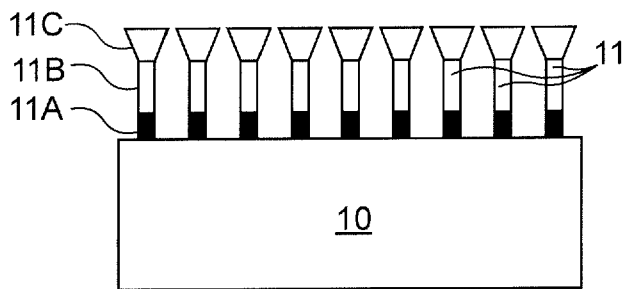


Fig. 5

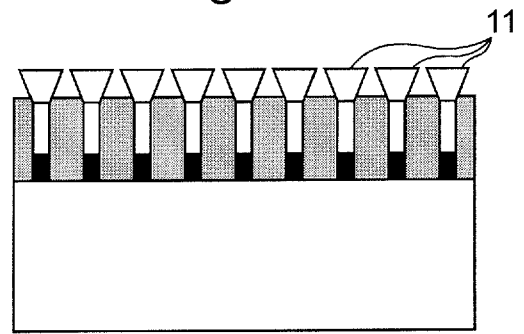


Fig. 4

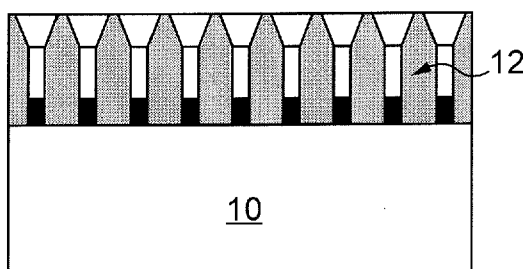
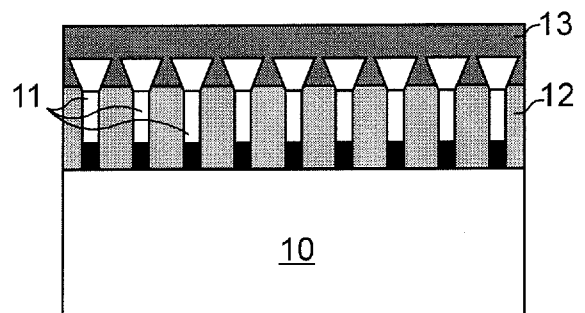


Fig. 6



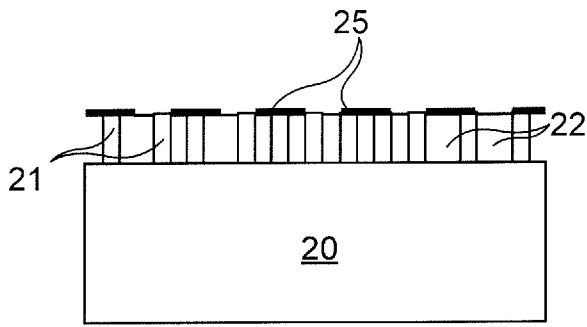


Fig. 7

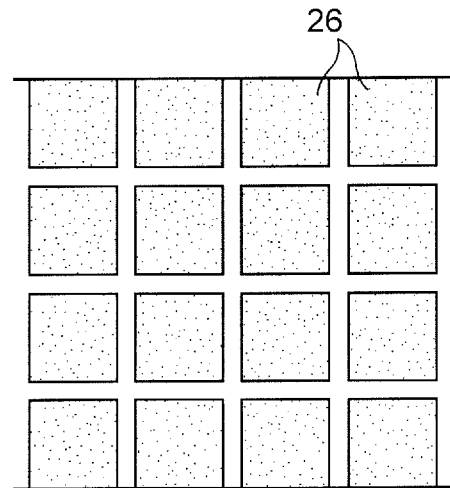


Fig. 8

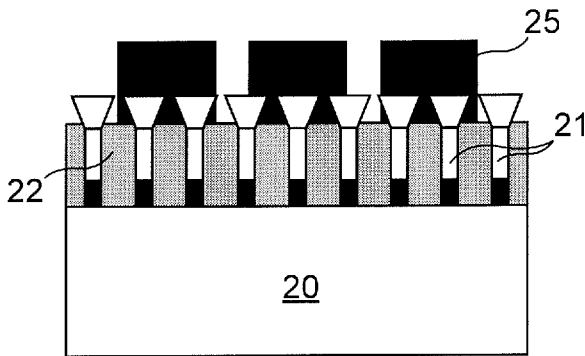


Fig. 9

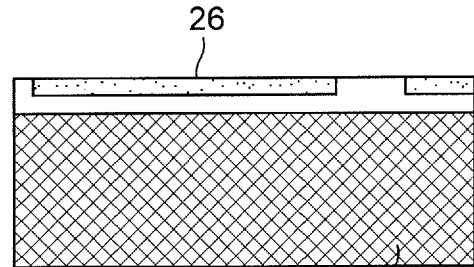


Fig. 10

Fig. 11

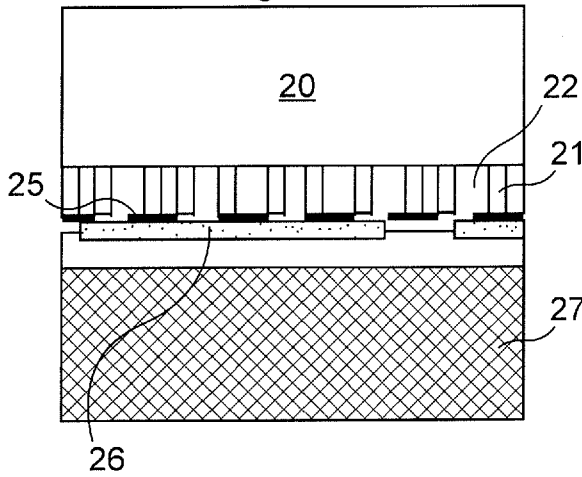


Fig. 13

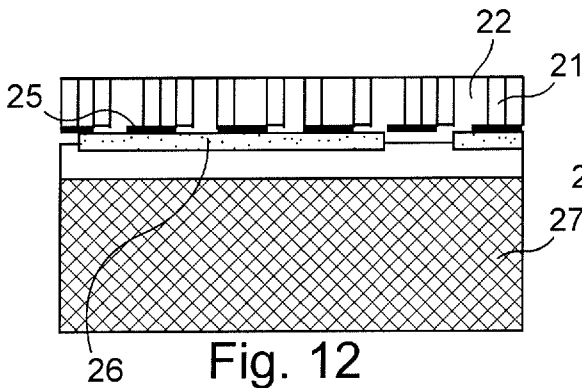
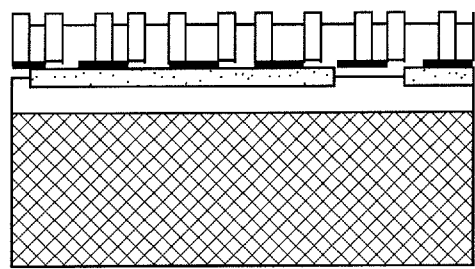


Fig. 12

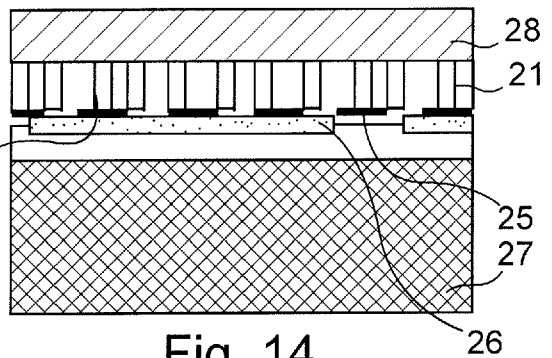


Fig. 14

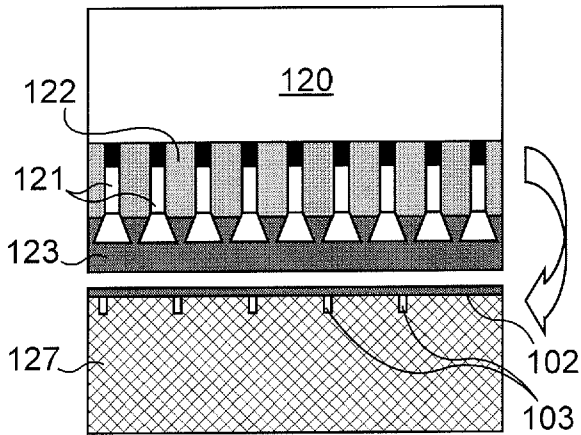


Fig. 15

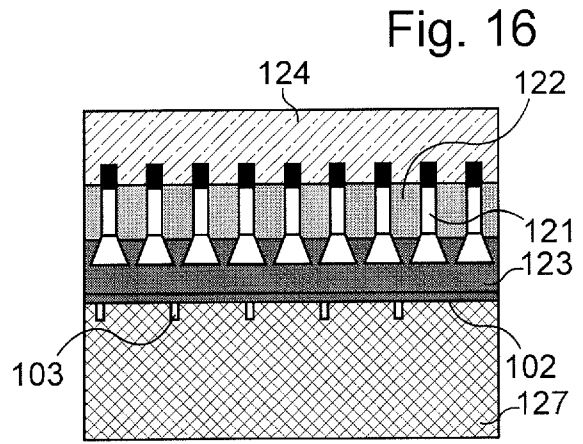


Fig. 16

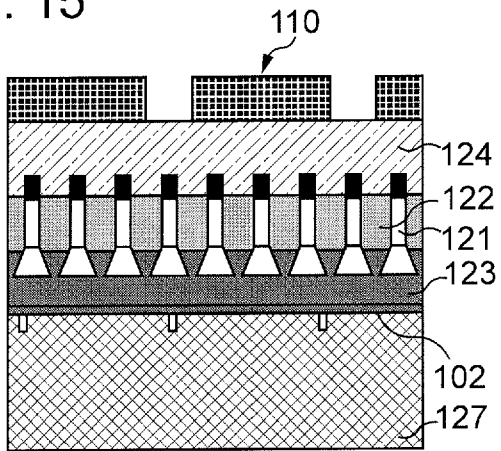


Fig. 17

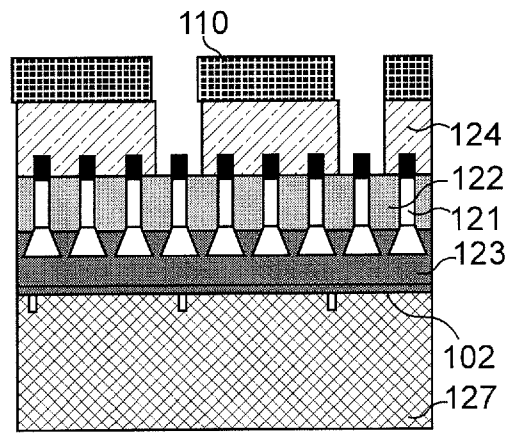


Fig. 18

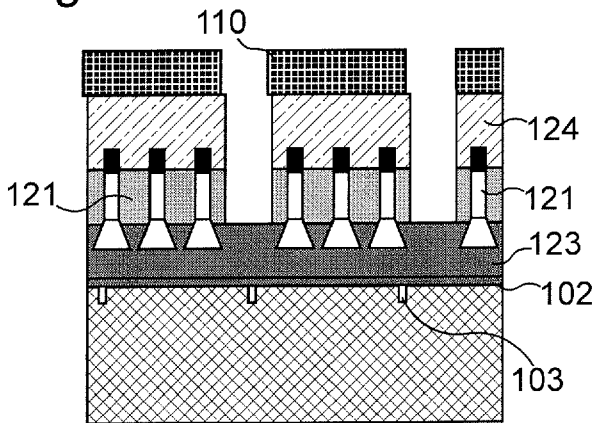


Fig. 19

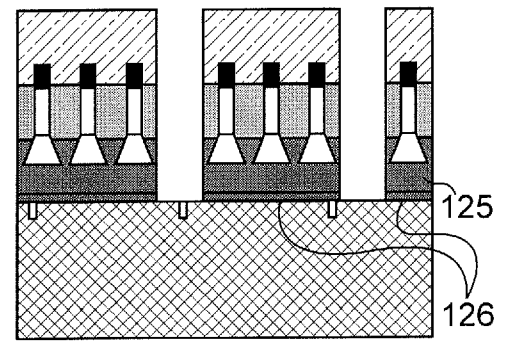


Fig. 20

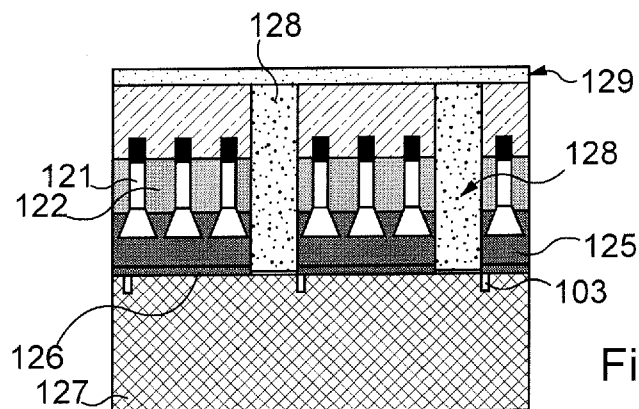


Fig. 21

INTERNATIONAL SEARCH REPORT

International application No  
PCT/FR2010/052218

A. CLASSIFICATION OF SUBJECT MATTER  
INV. H01L27/15  
ADD.  
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED  
Minimum documentation searched (classification system followed by classification symbols)  
H01L  
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)  
EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2008/129859 A1 (PANASONIC CORP [JP]; ONO MASAYUKI; NASU SHOGO; SATOH EIICHI; TANIGUCHI) 30 October 2008 (2008-10-30) paragraphs [0002], [0005] - [0011]; figure 9 paragraphs [0016], [0017], [0020], [0021], [0023], [0024], [0030], [0033], [0035], [0036], [0038], [0044]; figures 1,2b,2d paragraph [0049]; figure 4 paragraphs [0060] - [0062]; figures 10,11 claims 1,8,9 ----- -/--	12,14  1-11,13,15

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search  18 January 2011	Date of mailing of the international search report  27/01/2011
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer  Tinjud, Frank

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/FR2010/052218

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	ZHAO JUN LIU ET AL: "GaN based active matrix light emitting diode array by flip-chip technology", 2008 ASIA OPTICAL FIBER COMMUNICATION & OPTOELECTRONIC EXPOSITION & CONFERENCE (AOE) IEEE PISCATAWAY, NJ, USA, 2008, page 3 PP., XP002585285, ISBN: 978-1-55752-863-6	12,14
A	paragraph [2. Fabrication of AMLED array Chip]; figures 1a-b,2a-b,3a,4a-b -----	1-11,13, 15
Y	KIM H-M ET AL: "High-Brightness Light Emitting Diodes Using Dislocation-Free Indium Gallium Nitride/Gallium Nitride Multiquantum-Well Nanorod Arrays", NANO LETTERS, ACS, WASHINGTON, DC, US LNKD- DOI:10.1021/NL049615A, vol. 4, no. 6, 19 May 2004 (2004-05-19), pages 1059-1062, XP002368212, ISSN: 1530-6984 cited in the application	12,14
A	* abstract page 1060, column 2, lines 20-34 page 1061, column 2, line 11 - page 1062, column 1, line 21; figures 2A,3B page 1062, column 1, lines 22-24 -----	1-11,13, 15
A	US 2003/168964 A1 (CHEN HSING [TW]) 11 September 2003 (2003-09-11) paragraphs [0081], [0082]; figure 18 -----	4,5,12, 13
A	US 2005/179052 A1 (YI GYU C [KR] ET AL) 18 August 2005 (2005-08-18) paragraphs [0023], [0024]; figure 1a -----	4,5,12, 13
A	EP 0 011 418 A1 (GEN ELECTRIC CO LTD [GB]) 28 May 1980 (1980-05-28) * abstract page 9, line 21 - page 11, line 24; figure 1 -----	6-8
A	WO 2007/001099 A1 (SEOUL OPTO DEVICES CO LTD [KR]; KIM HWA MOK [KR]) 4 January 2007 (2007-01-04) paragraphs [0053] - [0064]; figures 5-7 -----	9
A	EP 1 796 180 A1 (KIKUCHI AKIHIKO [JP]; KISHINO KATSUMI [JP]) 13 June 2007 (2007-06-13) paragraphs [0023] - [0025]; figure 1 -----	9
A	WO 2004/042830 A1 (KONINKL PHILIPS ELECTRONICS NV [NL]; BAKKERS ERIK P A M [NL]; BALKENEN) 21 May 2004 (2004-05-21) page 5, lines 1-3, 9-12; figure 6 page 10, line 11 - page 11, line 15 -----	12,14

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/FR2010/052218
---

Patent document cited in search report	Publication date	Publication date	Patent family member(s)	Publication date
WO 2008129859	A1	30-10-2008	NONE	
US 2003168964	A1	11-09-2003	TW 220319 B	11-08-2004
US 2005179052	A1	18-08-2005	KR 20050081034 A US 2007045660 A1	18-08-2005 01-03-2007
EP 0011418	A1	28-05-1980	CA 1134481 A1 JP 55072088 A US 4280273 A	26-10-1982 30-05-1980 28-07-1981
WO 2007001099	A1	04-01-2007	JP 2008544567 T US 2008191191 A1	04-12-2008 14-08-2008
EP 1796180	A1	13-06-2007	WO 2006025407 A1 KR 20070046161 A US 2007248132 A1	09-03-2006 02-05-2007 25-10-2007
WO 2004042830	A1	21-05-2004	AU 2003274418 A1 CN 1711648 A EP 1563547 A1 JP 2006505477 T KR 20050073603 A US 2006022191 A1	07-06-2004 21-12-2005 17-08-2005 16-02-2006 14-07-2005 02-02-2006

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2010/052218

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L27/15 ADD.				
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB				
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE				
Documentation minimale consultée (système de classification suivi des symboles de classement) H01L				
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche				
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, INSPEC				
C. DOCUMENTS CONSIDERES COMME PERTINENTS				
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées		
X	WO 2008/129859 A1 (PANASONIC CORP [JP]; ONO MASAYUKI; NASU SHOGO; SATOH EIICHI; TANIGUCHI) 30 octobre 2008 (2008-10-30)	12,14		
A	alinéas [0002], [0005] - [0011]; figure 9 alinéas [0016], [0017], [0020], [0021], [0023], [0024], [0030], [0033], [0035], [0036], [0038], [0044]; figures 1,2b,2d alinéa [0049]; figure 4 alinéas [0060] - [0062]; figures 10,11 revendications 1,8,9 ----- -/--	1-11,13,15		
<table border="0" style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> <input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents                         </td> <td style="width: 50%; vertical-align: top;"> <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe                         </td> </tr> </table>			<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents	<input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents	<input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe			
* Catégories spéciales de documents cités:				
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée	"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets			
Date à laquelle la recherche internationale a été effectivement achevée  18 janvier 2011	Date d'expédition du présent rapport de recherche internationale  27/01/2011			
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Fonctionnaire autorisé  Tinjod, Frank			

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	ZHAO JUN LIU ET AL: "GaN based active matrix light emitting diode array by flip-chip technology", 2008 ASIA OPTICAL FIBER COMMUNICATION & OPTOELECTRONIC EXPOSITION & CONFERENCE (AOE) IEEE PISCATAWAY, NJ, USA, 2008, page 3 PP., XP002585285, ISBN: 978-1-55752-863-6	12,14
A	alinéa [2. Fabrication of AMLED array Chip]; figures 1a-b,2a-b,3a,4a-b	1-11,13,15
Y	KIM H-M ET AL: "High-Brightness Light Emitting Diodes Using Dislocation-Free Indium Gallium Nitride/Gallium Nitride Multiquantum-Well Nanorod Arrays", NANO LETTERS, ACS, WASHINGTON, DC, US LNKD- DOI:10.1021/NL049615A, vol. 4, no. 6, 19 mai 2004 (2004-05-19), pages 1059-1062, XP002368212, ISSN: 1530-6984	12,14
A	cité dans la demande * abrégé page 1060, colonne 2, ligne 20-34 page 1061, colonne 2, ligne 11 - page 1062, colonne 1, ligne 21; figures 2A,3B page 1062, colonne 1, ligne 22-24	1-11,13,15
A	US 2003/168964 A1 (CHEN HSING [TW]) 11 septembre 2003 (2003-09-11) alinéas [0081], [0082]; figure 18	4,5,12,13
A	US 2005/179052 A1 (YI GYU C [KR] ET AL) 18 août 2005 (2005-08-18) alinéas [0023], [0024]; figure 1a	4,5,12,13
A	EP 0 011 418 A1 (GEN ELECTRIC CO LTD [GB]) 28 mai 1980 (1980-05-28) * abrégé page 9, ligne 21 - page 11, ligne 24; figure 1	6-8
A	WO 2007/001099 A1 (SEOUL OPTO DEVICES CO LTD [KR]; KIM HWA MOK [KR]) 4 janvier 2007 (2007-01-04) alinéas [0053] - [0064]; figures 5-7	9
A	EP 1 796 180 A1 (KIKUCHI AKIHIKO [JP]; KISHINO KATSUMI [JP]) 13 juin 2007 (2007-06-13) alinéas [0023] - [0025]; figure 1	9
A	WO 2004/042830 A1 (KONINKL PHILIPS ELECTRONICS NV [NL]; BAKKERS ERIK P A M [NL]; BALKENEN) 21 mai 2004 (2004-05-21) page 5, ligne 1-3, 9-12; figure 6 page 10, ligne 11 - page 11, ligne 15	12,14

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2010/052218

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2008129859	A1	30-10-2008	AUCUN	
US 2003168964	A1	11-09-2003	TW 220319 B	11-08-2004
US 2005179052	A1	18-08-2005	KR 20050081034 A US 2007045660 A1	18-08-2005 01-03-2007
EP 0011418	A1	28-05-1980	CA 1134481 A1 JP 55072088 A US 4280273 A	26-10-1982 30-05-1980 28-07-1981
WO 2007001099	A1	04-01-2007	JP 2008544567 T US 2008191191 A1	04-12-2008 14-08-2008
EP 1796180	A1	13-06-2007	WO 2006025407 A1 KR 20070046161 A US 2007248132 A1	09-03-2006 02-05-2007 25-10-2007
WO 2004042830	A1	21-05-2004	AU 2003274418 A1 CN 1711648 A EP 1563547 A1 JP 2006505477 T KR 20050073603 A US 2006022191 A1	07-06-2004 21-12-2005 17-08-2005 16-02-2006 14-07-2005 02-02-2006

专利名称(译)	使用基于纳米线的发光各向异性导电膜制造非常高分辨率的屏幕的方法		
公开(公告)号	<a href="#">EP2491591A1</a>	公开(公告)日	2012-08-29
申请号	EP2010785136	申请日	2010-10-19
[标]申请(专利权)人(译)	原子能委员会		
申请(专利权)人(译)	粮食A L'的原子能ET AUX能源替代方案		
当前申请(专利权)人(译)	粮食A L'的原子能ET AUX能源替代方案		
[标]发明人	TEMPLIER FRANCOIS CLAVELIER LAURENT RABAROT MARC		
发明人	TEMPLIER, FRANÇOIS CLAVELIER, LAURENT RABAROT, MARC		
IPC分类号	H01L27/15 B82Y20/00 H01L33/08 H01L33/18		
CPC分类号	B82Y20/00 H01L27/156 H01L33/0093 H01L33/08 H01L33/18 H01L2924/0002 H01L2924/00		
代理机构(译)	科伦坡, MICHEL		
优先权	2009057467 2009-10-23 FR		
其他公开文献	EP2491591B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明涉及一种发光像素屏的制造方法，包括形成有源像素矩阵(1)，第一电极形成层(2)沿着所述有源像素矩阵运行，所述像素按预定分布排列;形成由一组发光二极管构成的各向异性基板(3)，每个发光二极管由平行的纳米线(4)构成，所述纳米线(4)横向于其主体分布在绝缘基质(5)中，即垂直地，更高的密度大于像素，不管像素的预定分布;将基板连接到有源像素矩阵，使得仅所述纳米线的子组(4A, 4B)通过第一端连接到根据电极形成层中限定的像素电极(2A, 2B)。至少所述纳米线子组通过另一端电连接到公共电极(6)，所述子组在所述连接步骤期间被定义为有源像素矩阵中的像素分布。使得布置在所述子组之间的衬底的纳米线呈现为不发光的。