

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5143239号
(P5143239)

(45) 発行日 平成25年2月13日 (2013. 2. 13)

(24) 登録日 平成24年11月30日 (2012. 11. 30)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611A
H01L 51/50 (2006.01)	G09G 3/20 623R
	G09G 3/20 623B
	G09G 3/20 623Y
請求項の数 4 (全 39 頁) 最終頁に続く	

(21) 出願番号 特願2011-351 (P2011-351)
 (22) 出願日 平成23年1月5日 (2011. 1. 5)
 (62) 分割の表示 特願2004-262375 (P2004-262375)
 の分割
 原出願日 平成16年9月9日 (2004. 9. 9)
 (65) 公開番号 特開2011-118404 (P2011-118404A)
 (43) 公開日 平成23年6月16日 (2011. 6. 16)
 審査請求日 平成23年1月14日 (2011. 1. 14)
 (31) 優先権主張番号 特願2003-321613 (P2003-321613)
 (32) 優先日 平成15年9月12日 (2003. 9. 12)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 半導体装置、表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1乃至第5の配線と、電流源回路と、第1乃至第4の回路と、第1及び第2のスイッチと、を有する半導体装置であって、

- 前記第1の配線は、前記電流源回路の第1の端子と電氣的に接続され、
- 前記第2の配線は、前記電流源回路の第2の端子と電氣的に接続され、
- 前記第1のスイッチの第1の端子は、前記第1の配線と電氣的に接続され、
- 前記第1のスイッチの第2の端子は、前記第2の配線と電氣的に接続され、
- 前記第2のスイッチの第1の端子は、前記第2の配線と電氣的に接続され、
- 前記第2のスイッチの第2の端子は、前記第3の配線と電氣的に接続され、
- 前記第1の回路の第1の入力端子は、前記第2の配線と電氣的に接続され、
- 前記第1の回路の第2の入力端子は、前記第4の配線と電氣的に接続され、
- 前記第1の回路の出力端子は、前記第1のスイッチの制御端子と電氣的に接続され、
- 前記第2の回路の第1の入力端子は、前記第2の配線と電氣的に接続され、
- 前記第2の回路の第2の入力端子は、前記第5の配線と電氣的に接続され、
- 前記第2の回路の出力端子は、前記第2のスイッチの制御端子と電氣的に接続され、
- 前記第3の回路の第1の端子は、前記第2の配線と電氣的に接続され、
- 前記第3の回路の第2の端子は、前記第3の配線と電氣的に接続され、
- 前記第4の回路の第1の端子は、前記第2の配線と電氣的に接続され、
- 前記第4の回路の第2の端子は、前記第3の配線と電氣的に接続され、

10

20

前記電流源回路は、前記第3の回路の第1の端子を介して、前記第3の回路へ第1の電流を供給することができる機能と、前記第4の回路の第1の端子を介して、前記第4の回路へ第2の電流を供給することができる機能と、を有し、

前記第1の回路は、前記第1の回路の第1の入力端子の電位と、前記第1の回路の第2の入力端子の電位とを比較して、比較結果を前記第1の回路の出力端子へ出力することができる機能を有し、

前記第2の回路は、前記第2の回路の第1の入力端子の電位と、前記第2の回路の第2の入力端子の電位とを比較して、比較結果を前記第2の回路の出力端子へ出力することができる機能を有し、

前記第3の回路は、前記第3の配線から第1の負荷へ、前記第1の電流の大きさに応じた大きさを有する電流を供給することができる機能を有し、

前記第4の回路は、前記第3の配線から第2の負荷へ、前記第2の電流の大きさに応じた大きさを有する電流を供給することができる機能を有することを特徴とする半導体装置。

10

【請求項2】

第1乃至第5の配線と、電流源回路と、第1乃至第4の回路と、第1及び第2のスイッチと、第1及び第2の表示素子と、を有する表示装置であって、

前記第1の配線は、前記電流源回路の第1の端子と電氣的に接続され、

前記第2の配線は、前記電流源回路の第2の端子と電氣的に接続され、

前記第1のスイッチの第1の端子は、前記第1の配線と電氣的に接続され、

前記第1のスイッチの第2の端子は、前記第2の配線と電氣的に接続され、

前記第2のスイッチの第1の端子は、前記第2の配線と電氣的に接続され、

前記第2のスイッチの第2の端子は、前記第3の配線と電氣的に接続され、

前記第1の回路の第1の入力端子は、前記第2の配線と電氣的に接続され、

前記第1の回路の第2の入力端子は、前記第4の配線と電氣的に接続され、

前記第1の回路の出力端子は、前記第1のスイッチの制御端子と電氣的に接続され、

前記第2の回路の第1の入力端子は、前記第2の配線と電氣的に接続され、

前記第2の回路の第2の入力端子は、前記第5の配線と電氣的に接続され、

前記第2の回路の出力端子は、前記第2のスイッチの制御端子と電氣的に接続され、

前記第3の回路の第1の端子は、前記第2の配線と電氣的に接続され、

前記第3の回路の第2の端子は、前記第3の配線と電氣的に接続され、

前記第4の回路の第1の端子は、前記第2の配線と電氣的に接続され、

前記第4の回路の第2の端子は、前記第3の配線と電氣的に接続され、

前記電流源回路は、前記第3の回路の第1の端子を介して、前記第3の回路へ第1の電流を供給することができる機能と、前記第4の回路の第1の端子を介して、前記第4の回路へ第2の電流を供給することができる機能と、を有し、

前記第1の回路は、前記第1の回路の第1の入力端子の電位と、前記第1の回路の第2の入力端子の電位とを比較して、比較結果を前記第1の回路の出力端子へ出力することができる機能を有し、

前記第2の回路は、前記第2の回路の第1の入力端子の電位と、前記第2の回路の第2の入力端子の電位とを比較して、比較結果を前記第2の回路の出力端子へ出力することができる機能を有し、

前記第3の回路は、前記第3の配線から前記第1の表示素子へ、前記第1の電流の大きさに応じた大きさを有する電流を供給することができる機能を有し、

前記第4の回路は、前記第3の配線から前記第2の表示素子へ、前記第2の電流の大きさに応じた大きさを有する電流を供給することができる機能を有することを特徴とする表示装置。

【請求項3】

請求項2において、

前記第1および第2の表示素子は、それぞれ、有機EL素子を有することを特徴とする

20

30

40

50

表示装置。

【請求項 4】

請求項 1 に記載の半導体装置、請求項 2 に記載の表示装置、または、請求項 3 に記載の表示装置と、

操作キー、スピーカー、アンテナ、音声入力部、音声出力部、バッテリー、受像部、または、外部接続ポートと、

を有することを特徴とする電子機器。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に係り、特に電流によって輝度が変化する電流駆動型発光素子で形成された画素や、画素を駆動する信号線駆動回路を含む半導体装置およびその駆動方法に関する。

【背景技術】

【0002】

有機発光ダイオード（OLED（Organic Light Emitting Diode））、有機 EL 素子、エレクトロルミネッセンス（Electro Luminescence：EL）素子などとも言う）に代表される自発光型の発光素子を用いた表示装置では、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが知られている。前者は構造は簡単であるが、大型かつ高輝度のディスプレイの実現が難しい等の問題があり、近年は発光素子に流れる電流を画素回路内部に設けた薄膜トランジスタ（TFT）によって制御するアクティブマトリクス方式の開発が進められている。

20

【0003】

アクティブマトリクス方式の表示装置の場合、駆動 TFT の電流特性のバラツキにより発光素子に流れる電流が変化し輝度がばらついてしまうという問題が認識されていた。つまり、画素回路には発光素子に流れる電流を駆動する駆動 TFT が用いられており、これらの駆動 TFT の特性がばらつくことにより発光素子に流れる電流が変化し、輝度がばらついてしまうという問題があった。そこで画素回路内の駆動 TFT の特性がばらついて

30

も発光素子に流れる電流は変化せず、輝度のバラツキを抑えるための種々の回路が提案されている（例えば、特許文献 1 乃至 4 参照。）。

【0004】

特許文献 1 乃至 3 には、画素回路内に配置された駆動 TFT の特性のバラツキによって発光素子に流れる電流値の変動を防ぐための回路構成が開示されている。この構成は、電流書き込み型画素、もしくは電流入力型画素などと呼ばれている。また特許文献 4 には、ソースドライバ回路内の TFT のバラツキによる信号電流の変化を抑制するための回路構成が開示されている。

【0005】

図 6 に、特許文献 1 に開示されている従来のアクティブマトリクス型表示装置の第 1 の構成例を示す。図 6 の画素は、ソース信号線 601、第 1～第 3 のゲート信号線 602～604、電流供給線 605、TFT 606～609、保持容量 610、EL 素子 611、映像信号入力用電流源 612 を有する。

40

【0006】

図 7 を用いて、信号電流の書き込みから発光までの動作について説明する。図中、各部を示す図番は、図 6 に準ずる。図 7（A）～（C）は、電流の流れを模式的に示している。図 7（D）は、信号電流の書き込み時における各経路を流れる電流の関係を示しており、図 7（E）は、同じく信号電流の書き込み時に、保持容量 610 に蓄積される電圧、つまり TFT 608 のゲート・ソース間電圧について示している。

【0007】

50

まず、第1のゲート信号線602および第2のゲート信号線603にパルスが入力され、TFT606、607がONする。このとき、ソース信号線を通る電流、すなわち信号電流を I_{data} とする。

【0008】

ソース信号線には、電流 I_{data} が流れているので、図7(A)に示すように、画素内では、電流の経路は I_1 と I_2 とに分かれて流れる。これらの関係を図7(D)に示している。なお、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

【0009】

TFT606がONした瞬間には、まだ保持容量610には電荷が保持されていないため、TFT608はOFFしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。すなわちこの間は、保持容量610における電荷の蓄積による電流のみが流れている。

10

【0010】

その後、徐々に保持容量610に電荷が蓄積され、両電極間に電位差が生じ始める(図7(E))。両電極の電位差が V_{th} となると(図7(E) A点)、TFT608がONして、 I_2 が生ずる。先に述べたように、 $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れており、さらに保持容量には電荷の蓄積が行われる。

【0011】

保持容量610においては、その両電極の電位差、つまりTFT608のゲート・ソース間電圧が所望の電圧、つまりTFT608が I_{data} の電流を流すことが出来るだけの電圧(V_{GS})になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する(図7(E) B点)と、電流 I_2 は流れなくなり、さらにTFT608はそのときの V_{GS} に見合った電流が流れ、 $I_{data} = I_1$ となる(図7(B))。こうして、定常状態に達する。以上で信号の書き込み動作が完了する。最後に第1のゲート信号線602および第2のゲート信号線603の選択が終了し、TFT606、607がOFFする。

20

【0012】

このように、所定の電流を供給できるようにする動作を、設定動作と呼ぶことにする。

【0013】

続いて、発光動作に移る。第3のゲート信号線604にパルスが入力され、TFT609がONする。保持容量610には、先ほど書き込んだ V_{GS} が保持されているため、TFT608はONしており、電流供給線605から、 I_{data} の電流が流れる。これによりEL素子611が発光する。このとき、TFT608が飽和領域において動作するようにしておけば、TFT608のソース・ドレイン間電圧が変化したとしても、 I_{data} は変わりなく流れることが出来る。

30

【0014】

このように、設定した電流を出力する動作を、出力動作と呼ぶことにする。電流書き込み型画素のメリットとして、TFT608の特性等にばらつきがあった場合であっても、保持容量610には、電流 I_{data} を流すのに必要なゲート・ソース間電圧が保持されるため、所望の電流を正確にEL素子に供給することが出来、よってTFTの特性ばらつきに起因した輝度ばらつきを抑えることが可能になる点がある。

【0015】

以上の例は、画素回路内での駆動TFTのバラツキによる電流の変化を補正するための技術に関するものであるが、ソースドライバ回路内においても同一の問題が発生する。特許文献4には、ソースドライバ回路内でのTFTの製造上のバラツキによる信号電流の変化を防止するための回路構成が開示されている。

40

【0016】

また、特許文献5には、階調を制御する電流源の他に電圧源を用意し、ソース信号線に inputsする2つの電源を切り替えるための電源切り替え手段により、行選択期間の初めに電圧源により浮遊容量の電荷を瞬時に変化させ、その後所望の輝度を出すために電流源により階調表示を行う構成が開示されている。

【先行技術文献】

50

【特許文献】

【0017】

【特許文献1】特許出願公表番号2002-517806号公報

【特許文献2】国際公開第01/06484号パンフレット

【特許文献3】特許出願公表番号2002-514320号公報

【特許文献4】国際公開第02/39420号パンフレット

【特許文献5】特許出願公開番号2003-66908号公報

【発明の概要】

【発明が解決しようとする課題】

【0018】

10

しかしながら、特許文献5に開示された技術の場合、行選択期間の初めのある期間に、電圧源からソース信号線に電荷を供給し、その期間が終了した後、電源切り替え手段により、電圧源から電流源に切り替えて、ソース信号線に電荷を供給している。この時の構成を図43に示す。電源切り替え手段4321によって、電圧源4311から電流源4301に切り替えて、トランジスタ4302に設定動作を行っている。ここで、電流源4301には配線4304、電圧源4311には配線4314がそれぞれ接続され、トランジスタ4302には配線4307、容量素子4303、配線4305が接続されている。

【0019】

つまり、この場合、電圧源4311から電荷を供給する期間が固定されている。そのため、電圧源4311から電荷を供給する期間と、電流源4301から電荷を供給する期間とが、最適な長さになっていない。

20

【0020】

例として、ソース信号線の電位の時間変化を表したグラフを図44に示す。ソース信号線の初期電位を V_3 とする。そして、電流源から電流を供給して、定常状態になったときのソース信号線の電位が、図44(a)の場合は V_1' 、図44(b)の場合は V_2' になるものとする。そして、時間 T_1 までは電圧源からソース信号線に電荷を供給し、時間 T_1 以降は電流源からソース信号線に電荷を供給するものとする。

【0021】

まず、図44(a)の場合、電圧源の電位が V_1 であるので、ソース信号線の電位は V_3 から V_1 へと近づいていく。しかし、 V_3 と V_1 との電位差が大きいため、時間 T_1 の段階では、ソース信号線の電位は V_1 から大きく離れている。時間 T_1 以降は、電流源から電荷が供給されるが、電荷量が少ないため、時間 T_2 のときでも、ソース信号線の電位は、定常状態になったときの電位である V_1' から大きく離れている。したがって、この場合は、電圧源で電荷を供給する期間をもっと長くする必要がある。

30

【0022】

一方、図44(b)の場合は、電圧源の電位が V_2 であるので、ソース信号線の電位は V_3 から V_2 へと近づいていく。このとき、 V_3 と V_2 との電位差は小さいため、時間 T_1 の段階で、ソース信号線の電位は V_2 と近い大きさになっている。そして、時間 T_1 以降は、電流源から電荷が供給されるが、電位差が小さいため、電荷量が少なくても、定常状態に達することが出来る。つまり、時間 T_2 のときにおいて、ソース信号線の電位は、定常状態になったときの電位である V_2' と等しくなっている。したがって、この場合は、電圧源で電荷を供給する期間は、最適値であると言える。

40

【0023】

図44(a)の場合は、電圧源で電荷を供給する期間が短かった。そこで、もっと長くして、時間 T_2 までの間、電圧源で電荷を供給する場合について述べる。その場合のソース信号線の電位の時間変化を表したグラフを図45に示す。

【0024】

図45(a)の場合、電圧源の電位が V_1 であるので、ソース信号線の電位は V_3 から V_1 へと近づいていく。 V_3 と V_1 との電位差が大きいが、電圧源で電荷を供給する期間が長いため、時間 T_2 の段階では、ソース信号線の電位は V_1 と近い大きさになっている

50

。そして、時間 T_2 以降は、電流源から電荷が供給されるが、電位差が小さいため、電荷量が少なくても、定常状態に達することが出来る。つまり、時間 T_3 のときにおいて、ソース信号線の電位は、定常状態になったときの電位である V_1' と等しくなっている。したがって、この場合は、電圧源で電荷を供給する期間は、最適値であると言える。

【0025】

一方、図45(b)の場合は、電圧源の電位が V_2 であるので、ソース信号線の電位は V_3 から V_2 へと近づいていく。このとき、 V_3 と V_2 との電位差は小さいため、時間 T_1 を越えた段階で、ソース信号線の電位は V_2 と等しい大きさになっている。しかし、時間 T_2 までは、電圧源で電荷を供給されるため、ソース信号線の電位は V_2 のままとなる。そして、時間 T_2 以降は、電流源から電荷が供給されるが、電位差が小さいため、電荷量が少なくても、定常状態に達することが出来る。

10

【0026】

つまり、図44(b)の場合は、時間 T_2 のときにおいて、ソース信号線の電位は、定常状態になったときの電位である V_2' と等しくなっている。しかし、図45(b)の場合は、時間 T_2 では、ソース信号線の電位は V_2 のままであり、定常状態になるには、時間 T_3 まで必要となってしまう。

【0027】

このように、図44のように、電圧源で電荷を供給する期間が短い場合は、電位差が大きい場合(図44(a))は、なかなか定常状態にならない。一方、電圧源で電荷を供給する期間が長い場合は、電位差が大きい場合(図45(a))だけでなく、電位差が小さい場合(図45(b))であっても、定常状態になるまでの時間が多く必要となってしまう。

20

【0028】

このように、電圧源で電荷を供給する期間の長さを決めてしまうと、十分、信号線の電位が変化できなかつたり、信号を書き込む期間の一部が無駄になり、定常状態になるまでの時間がより多く必要になつたりしてしまう。

【0029】

これ以外の課題としては、行選択期間の初めに供給される電圧値が、最適な大きさになっていないことが挙げられる。最適な大きさでないため、定常状態になるまでの時間が多く必要となってしまう。

30

【0030】

本発明はこのような問題点に鑑み、トランジスタの特性バラツキの影響を低減し、所定の電流を供給でき、信号電流が小さな場合であっても、あるいは、信号線の電位変化量に依存することなく、信号の書き込み速度を十分に向上させることのできる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0031】

本発明は、配線の電位を検出し、その電位が所定の電位と差がある場合は、電荷を供給する。そして、配線の電位が所定の電位に達したら、電荷の供給を止めることにより、上記目的を達成するものである。

40

【0032】

このような動作を行うために、プリチャージ回路が配置されている。プリチャージ回路は、配線の電位を検出し、その電位が所定の電位と差がある場合は、電荷を供給して、配線の電位が所定の電位に達したら、電荷の供給を止める機能を有している。

【0033】

また、プリチャージ回路は、比較制御回路やプリチャージスイッチを有しており、比較制御回路は、配線の電位を検出し、その電位が所定の電位と差がある場合は、プリチャージスイッチのオンオフを制御する機能を有しており、プリチャージスイッチは、配線に電荷を供給するかどうかを制御する機能を有している。

【0034】

50

本発明は、電流供給手段と配線とトランジスタとプリチャージ回路とを具備する半導体装置であって、前記電流供給手段は、前記配線を介して前記トランジスタと接続されており、前記プリチャージ回路は、前記配線の電位を検出し、所定の電位との大小関係によって、前記配線に電荷を供給する機能を有することを特徴とするものである。

【0035】

本発明は、前記構成によって、前記比較制御回路は、オペアンプまたはチョッパインバータコンパレータまたは差動回路を用いて構成されていること特徴とするものである。

【0036】

本発明は、前記構成によって、前記トランジスタは、発光素子または画素に電流を供給すること特徴とするものである。

10

【0037】

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板などに配置することが出来る。

【0038】

なお、本発明において、接続されているとは、電氣的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子(例えば、別の素子やスイッチなど)が配置されていてもよい。

20

【発明の効果】

【0039】

本発明では、画素や信号線駆動回路のトランジスタに電流を供給する場合、前もってプリチャージ動作を行う。そのため、すばやく、電流の書き込みが終了する。また、プリチャージ動作を行う期間が、適宜調節されるため、無駄がなく、正確に電流を設定することが出来る。また、すばやく所定の電位にプリチャージすることができる。その結果、トランジスタの特性バラツキの影響を低減し、所定の電流を供給でき、信号電流が小さな場合であっても、あるいは、信号線の電位変化量に依存することなく、信号の書き込み速度を十分に向上させることのできる。

30

【0040】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

【図面の簡単な説明】

【0041】

【図1】本発明の半導体装置の構成を説明する図。

【図2】本発明の半導体装置の構成を説明する図。

40

【図3】本発明の半導体装置の構成を説明する図。

【図4】本発明の半導体装置の構成を説明する図。

【図5】本発明の半導体装置の構成を説明する図。

【図6】従来の画素の構成を説明する図。

【図7】従来の画素の動作を説明する図。

【図8】本発明の半導体装置の電位の時間変化を表す図。

【図9】本発明の半導体装置の構成を説明する図。

【図10】本発明の半導体装置の構成を説明する図。

【図11】本発明の半導体装置の構成を説明する図。

【図12】本発明の半導体装置の構成を説明する図。

50

- 【図 1 3】本発明の半導体装置の構成を説明する図。
 【図 1 4】本発明の半導体装置の構成を説明する図。
 【図 1 5】本発明の半導体装置の電流と電位の関係を表す図。
 【図 1 6】本発明の半導体装置の構成を説明する図。
 【図 1 7】本発明の半導体装置の構成を説明する図。
 【図 1 8】本発明の半導体装置の構成を説明する図。
 【図 1 9】本発明の半導体装置の構成を説明する図。
 【図 2 0】本発明の半導体装置の構成を説明する図。
 【図 2 1】本発明の半導体装置の構成を説明する図。
 【図 2 2】本発明の半導体装置の構成を説明する図。 10
 【図 2 3】本発明の半導体装置の構成を説明する図。
 【図 2 4】本発明の半導体装置の構成を説明する図。
 【図 2 5】本発明の半導体装置の構成を説明する図。
 【図 2 6】本発明の半導体装置の構成を説明する図。
 【図 2 7】本発明の半導体装置の構成を説明する図。
 【図 2 8】本発明の半導体装置の構成を説明する図。
 【図 2 9】本発明の半導体装置の構成を説明する図。
 【図 3 0】本発明の半導体装置の構成を説明する図。
 【図 3 1】本発明の半導体装置の構成を説明する図。
 【図 3 2】本発明の半導体装置の構成を説明する図。 20
 【図 3 3】本発明の半導体装置の構成を説明する図。
 【図 3 4】本発明の半導体装置の構成を説明する図。
 【図 3 5】本発明の半導体装置の構成を説明する図。
 【図 3 6】本発明の半導体装置の構成を説明する図。
 【図 3 7】本発明が適用される表示装置の構成を説明する図。
 【図 3 8】本発明が適用される表示装置の構成を説明する図。
 【図 3 9】本発明の半導体装置の構成を説明する図。
 【図 4 0】本発明の半導体装置の構成を説明する図。
 【図 4 1】本発明の半導体装置の構成を説明する図。
 【図 4 2】本発明が適用される電子機器の図。 30
 【図 4 3】本発明の半導体装置の構成を説明する図。
 【図 4 4】従来の半導体装置の電位の時間変化を表す図。
 【図 4 5】従来の半導体装置の電位の時間変化を表す図。
 【発明を実施するための形態】

【 0 0 4 2 】

(実施の形態 1)

本発明は、発光素子に流れる電流値によって発光輝度を制御することが可能な素子で画素を形成する。代表的には E L 素子を適用することができる。E L 素子の構成としては種々知られたものがあるが、電流値により発光輝度を制御可能なものであれば、どのような素子構造であっても本発明に適用することができる。すなわち、発光層、電荷輸送層または電荷注入層を自由に組み合わせて E L 素子を形成するものであり、そのための材料として、低分子系有機材料、中分子系有機材料(昇華性を有さず、かつ、分子数が 2 0 以下または連鎖する分子の長さが 1 0 μ m 以下の有機発光材料)や高分子系有機材料を用いることができる。また、これらに無機材料を混合または分散させたものを用いても良い。 40

【 0 0 4 3 】

まず、図 1 に、本発明の基本原理に基づく構成について示す。配線 1 0 7 に、電流源 1 0 1 と、電流源 1 0 1 の電流を入力し、信号を書き込む対象であるトランジスタ 1 0 2 とが接続されている。トランジスタ 1 0 2 のゲート端子には、ゲート電位を保持するため、容量素子 1 0 3 が接続され、この容量素子 1 0 3 に配線 1 0 6 が接続されている。なお、この容量素子 1 0 3 は、トランジスタのゲート容量などを用いることにより、削除するこ 50

とも可能である。

【 0 0 4 4 】

なお、図 1 では、トランジスタ 1 0 2 のゲート端子とドレイン端子が接続されているが、これに限定されない。図 1 は、電流源 1 0 1 の電流をトランジスタ 1 0 2 に流して、信号を書き込んでいるときの接続状況を示している。したがって、図 2 に示すように、トランジスタ 1 0 2 のゲート端子とドレイン端子の間や、トランジスタ 1 0 2 のドレイン端子や配線 1 0 7 の間などに、スイッチ 2 0 2 ~ 2 0 4 が配置されていたり、信号線や発光素子などの負荷 2 0 1 などが配置されている場合もある。また、図 3 のように、トランジスタ 1 0 2 とカレントミラー回路を構成するトランジスタ 3 0 2 が配置される場合もある。また、図 4 や図 5 のように、配線 1 0 7 に負荷 2 0 1 が接続されている場合もある。また、図 5 のように配線 1 0 7 にスイッチ 5 0 1、5 0 2 が接続されている場合もある。このように、様々な構成をとることが出来る。

10

【 0 0 4 5 】

なお、図 2 などにおける負荷 2 0 1 は、何でもよい。抵抗などのような素子でも、トランジスタでも、E L 素子でも、そのほかの発光素子でも、トランジスタと容量とスイッチなどで構成された電流源回路でも、何かの回路が接続された配線でもよい。信号線でも、信号線とそれに接続された画素でもよい。その画素には、E L 素子や F E D で用いる素子など、どのような表示素子を含んでいてもよい。

【 0 0 4 6 】

そして、配線 1 0 7 には、プリチャージ回路 1 1 1 が接続されている。プリチャージ回路 1 1 1 は、プリチャージスイッチ 1 1 2、比較制御回路 1 1 4 などから構成されている。

20

【 0 0 4 7 】

次に、図 1 の回路の動作について述べる。まず、電流源 1 0 1 からトランジスタ 1 0 2 に電流が供給される。そして、そのときの配線 1 0 7 の電位が、比較制御回路 1 1 4 の第 1 入力端子 1 1 6 に供給される。一方、比較制御回路 1 1 4 の配線 1 1 8 には、所定の電位が供給されている。配線 1 1 8 の電位は、電流源 1 0 1 からトランジスタ 1 0 2 に電流が供給されて、定常状態になったときの配線 1 0 7 の電位と概ね等しいことが望ましい。

【 0 0 4 8 】

比較制御回路 1 1 4 では、第 1 入力端子 1 1 6 の電位と第 2 入力端子 1 1 7 の電位とを比較して、出力端子 1 1 5 からプリチャージスイッチ 1 1 2 を制御する。つまり、第 1 入力端子 1 1 6 の電位と第 2 入力端子 1 1 7 の電位に、所定の大きさよりも大きな差があれば、プリチャージスイッチ 1 1 2 をオンにして、配線 1 1 3 から配線 1 0 7 に電荷が供給される。第 1 入力端子 1 1 6 の電位と第 2 入力端子 1 1 7 の電位に関して、所定の大きさよりも小さな差になれば、プリチャージスイッチ 1 1 2 をオフにして、配線 1 1 3 から配線 1 0 7 への電荷の供給が止まる。そして、電流源 1 0 1 からのみ、トランジスタ 1 0 2 に電流が供給されるようになる。

30

【 0 0 4 9 】

このように、プリチャージスイッチ 1 1 2 をオンにして、配線 1 0 7 に対して、プリチャージ動作を行う。なお、プリチャージスイッチ 1 1 2 がオンになる期間や、オフになるタイミングは、比較制御回路 1 1 4 によって、配線 1 0 7 の電位を検出しながら、制御される。したがって、プリチャージを行う期間を、適切に制御することができる。また、プリチャージスイッチ 1 1 2 がオンのとき、配線 1 0 7 の電位は、配線 1 1 3 の電位に、急速に近づく。なぜなら、プリチャージスイッチ 1 1 2 がオフになるときの配線 1 0 7 の電位と、配線 1 1 3 の電位とは、必ずしも、等しくない。したがって、時定数よりも短い期間で、配線 1 0 7 の電位は、配線 1 1 3 の電位に近づけることができる。そして、配線 1 0 7 の電位は、配線 1 1 3 の電位に十分近くなったら、比較制御回路 1 1 4 によってプリチャージスイッチ 1 1 2 がオフになり、配線 1 1 3 から配線 1 0 7 への電荷の供給が止まる。

40

【 0 0 5 0 】

50

この場合の、配線 107 の電位の時間変化を表したグラフを図 8 に示す。配線 107 の初期電位を V_3 とする。そして、電流源 101 から電流を供給して、定常状態になったときの配線 107 の電位が、図 8 (a) の場合は $V_{1a'}$ 、図 8 (b) の場合は $V_{1b'}$ 、図 8 (c) の場合は $V_{1c'}$ になるものとする。また、 $V_3 > V_{1a'} > V_{1b'} > V_{1c'}$ であるとする。そして、配線 118 の電位は、図 8 (a) の場合は V_{1a} 、図 8 (b) の場合は V_{1b} 、図 8 (c) の場合は V_{1c} であるとする。また、配線 113 の電位は、 $V_{1c'}$ より低い電位であればよい。たとえば、配線 105 の電位と等しくても良い。

【0051】

あるいは、 $V_{1c'}$ よりも低い電圧であれば、0V や負の電源電圧でもよい。この場合は、初期電圧 V_3 よりも低い電圧で定常状態となるので、配線 113 の電位は、出来るだけ低い方が望ましい。その結果、時定数よりも短い期間で、配線 107 の電位を配線 113 の電位に近づけることが出来る。よって、配線 107 の電位を $V_{1a'}$ 、 $V_{1b'}$ 、 $V_{1c'}$ などに充電するための時間も、短くすることが出来る。つまり、すばやくプリチャージすることが出来る。

10

【0052】

図 8 (a) の場合、時間 T_3 までの間、プリチャージスイッチ 112 がオンになり、配線 107 の電位が急激に変化する。そして、時間 T_3 になると、配線 107 の電位が配線 118 の電位 V_{1a} に等しくなり、プリチャージスイッチ 112 がオフになる。すると、トランジスタ 102 には、電流源 101 から流れる電流のみが流れるようになり、時間 T_4 になると、配線 107 の電位は、 $V_{1a'}$ となり、定常状態となる。

20

【0053】

図 8 (b) の場合は、時間 T_4 になって、ようやく、配線 107 の電位と配線 118 の電位とが等しくなり、プリチャージスイッチ 112 がオフになる。つまり、時間 T_4 までの間、プリチャージが行われることになる。その後、トランジスタ 102 には、電流源 101 から流れる電流のみが流れるようになり、時間 T_5 になると、配線 107 の電位は、 $V_{1b'}$ となり、定常状態となる。

【0054】

図 8 (c) の場合は、時間 T_5 になって、ようやく、配線 107 の電位と配線 118 の電位とが等しくなり、プリチャージスイッチ 112 がオフになる。つまり、時間 T_5 までの間、プリチャージが行われることになる。その後、トランジスタ 102 には、電流源 101 から流れる電流のみが流れるようになったあと、定常状態となる。

30

【0055】

このように、図 8 からわかるように、初期電位と、定常状態になったときの電位との差から、最適な期間だけ、プリチャージスイッチ 112 がオンになり、プリチャージを行う。プリチャージが行われる期間に、無駄な期間がないため、プリチャージの後は、その分だけより長い期間をかけて、電流源 101 からトランジスタ 102 に電流を供給して、トランジスタ 102 のばらつきの影響を低減するように出来る。

【0056】

なお、電流源 101 からトランジスタ 102 に電流を供給して、設定動作を行うことにより、トランジスタ 102 の電流特性がばらついていても、そのばらつきを補正することができ、トランジスタ 102 が所定の大きさの電流を供給することが可能となる。そのためには、電流源 101 からトランジスタ 102 に電流を供給して、定常状態にする必要がある。つまり、信号の書き込みを完了させる必要がある。信号の書き込みが完了する前に、電流源 101 からトランジスタ 102 への電流の供給が止まってしまうと、トランジスタ 102 の電流特性のばらつきを補正することが出来ない。よって、電流源 101 からトランジスタ 102 に電流を供給して、設定動作を行う期間は、信号の書き込みを完了できるようにするため、十分長く出来るほうが望ましい。

40

【0057】

なお、図 1 では、電流源 101 からトランジスタ 102 の方に電流が流れ、かつ、トランジスタ 102 が N チャンネル型の場合について述べたが、これに限定されない。図 9 に示

50

すように、容易に、電流の流れる向きを逆にして、トランジスタ902の極性をPチャンネル型にすることが出来る。また、トランジスタ902は配線907、保持容量903、配線905に接続されている。また、配線907は電流源901に接続され、電流源901は配線904に接続されている。また、保持容量903は配線906に接続されている。

【0058】

なお、電流源101からトランジスタ102の方に電流が流れ、かつ、トランジスタ102をPチャンネル型の場合にする場合は、図10に示すようにすればよい。なお、このとき、トランジスタ1002のソース電位の変動の影響を受けにくくするためには、配線1006をトランジスタ1002のソース端子に接続することが望ましい。また、配線1006とトランジスタ1002の間に保持容量1003を設けてもよい。図9に対して、トランジスタの極性を変える場合は、図11のように配線907にトランジスタ1102を接続し、トランジスタ1102に配線905と保持容量1103と配線1106を接続することが望ましい。

10

【0059】

また、配線113は、図12に示すように、電圧源1201と配線1204が接続されていてもよいし、図13に示すように、電流源1301と配線1304が接続されていてもよい。あるいは、配線104や配線105などに接続されていてもよい。あるいは、オペアンプや、電流供給能力の高いトランジスタ（例えば、バイポーラトランジスタなど）に接続されていてもよい。つまり、配線107の電位を比較制御回路114を用いて検出しながらプリチャージを行うため、十分大きな電荷を供給できるようになっていればよい。

20

【0060】

なお、図1で述べたプリチャージだけでなく、別のプリチャージ動作を組み合わせてもよい。同じ出願人による特願2003-019240号出願、特願2003-055018号出願、特願2003-131824号出願などに出願されており、さまざまなプリチャージ技術が開示されており、その内容を本発明と組み合わせることが出来る。

【0061】

つまり、比較制御回路2014で配線107の電位を検出する。スイッチ1912a、スイッチ1912bや電源線などが、回路2013の中に配置されている。そして、比較制御回路2014での電位検出結果を端子2021に入力する。それにより、回路2013の中に配置されているスイッチ1912aやスイッチ1912bを制御する。そして、端子2020から、所定の電圧が供給される。

30

【0062】

なお、図1などに示すスイッチは、電氣的スイッチでも機械的なスイッチでも何でも良い。電流の流れを制御できるものなら、何でも良い。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ V_{ss} 、 V_{gnd} 、 $0V$ など）に近い状態で動作する場合はNチャンネル型を、反対に、ソース端子の電位が、高電位側電源（ V_{dd} など）に近い状態で動作する場合はPチャンネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、Nチャンネル型とPチャンネル型の両方を用いて、CMOS型のスイッチにしてもよい。

40

【0063】

（実施の形態2）

図8では、最も一般的な場合として、配線107の初期電位が、定常状態になったときの電位よりも高い場合について示した。しかし、実際には、配線107の初期電位の方が

50

低い場合もある。そこで、初期電位の高低にかかわらず、プリチャージする場合について述べる。

【0064】

まず、構成例として、複数のプリチャージ回路111a、111bを配置した場合を図14に示す。配線113aの電位が高く、配線113bの電位が低いものとする。したがって、例えば、配線113aが配線104と接続されており、配線113bが配線105と接続されていてもよい。

【0065】

そして、配線107の電位が、低い場合は、プリチャージスイッチ112aがオンになり、配線113aから電荷が供給され、配線107の電位が急激に上昇する。あるいは、配線107の電位が、高い場合は、プリチャージスイッチ112bがオンになり、配線113bから電荷が供給され、配線107の電位が急激に低下する。これにより、プリチャージを行うことが出来る。なお、出力端子115a、115bがプリチャージスイッチ112a、112bの制御を行う。

【0066】

そこで例えば、比較制御回路114aが、第1入力端子116aの電位が、第2入力端子117aの電位以上になったら、プリチャージスイッチ112aをオフにし、比較制御回路114bが、第1入力端子116bの電位が、第2入力端子117bの電位以下になったら、プリチャージスイッチ112bをオフにするものとする。その場合の第2入力端子117aと第2入力端子117bの電位のグラフを図15に示す。横軸は、電流源101から供給される電流の大きさであり、縦軸は、第2入力端子117aと第2入力端子117bの電位である。第2入力端子117aは、グラフ1503であり、第2入力端子117bはグラフ1502である。定常状態のときの配線107の電位は、グラフ1501のようになる。つまり、配線107の電位が、グラフ1502からグラフ1503までの間の値を取る場合は、プリチャージスイッチ112a、112bが両方ともオフすることになる。配線107の電位がグラフ1503の電位よりも低い場合は、プリチャージスイッチ112aがオンになって急速に電位が上昇し、グラフ1502の電位よりも高い場合は、プリチャージスイッチ112bがオンになって急速に電位が低下する。そして、配線107の電位が、グラフ1502からグラフ1503までの間の値になると、プリチャージスイッチ112a、112bが両方ともオフし、電流源101からのみ電流が供給されて、電流設定が行われるようになる。

【0067】

もし、どれだけ時間が経過しても、プリチャージスイッチ112a、112bが、両方ともオフにならない場合は、電流源101からの電流のみをトランジスタ102に供給することができなくなる。それは、ずっとプリチャージを行い続けることに相当し、トランジスタ102の電流特性のばらつきを補正することが出来なくなる。よって、配線107の電位が、定常状態になったときの電位に概ねひとしくなったら、プリチャージを行わないようにする必要がある。

【0068】

そのために、図14の構成の場合は、配線118a、118bの電位を、図15のように調節する必要がある。あるいは、比較制御回路114aや比較制御回路114bを各々調節して、配線107の電位が、定常状態になったときの電位に概ねひとしくなったら、プリチャージスイッチ112a、112bの両方がオフになるようにしてもよい。

【0069】

なお、図15において、グラフ1502とグラフ1503の幅は、トランジスタ102の電流特性のばらつき具合を考慮して決めればよい。

【0070】

また、ある程度の時間が経過したら、強制的にプリチャージを停止するようにしてもよい。例えば、図16のように、プリチャージスイッチ112と直列にスイッチ1612を設けて、強制的にプリチャージを停止してもよい。あるいは、図17のように、比較制御

10

20

30

40

50

回路 1 1 4 の出力を制御回路 1 7 1 4 に入力し、制御用入力端子 1 7 1 7 へ入力される信号とを組み合わせ、出力端子 1 7 1 5 からプリチャージスイッチ 1 1 2 を制御してもよい。この場合、制御用入力端子 1 7 1 7 へ入力される信号を用いて、強制的にプリチャージを停止するようにすればよい。

【 0 0 7 1 】

次に、別の構成例を図 1 8 に示す。プリチャージ回路 1 8 1 1 内の配線 1 8 1 3 a の電位が高く、配線 1 8 1 3 b の電位が低いものとする。そして、配線 1 0 7 の電位が、低い場合は、プリチャージスイッチ 1 8 1 2 a がオンになり、配線 1 8 1 3 a から電荷が供給され、配線 1 0 7 の電位が急激に上昇する。あるいは、配線 1 0 7 の電位が、高い場合は、プリチャージスイッチ 1 8 1 2 b がオンになり、配線 1 8 1 3 b から電荷が供給され、配線 1 0 7 の電位が急激に低下する。

10

【 0 0 7 2 】

比較制御回路 1 8 1 4 には、入力端子 1 8 1 6 と入力端子 1 8 1 7 と、第 1 出力端子 1 8 1 5 a と第 2 出力端子 1 8 1 5 b とがあり、各々、プリチャージスイッチ 1 8 1 2 a とプリチャージスイッチ 1 8 1 2 b とを制御している。配線 1 8 1 8 には、配線 1 0 7 が定常状態になったときの電位と概ね等しい電位が供給されている。そして、比較制御回路 1 8 1 4 は、配線 1 0 7 の電位に応じて、プリチャージスイッチ 1 8 1 2 a とプリチャージスイッチ 1 8 1 2 b のどちらかをオンにするか、両方ともオフにするように制御する。つまり、図 1 5 に示すように、配線 1 0 7 の電位がグラフ 1 5 0 3 よりも低い場合は、プリチャージスイッチ 1 8 1 2 a がオンになり、配線 1 0 7 の電位がグラフ 1 5 0 2 よりも高い場合は、プリチャージスイッチ 1 8 1 2 b がオンになるように、比較制御回路 1 8 1 4 が制御する。

20

【 0 0 7 3 】

さらに別の構成を図 1 9 に示す。図 1 9 の構成の場合、配線 1 0 7 は、スイッチ 1 9 1 2 b を介して高い電位と接続され、また、スイッチ 1 9 1 2 a を介して低い電位と接続されている。配線 1 0 7 の電位をあげる必要がある場合はスイッチ 1 9 1 2 b がオンになり、配線 1 0 7 の電位を下げる必要がある場合はスイッチ 1 9 1 2 a がオンになる。これにより、配線 1 0 7 の初期電位の高低にかかわらず、プリチャージすることができる。

【 0 0 7 4 】

なお、スイッチ 1 9 1 2 a、1 9 1 2 b の制御は、比較制御回路と同様に、配線 1 0 7 の電位を検出して、所定の電位と比較することにより、行えばよい。また、スイッチ 1 9 1 2 a、1 9 1 2 b にはそれぞれ電圧源 1 9 0 1 a、1 9 0 1 b が接続され、電圧源 1 9 0 1 a、1 9 0 1 b にはそれぞれ配線 1 9 0 4 a、1 9 0 4 b が接続されている。この場合のブロック図を図 2 0 に示す。

30

【 0 0 7 5 】

つまり、比較制御回路 2 0 1 4 で配線 1 0 7 の電位を検出する。スイッチ 1 9 1 2 a、スイッチ 1 9 1 2 b や電源線などが、回路 2 0 1 3 の中に配置されている。そして、比較制御回路 2 0 1 4 での電位検出結果を端子 2 0 2 1 に入力する。それにより、回路 2 0 1 3 の中に配置されているスイッチ 1 9 1 2 a やスイッチ 1 9 1 2 b を制御する。そして、端子 2 0 2 0 から、所定の電圧が供給される。なお、比較制御回路 2 0 1 4 には、入力端子 2 0 1 6、2 0 1 7 と出力端子 2 0 1 5 が接続されており、入力端子 2 0 1 7 には配線 2 0 1 8 が接続されている。

40

【 0 0 7 6 】

次に、別の構成例を示す。図 2 1 には、配線 1 0 7 の電位を初期化する場合について述べる。まず、スイッチ 2 1 1 2 をオンにして、配線 1 0 7 の電位を配線 2 1 1 3 の電位に初期化する。例えば、配線 1 0 7 の電位を高くする。その後、図 1 の場合と同様にして、比較制御回路 1 1 4 を用いてプリチャージスイッチ 1 1 2 を制御してプリチャージを行う。

【 0 0 7 7 】

図 2 1 の場合は、配線 1 0 7 の初期電位が、定常状態になったときの電位よりも高い (

50

もしくは低い)場合のみであるとして、動作させればよい。なお、配線 2 1 1 3 の電位は、高くすることに限定されない。電位を低くしたあと、動作させてもよい。

【0078】

なお、プリチャージ回路 2 1 1 1 内のスイッチ 2 1 1 2 とプリチャージスイッチ 1 1 2 とが両方ともオンしないように、制御することが望ましい。

【0079】

なお、本実施の形態で説明した内容は、実施の形態 1 で説明した構成を利用したものに相当するがこれに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態 1 で説明した内容は、本実施の形態にも適用できる。

【0080】

(実施の形態 3)

次に、比較制御回路の具体例について述べる。まず、図 2 2 に、オペアンプ 2 2 1 4 を用いて比較制御回路を構成した場合の図を示す。図 2 2 の場合は、非反転端子が配線 1 1 8 に接続され、反転端子が配線 1 0 7 に接続されている。したがって、配線 1 0 7 の電位が低い場合は、出力端子 1 1 5 の電位が高くなる。配線 1 1 3 の電位が高い場合は、配線 1 0 7 の電位が低いときにプリチャージが行われればよいので、その場合には、スイッチ 1 1 2 がオンするようにすればよい。

【0081】

なお、配線 1 0 7 の電位が高い場合に、出力端子 1 1 5 の電位が高くなるようにしたい場合は、例えば、図 2 3 のように、オペアンプ 2 2 1 4 の出力の先にインバータを接続して、データを反転させてもよいし、図 2 4 のように、オペアンプの非反転端子と反転端子との接続を逆にしてもよい。

【0082】

したがって、例えば図 1 4 の場合は、図 2 5 のようにオペアンプ 2 2 1 4 a、2 2 1 4 b を用いて構成すればよい。

【0083】

なお、オペアンプを用いる場合、オペアンプのオフセット電圧に注意する必要がある。よって、公知の方法を用いて、オフセットをキャンセルする方法を用いてもよい。あるいは、逆に、故意にオフセットを生じるようにオペアンプを調節し、図 1 5 に示したように、グラフ 1 5 0 1 ではなく、そこから少しずれたグラフ 1 5 0 2 やグラフ 1 5 0 3 で、出力結果が変わるようにしてもよい。

【0084】

このように、比較制御回路をオペアンプを用いて構成した場合について示したが、これに限定されない。ある電位と別の電位を比較して、その大小関係によって出力結果が変わるような回路、つまり、コンパレータ回路や差動回路などを用いれば、比較制御回路を構成することは可能である。

【0085】

そこで、コンパレータ回路として、オペアンプ以外の回路を用いて、比較制御回路を構成した場合を図 2 6 に示す。図 2 6 は、インバータ 2 6 2 1 や容量素子 2 6 2 2 を用いており、いわゆる、チョッパインバータコンパレータ 2 6 1 4 と呼ばれる回路である。ただし、この構成を用いる場合は、まず、初期化して、容量素子 2 6 2 2 に適切な電荷を蓄積させる必要がある。まず、配線 1 1 8 に所定の電位を供給し、スイッチ 2 6 2 6、2 6 2 4 をオンにし、スイッチ 2 6 2 5 をオフにする。スイッチ 2 6 2 3 は、オフの方が望ましい。この初期化動作によって、チョッパインバータコンパレータの出力が変化する電位が記憶される。その後、スイッチ 2 6 2 4、2 6 2 6 をオフにし、スイッチ 2 6 2 5 をオンにして、コンパレータとして動作させる。

【0086】

なお、出力端子 1 1 5 の電位を逆にしたい場合は、図 2 7 に示すように、インバータ 7 2 1 を追加すればよい。

【0087】

10

20

30

40

50

比較制御回路として、オペアンプを用いた場合は、初期化の必要がなく、オフセット電圧を故意に生じさせて、図15のように動作させることが出来る。しかしながら、回路規模が大きくなったり、オペアンプ中の定常電流の影響で消費電力が増加したりしてしまう。一方、比較制御回路として、チョッパインバータコンパレータを用いた場合は、オフセット電圧が生じないため、ばらつきの影響を受けにくい。また、回路規模も小さくでき、消費電力も抑えることが出来る。ただし、初期化を行う必要があり、動作が複雑になる。

【0088】

あるいは、オペアンプを構成している回路の一つである、差動回路を用いても良い。差動回路だけなら、回路規模も小さく、消費電力も少なくても問題ない。この他にも、ソース接地増幅回路など、さまざまな回路を用いて、比較制御回路を構成できるため、本実施の形態に制限されない。

10

【0089】

なお、本実施の形態で説明した内容は、実施の形態1、2で説明した構成を具体的に述べたものに相当するがこれに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1、2で説明した内容は、本実施の形態にも適用できる。また、本実施の形態は、実施の形態1、2と容易に組み合わせることが出来る。

【0090】

(実施の形態4)

次に、比較制御回路の第2入力端子117(もしくは配線118)の電位を決定する手段について述べる。この電位は、定常状態になったときの配線107の電位とおおむね等しいか、あるいは、図15のように、わずかに大きいか、わずかに小さい、という値にすることが望ましい。

20

【0091】

定常状態になったときの配線107の電位は、電流源101が流す電流の大きさによっても変わるし、トランジスタ102のチャンネル長 L やチャンネル幅 W や移動度やしきい値電圧などによっても変わる。したがって、それに合わせた電位を比較制御回路の第2入力端子117(もしくは配線118)に供給する必要がある。

【0092】

そこで、ダミー電流をダミートランジスタに流して、電位を取得する場合の構成を図28に示し、図1の構成に組み合わせた場合を図29に示す。

30

【0093】

もし、比較制御回路の第2入力端子117の電位を、定常状態になったときの配線107の電位と概ね等しくする場合は、ダミー電流源101Zが供給する電流の大きさを、電流源101が供給する電流の A 倍にして、かつ、ダミートランジスタ102Zの W/L を、トランジスタ102の W/L の A 倍にすればよい。そのようにすれば、比較制御回路の第2入力端子117の電位と、定常状態になったときの配線107の電位とは、概ね等しくなる。なお、ダミー電流源101Zは配線104Zと接続され、ダミートランジスタ102Zは配線105Zと接続されている。

【0094】

比較制御回路の第2入力端子117の電位を、定常状態になったときの配線107の電位よりも低くする場合は、ダミー電流源101Zが供給する電流の大きさを、電流源101が供給する電流の B 倍にして、かつ、ダミートランジスタ102Zの W/L を、トランジスタ102の W/L の C 倍にすればよい。ここで、 $B < C$ とすればよい。その結果、ダミートランジスタ102Zのゲート・ソース間電圧が小さくなるため、比較制御回路の第2入力端子117の電位を低くすることが出来る。

40

【0095】

逆に、比較制御回路の第2入力端子117の電位を、定常状態になったときの配線107の電位よりも高くする場合は、 $B > C$ とすればよい。その結果、ダミートランジスタ102Zのゲート・ソース間電圧が大きくなるため、比較制御回路の第2入力端子117の電位を高くすることが出来る。なおここで、 A 、 B 、 C は、0より大きい任意の数である

50

。

【 0 0 9 6 】

なお、 $A < 1$ （または $B < 1$ 、 $C < 1$ ）として、ダミー電流源 1 0 1 Z が供給する電流の大きさを小さくすれば、電流値が小さいため、消費電力を少なくすることが出来る。また、ダミー電流源 1 0 1 Z やダミートランジスタ 1 0 2 Z の大きさを小さく出来るので、レイアウト面積を小さくでき、額縁を小さく出来る。

【 0 0 9 7 】

ただし、図 2 9 の構成の場合は、比較制御回路の第 2 入力端子 1 1 7 に電位を供給しつづけるためには、ダミー電流源 1 0 1 Z が電流を供給し続ける必要があり、消費電力が大きくなる。そこで、図 3 0 に示すように、比較制御回路の第 2 入力端子 1 1 7 の電位を保持できるようにするため、容量素子 3 1 0 4 を設けてもよい。容量素子 3 1 0 4 を使って電荷を保存し、スイッチ 3 1 0 3 をオフすることにより、比較制御回路の第 2 入力端子 1 1 7 の電位が保たれる。スイッチ 3 1 0 3 がオフした後は、ダミー電流源 1 0 1 Z が電流を供給しつづける必要はない。よって、電流を止めたり、あるいは、ダミー電流源 1 0 1 Z の先にスイッチを設けて、電流が流れないようにしてもよい。

10

【 0 0 9 8 】

このように、図 2 9 や図 3 0 では、ダミー電流源 1 0 1 Z を用いていたが、電流源 1 0 1 を用いて、ダミートランジスタに電流を供給してもよい。この場合の構成図を図 3 1 に示す。

【 0 0 9 9 】

まず、スイッチ 3 1 0 2 をオフにして、スイッチ 3 1 0 1、3 1 0 3 をオンにして、ダミートランジスタ 1 0 2 Z の方に電流を流す。そして、容量素子 3 1 0 4 に電荷を蓄積する。その後、スイッチ 3 1 0 2 をオンにして、スイッチ 3 1 0 1、3 1 0 3 をオフにして、トランジスタ 1 0 2 の方に電流を流すようにする。

20

【 0 1 0 0 】

なお、比較制御回路の第 2 入力端子 1 1 7 の電位を、定常状態になったときの配線 1 0 7 の電位と概ね等しくする場合は、ダミートランジスタ 1 0 2 Z の W / L を、トランジスタ 1 0 2 の W / L と同じ大きさにすればよい。比較制御回路の第 2 入力端子 1 1 7 の電位を、定

常状態になったときの配線 1 0 7 の電位よりも低くする場合は、ダミートランジスタ 1 0 2 Z の W / L を、トランジスタ 1 0 2 の W / L よりも大きくすればよい。逆に、比較制御回路の第 2 入力端子 1 1 7 の電位を、定常状態になったときの配線 1 0 7 の電位よりも高くする場合は、ダミートランジスタ 1 0 2 Z の W / L を、トランジスタ 1 0 2 の W / L よりも小さくすればよい。このように、ダミートランジスタ 1 0 2 Z の W / L を調節して、ダミートランジスタ 1 0 2 Z のゲート・ソース間電圧を制御すればよい。

30

【 0 1 0 1 】

このように、図 2 9 ~ 図 3 1 に示したように、電流が流れる向き（電流源からトランジスタへ、または、トランジスタから電流源へ）を、ダミー電流源 1 0 1 Z とダミートランジスタ 1 0 2 Z の場合と、電流源 1 0 1 とトランジスタ 1 0 2 の場合とで、一致させ、かつ、ダミートランジスタ 1 0 2 Z とトランジスタ 1 0 2 の極性を一致させることが望ましい。これにより、電流源 1 0 1 が供給する電流の大きさに関わらず、適切な電位を、比較制御回路の第 2 入力端子 1 1 7 に供給することが可能となる。

40

【 0 1 0 2 】

したがって、図 1 の場合は図 2 8 の構成を用いることが望ましく、同様に、図 9 の場合は図 3 2 の構成を用い、図 1 0 の場合は図 3 3 の構成を用い、図 1 1 の場合は図 3 4 の構成を用いることが望ましい。

【 0 1 0 3 】

なお、図 3 2 ではダミートランジスタ 9 0 2 Z は配線 9 0 5 Z とダミー電流源 9 0 1 Z と接続され、ダミー電流源 9 0 1 Z は配線 9 0 4 Z と接続されている。また、図 3 3 ではダミー電流源 1 0 1 Z と配線 1 0 5 Z の間にダミートランジスタ 1 0 0 2 Z が接続されて

50

いる。また、図34ではダミー電源901Zと配線905Zの間にダミートランジスタ102Zが接続されている。

【0104】

なお、トランジスタ102と、ダミートランジスタ102Zとは、出来るだけ、特性がそろっていることが望ましい。なぜなら、電流特性がばらついてしまうと、正確な電位にすることが難しくなるためである。よって、トランジスタを作成する過程において、できるだけ、電流特性が揃うように工夫することが望ましい。例えば、トランジスタ102とダミートランジスタ102Zの半導体層にレーザを照射して製造する場合、トランジスタ102とダミートランジスタ102Zの電流特性が揃うようにレーザを照射することが望ましい。

10

【0105】

なお、本実施の形態で説明した内容は、実施の形態1～3で説明した構成の一部を具体的に述べたものに相当するがこれに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1～3で説明した内容は、本実施の形態にも適用できる。また、本実施の形態は、実施の形態1～3と容易に組み合わせることが出来る。

【0106】

(実施の形態5)

図1などでは、配線107に対して、1つのトランジスタ102が接続されていた。そこで次に、配線107に対して、複数のトランジスタが接続されている場合について述べる。

20

【0107】

図35に、図14の構成で、トランジスタが複数接続されている場合について示す。トランジスタ102a、102bが、配線107に対して、複数接続されているトランジスタに相当する。トランジスタ102aやスイッチ202a、203a、204a、容量素子103a、負荷201aなどで1つのまとまりとなっている。負荷201aが発光素子などの場合は、このまとまりが画素に相当し、電流源101などが信号線駆動回路（もしくはその一部）に相当することになる。あるいは、負荷201aが信号線や信号線に接続された画素などの場合は、このまとまりが信号線駆動回路（もしくはその一部）に相当し、電流源101などが信号線駆動回路（もしくはその一部）に電流を供給する回路に相当することになる。

30

【0108】

なお、図35では、図14での配線113aが第1電源線に相当する配線104に接続され、図14での配線113bが第2電源線に相当する配線3604に接続されている。ここで、トランジスタ102aやスイッチ202a、203a、204a、容量素子103aを、単位回路3504aと呼ぶことにする。また、トランジスタ102bやスイッチ202b、203b、204b、容量素子103bを、単位回路3504bと呼ぶことにする。

【0109】

なお、図35では、配線107に、2個のトランジスタ102a、102bが接続されているが、つまり、単位回路3504a、負荷201aや単位回路3504b、負荷201bなどが2個づつ接続されているが、これに限定されない。同様に、さらに多くのトランジスタ（もしくはそのまとまりや単位回路や負荷）を接続することは可能である。

40

【0110】

次に、図35の構成をより具体的に記載した回路図を図36に示す。ただし、図22や図29の構成も、さらに組み合わせている。

【0111】

なお、図35では、配線107に、2個のトランジスタ102a、102bが接続されているが、簡単のため、図36では、配線107に、1個のトランジスタ102aaが接続されているものとする。

50

【0112】

図35での比較制御回路114a、114bが、図36でのオペアンプ114aa、114baに相当する。また、図35でのプリチャージスイッチ112a、112bが、図36でのトランジスタ112aa、112baに相当する。なお、図36では、CMOS構成になっていないが、CMOS構成にしてもよい。ただし、電位が高い配線にPチャンネル型トランジスタ112aaが接続され、電位が低い配線にNチャンネル型トランジスタ112baが接続されているため、CMOS構成にしなくても、正常に動作させることが出来る。

【0113】

また、図35における電流源101が、図36でのトランジスタ101aaに相当する。また、図29におけるダミー電流源101Zが、図36でのトランジスタ101Zaa、101Zbaに相当する。図36のように、トランジスタ101aa、101Zaa、101Zbaのゲート端子を接続することにより、電流源101に相当するトランジスタ101aaが供給する電流に応じた電流が、ダミー電流源101Zに相当するトランジスタ101Zaa、101Zbaから供給することが可能となる。

10

【0114】

なお、オペアンプ114aaには入力端子116aa、117aaが接続され、オペアンプ114baには入力端子116ba、117baが接続されている。また、入力端子117aa、117baにはそれぞれトランジスタ102Zaa、102Zbaが接続され、トランジスタ112aaには配線113aaが接続されている。トランジスタ101Zaa、101aa、101Zbaのゲート電極には配線3601が接続されている。また、図36の配線104aa、3604aaは図35の配線104、3604にそれぞれ対応している。ここで、トランジスタ102a、202aa、203aa、204aaや負荷201a、容量素子103aを、単位回路3504aaと呼ぶことにする。

20

【0115】

なお、画素や信号線駆動回路の構成に関しては、少なくとも電流を入力するような方式であれば、どのような構成でもよい。また、画素に配置されている負荷は、EL素子に限定されない。抵抗などのような素子、トランジスタ、EL素子、その他の発光素子、トランジスタと容量とスイッチなどで構成された電流源回路、任意の回路が接続された配線でもよいし、信号線、信号線とそれに接続された画素でもよい。その画素には、EL素子やFEDで用いる素子、その他電流を流して駆動する素子を含んでいてもよい。

30

【0116】

したがって、同じ出願人による国際公開第03/027997号パンフレットや、特願2002-274680号出願に出願されている内容に対しても本発明に適用したり、本発明と組み合わせることが出来る。

【0117】

なお、また、信号線駆動回路や電流源回路の構成については、国際公開第03/038793号パンフレット、国際公開第03/038794号パンフレット、国際公開第03/038795号パンフレット、国際公開第03/038796号パンフレット、国際公開第03/038797号パンフレットに記載されており、その内容を本発明に適用したり、本発明と組み合わせることが出来る。

40

【0118】

なお、これまで述べてきたさまざまな構成において、スイッチが各部分に配置されているが、その配置場所は、すでに述べた場所に限定されない。正常に動作する場所であれば、任意の場所にスイッチを配置することが可能である。

【0119】

なお、本実施の形態で説明した内容は、実施の形態1~4で説明した構成を応用したものに相当するがこれに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1~4で説明した内容は、本実施の形態にも適用できる。また、本実施の形態は、実施の形態1~4と容易に組み合わせることが出来る。

50

【 0 1 2 0 】

(実施の形態 6)

本実施の形態では、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部や画素に、本発明の回路を適用することができる。

【 0 1 2 1 】

表示装置は、図 3 7 に示すように、画素配列 3 7 0 1、ゲート線駆動回路 3 7 0 2、信号線駆動回路 3 7 1 0 を有している。ゲート線駆動回路 3 7 0 2 は、画素配列 3 7 0 1 に選択信号を順次出力する。信号線駆動回路 3 7 1 0 は、画素配列 3 7 0 1 にビデオ信号を順次出力する。画素配列 3 7 0 1 では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路 3 7 1 0 から画素配列 3 7 0 1 へ入力するビデオ信号は、電流である場合が多い。つまり、各画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路 3 7 1 0 から入力されるビデオ信号（電流）によって、状態を変化させる。画素に配置する表示素子の例としては、E L 素子や F E D（フィールドエミッションディスプレイ）で用いる素子などがあげられる。

10

【 0 1 2 2 】

なお、ゲート線駆動回路 3 7 0 2 や信号線駆動回路 3 7 1 0 は、複数配置されていてもよい。

【 0 1 2 3 】

信号線駆動回路 3 7 1 0 は、構成を複数の部分に分けられる。大まかには、一例として、シフトレジスタ 3 7 0 3、第 1 ラッチ回路（L A T 1）3 7 0 4、第 2 ラッチ回路（L A T 2）3 7 0 5、デジタル・アナログ変換回路 3 7 0 6 に分けられる。デジタル・アナログ変換回路 3 7 0 6 には、電圧を電流に変換する機能も有しており、ガンマ補正を行う機能も有していてもよい。つまり、デジタル・アナログ変換回路 3 7 0 6 には、画素に電流（ビデオ信号）を出力する回路、すなわち、電流源回路を有しており、そこに本発明を適用することが出来る。

20

【 0 1 2 4 】

また、画素は、E L 素子などの表示素子を有している。その表示素子に電流（ビデオ信号）を出力する回路、すなわち、電流源回路を有しており、そこにも、本発明を適用することが出来る。

【 0 1 2 5 】

なお、画素の構成によっては、ビデオ信号用のデジタル電圧信号と、画素の中の電流源回路のための制御用の電流とを、画素に入力する場合がある。その場合は、デジタル・アナログ変換回路 3 7 0 6 は、デジタル・アナログ変換機能ではなく、電圧を電流に変換する機能を有しており、その電流を制御用の電流として画素に出力する回路、すなわち、電流源回路を有しており、そこに本発明を適用することが出来る。

30

【 0 1 2 6 】

そこで、信号線駆動回路 3 7 1 0 の動作を簡単に説明する。シフトレジスタ 3 7 0 3 は、フリップフロップ回路（F F）等を複数列用いて構成され、クロック信号（S - C L K）、スタートパルス（S P）、クロック反転信号（S - C L K b）が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

40

【 0 1 2 7 】

シフトレジスタ 3 7 0 3 より出力されたサンプリングパルスは、第 1 ラッチ回路（L A T 1）3 7 0 4 に入力される。第 1 ラッチ回路（L A T 1）3 7 0 4 には、ビデオ信号線 3 7 0 8 より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。なお、デジタル・アナログ変換回路 3 7 0 6 を配置している場合は、ビデオ信号はデジタル値である。また、この段階でのビデオ信号は、電圧であることが多い。

【 0 1 2 8 】

ただし、第 1 ラッチ回路 3 7 0 4 や第 2 ラッチ回路 3 7 0 5 が、アナログ値を保存できる回路である場合は、デジタル・アナログ変換回路 3 7 0 6 は省略できる場合が多い。そ

50

の場合、ビデオ信号は、電流であることも多い。また、画素配列 3701 に出力するデータが 2 値、つまり、デジタル値である場合は、デジタル・アナログ変換回路 3706 は省略できる場合が多い。

【0129】

第 1 ラッチ回路 (LAT1) 3704 において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線 3709 よりラッチパルス (Latch Pulse) が入力され、第 1 ラッチ回路 (LAT1) 3704 に保持されていたビデオ信号は、一斉に第 2 ラッチ回路 (LAT2) 3705 に転送される。その後、第 2 ラッチ回路 (LAT2) 3705 に保持されたビデオ信号は、1 行分が同時に、デジタル・アナログ変換回路 3706 へと入力される。そして、デジタル・アナログ変換回路 3706 から出力される信号は、画素配列 3701 へ入力される。

10

【0130】

第 2 ラッチ回路 (LAT2) 3705 に保持されたビデオ信号がデジタル・アナログ変換回路 3706 に入力され、そして、画素配列 3701 に入力されている間、シフトレジスタ 3703 においては再びサンプリングパルスが出力される。つまり、同時に 2 つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

【0131】

なお、デジタル・アナログ変換回路 3706 が有している電流源回路が、設定動作と出力動作とを行うような回路である場合、その電流源回路に、電流を流す回路が必要となる。そのような場合、リファレンス用電流源回路 3714 が配置されている。

20

【0132】

なお、信号線駆動回路やその一部は、画素配列 3701 と同一基板上に存在せず、例えば、外付けの IC チップを用いて構成されることもある。

【0133】

なお、信号線駆動回路などの構成は、図 37 に限定されない。

【0134】

例えば、第 1 ラッチ回路 3704 や第 2 ラッチ回路 3705 が、アナログ値を保存できる回路である場合、図 38 に示すように、リファレンス用電流源回路 3714 から第 1 ラッチ回路 (LAT1) 3704 に、ビデオ信号 (アナログ電流) が入力されることもある。また、図 38 において、第 2 ラッチ回路 3705 が存在しない場合もある。そのような場合は、第 1 ラッチ回路 3704 に、より多くの電流源回路が配置されている場合が多い。

30

【0135】

なお、具体的な構成などは、特願 2002 - 287997 号出願、特願 2002 - 288104 号出願、特願 2002 - 288043 号出願、特願 2002 - 287921 号出願、特願 2002 - 287948 号出願などに記載されているため、その内容を本願と組み合わせることが出来る。

【0136】

このような場合、図 37 における、デジタル・アナログ変換回路 3706 の中の電流源回路に、本発明を適用することが出来る。デジタル・アナログ変換回路 3706 の中に、たくさんのユニット回路があり、リファレンス用電流源回路 3714 に、電流源 101 が配置されている。

40

【0137】

あるいは、図 38 における、第 1 ラッチ回路 (LAT1) 3704 の中の電流源回路に、本発明を適用することが出来る。LAT

【0138】

あるいは、図 37、図 38 における画素配列 3701 の中の画素 (その中の電流源回路) に、本発明を適用することが出来る。画素配列 3701 の中に、沢山の電流源回路があり、信号線駆動回路 3710 に、電流源 101 が配置されている。

【0139】

50

つまり、回路の様々な部分に、電流を供給するような回路が存在する。そのような電流源回路は、正確な電流を出力する必要がある。そのため、別の電流源回路を用いて、トランジスタが正確な電流が出力できるように設定を行う。別の電流源回路も、正確な電流を出力する必要がある。したがって、図39、図40、図41に示すように、ある場所に、基本となる電流源回路があり、そこから電流源トランジスタを次々に設定していく。それにより、電流源回路は、正確な電流を出力することが可能となる。よって、そのような部分に、本発明を適用することが出来る。

【0140】

なお、本実施の形態で説明した内容は、実施の形態1～5で説明した内容を利用したものに相当する。したがって、実施の形態1～5で説明した内容は、本実施の形態にも適用できる。

10

【0141】

(実施の形態7)

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それらの電子機器の具体例を図42に示す。

20

【0142】

図42(A)は発光装置であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。本発明は表示部13003を構成する半導体装置に用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42(A)に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パーソナルコンピューター用、テレビ(TV)放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

30

【0143】

図42(B)はデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。本発明は、表示部13102を構成する半導体装置に用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42(B)に示すデジタルスチルカメラが完成される。

【0144】

図42(C)はノート型パーソナルコンピュータであり、本体13201、筐体13202、表示部13203、キーボード13204、外部接続ポート13205、ポインティングマウス13206等を含む。本発明は、表示部13203を構成する半導体装置に用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42(C)に示すノート型パーソナルコンピュータが完成される。

40

【0145】

図42(D)はモバイルコンピュータであり、本体13301、表示部13302、スイッチ13303、操作キー13304、赤外線ポート13305等を含む。本発明は、表示部13302を構成する半導体装置に用いることができる。また本発明により、トラ

50

ンジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42(D)に示すモバイルコンピュータが完成される。

【0146】

図42(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体(DVD等)読み込み部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情報を表示するが、本発明は、表示部A13403、表示部B13404を構成する半導体装置に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42(E)に示すDVD再生装置が完成される。

10

【0147】

図42(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体13501、表示部13502、アーム部13503を含む。本発明は、表示部13502を構成する半導体装置に用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42(F)に示すゴーグル型ディスプレイが完成される。

20

【0148】

図42(G)はビデオカメラであり、本体13601、表示部13602、筐体13603、外部接続ポート13604、リモコン受信部13605、受像部13606、バッテリー13607、音声入力部13608、操作キー13609、接眼部13610等を含む。本発明は、表示部13602を構成する半導体装置に用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42(G)に示すビデオカメラが完成される。

30

【0149】

図42(H)は携帯電話であり、本体13701、筐体13702、表示部13703、音声入力部13704、音声出力部13705、操作キー13706、外部接続ポート13707、アンテナ13708等を含む。本発明は、表示部13703を構成する半導体装置に用いることができる。なお、表示部13703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42(H)に示す携帯電話が完成される。

40

【0150】

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0151】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0152】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなる

50

ように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 1 5 3 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態 1 ~ 6 に示したいずれの構成の半導体装置を用いても良い。

【符号の説明】

【 0 1 5 4 】

1 0 0 2	トランジスタ	10
1 0 0 2 Z	ダミートランジスタ	
1 0 0 3	保持容量	
1 0 0 6	配線	
1 0 1	電流源	
1 0 1 a a	トランジスタ	
1 0 1 Z	ダミー電流源	
1 0 1 Z a a	トランジスタ	
1 0 1 Z a b	トランジスタ	
1 0 1 Z b a	トランジスタ	
1 0 2	トランジスタ	20
1 0 2 a	トランジスタ	
1 0 2 a a	トランジスタ	
1 0 2 b	トランジスタ	
1 0 2 Z	ダミートランジスタ	
1 0 2 Z a a	トランジスタ	
1 0 2 Z b a	トランジスタ	
1 0 3	容量素子	
1 0 3 a	容量素子	
1 0 3 b	容量素子	
1 0 4	配線	30
1 0 4 a a	配線	
1 0 4 Z	配線	
1 0 5	配線	
1 0 5 Z	配線	
1 0 6	配線	
1 0 7	配線	
1 1 0 2	トランジスタ	
1 1 0 2 Z	ダミートランジスタ	
1 1 0 3	保持容量	
1 1 0 6	配線	40
1 1 1	プリチャージ回路	
1 1 1 a	プリチャージ回路	
1 1 2	プリチャージスイッチ	
1 1 2 a	プリチャージスイッチ	
1 1 2 a a	Pチャンネル型トランジスタ	
1 1 2 b	プリチャージスイッチ	
1 1 2 b a	Nチャンネル型トランジスタ	
1 1 3	配線	
1 1 3 a	配線	
1 1 3 a a	配線	50

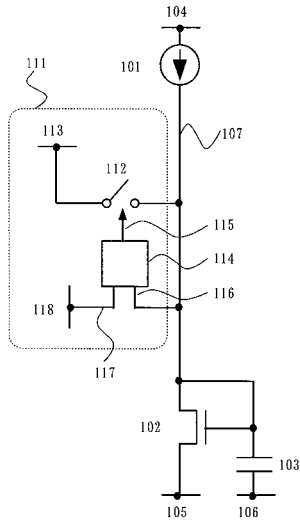
1 1 3 b	配線	
1 1 4	比較制御回路	
1 1 4 a	比較制御回路	
1 1 4 a a	オペアンプ	
1 1 4 b	比較制御回路	
1 1 4 b a	オペアンプ	
1 1 5	出力端子	
1 1 5 a	出力端子	
1 1 5 b	出力端子	
1 1 6	入力端子	10
1 1 6 a	入力端子	
1 1 6 a a	入力端子	
1 1 6 b	入力端子	
1 1 6 b a	入力端子	
1 1 7	入力端子	
1 1 7 a	入力端子	
1 1 7 a a	入力端子	
1 1 7 b	入力端子	
1 1 7 b a	入力端子	
1 1 8	配線	20
1 1 8 a	配線	
1 1 8 b	配線	
1 2 0 1	電圧源	
1 2 0 4	配線	
1 3 0 0 1	筐体	
1 3 0 0 2	支持台	
1 3 0 0 3	表示部	
1 3 0 0 4	スピーカ部	
1 3 0 0 5	ビデオ入力端子	
1 3 0 1	電流源	30
1 3 0 4	配線	
1 3 1 0 1	本体	
1 3 1 0 2	表示部	
1 3 1 0 3	受像部	
1 3 1 0 4	操作キー	
1 3 1 0 5	外部接続ポート	
1 3 1 0 6	シャッター	
1 3 2 0 1	本体	
1 3 2 0 2	筐体	
1 3 2 0 3	表示部	40
1 3 2 0 4	キーボード	
1 3 2 0 5	外部接続ポート	
1 3 2 0 6	ポインティングマウス	
1 3 3 0 1	本体	
1 3 3 0 2	表示部	
1 3 3 0 3	スイッチ	
1 3 3 0 4	操作キー	
1 3 3 0 5	赤外線ポート	
1 3 4 0 1	本体	
1 3 4 0 2	筐体	50

1 3 4 0 3	表示部 A	
1 3 4 0 4	表示部 B	
1 3 4 0 6	操作キー	
1 3 4 0 7	スピーカ一部	
1 3 5 0 1	本体	
1 3 5 0 2	表示部	
1 3 5 0 3	アーム部	
1 3 6 0 1	本体	
1 3 6 0 2	表示部	
1 3 6 0 3	筐体	10
1 3 6 0 4	外部接続ポート	
1 3 6 0 5	リモコン受信部	
1 3 6 0 6	受像部	
1 3 6 0 7	バッテリー	
1 3 6 0 8	音声入力部	
1 3 6 0 9	操作キー	
1 3 7 0 1	本体	
1 3 7 0 2	筐体	
1 3 7 0 3	表示部	
1 3 7 0 4	音声入力部	20
1 3 7 0 5	音声出力部	
1 3 7 0 6	操作キー	
1 3 7 0 7	外部接続ポート	
1 3 7 0 8	アンテナ	
1 5 0 1	グラフ	
1 5 0 2	グラフ	
1 5 0 3	グラフ	
1 6 1 2	スイッチ	
1 7 1 4	制御回路	
1 7 1 5	出力端子	30
1 7 1 7	制御用入力端子	
1 8 1 1	プリチャージ回路	
1 8 1 2 a	プリチャージスイッチ	
1 8 1 2 b	プリチャージスイッチ	
1 8 1 3 a	配線	
1 8 1 3 b	配線	
1 8 1 4	比較制御回路	
1 8 1 5 a	出力端子	
1 8 1 5 b	出力端子	
1 8 1 6	入力端子	40
1 8 1 7	入力端子	
1 8 1 8	配線	
1 9 0 1 a	電圧源	
1 9 0 1 b	電圧源	
1 9 0 4 a	配線	
1 9 0 4 b	配線	
1 9 1 2 a	スイッチ	
1 9 1 2 b	スイッチ	
2 0 1	負荷	
2 0 1 3	回路	50

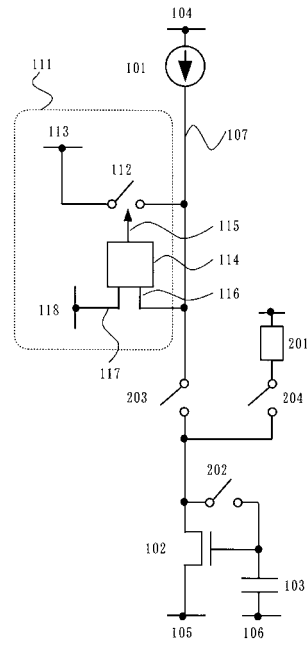
2 0 1 4	比較制御回路	
2 0 1 5	出力端子	
2 0 1 6	入力端子	
2 0 1 7	入力端子	
2 0 1 8	配線	
2 0 1 a	負荷	
2 0 2	スイッチ	
2 0 2 0	端子	
2 0 2 1	端子	
2 0 2 a	スイッチ	10
2 0 2 a a	トランジスタ	
2 0 1 b	負荷	
2 0 2 b	スイッチ	
2 0 3	スイッチ	
2 0 3 a	スイッチ	
2 0 3 a a	トランジスタ	
2 0 3 b	スイッチ	
2 0 4	スイッチ	
2 0 4 a	スイッチ	
2 0 4 a a	トランジスタ	20
2 0 4 b	スイッチ	
2 1 1 1	プリチャージ回路	
2 1 1 2	スイッチ	
2 1 1 3	配線	
2 2 1 4	オペアンプ	
2 2 1 4 a	オペアンプ	
2 2 1 4 b	オペアンプ	
2 6 1 4	チョッパインバータコンパレータ	
2 6 2 1	インバータ	
2 6 2 2	容量素子	30
2 6 2 3	スイッチ	
2 6 2 4	スイッチ	
2 6 2 5	スイッチ	
2 6 2 6	スイッチ	
2 7 2 1	インバータ	
3 0 2	トランジスタ	
3 1 0 1	スイッチ	
3 1 0 2	スイッチ	
3 1 0 3	スイッチ	
3 1 0 4	容量素子	40
3 5 0 4 a	単位回路	
3 5 0 4 a a	単位回路	
3 5 0 4 b	単位回路	
3 6 0 1	配線	
3 6 0 4	配線	
3 6 0 4 a a	配線	
3 7 0 1	画素配列	
3 7 0 2	ゲート線駆動回路	
3 7 0 3	シフトレジスタ	
3 7 0 4	ラッチ回路	50

3 7 0 5	ラッチ回路	
3 7 0 6	デジタル・アナログ変換回路	
3 7 0 8	ビデオ信号線	
3 7 0 9	ラッチ制御線	
3 7 1 0	信号線駆動回路	
3 7 1 4	リファレンス用電流源回路	
4 3 0 1	電流源	
4 3 0 2	トランジスタ	
4 3 0 3	容量素子	
4 3 0 4	配線	10
4 3 0 5	配線	
4 3 0 7	配線	
4 3 1 1	電圧源	
4 3 1 4	配線	
4 3 2 1	手段	
5 0 1	スイッチ	
6 0 1	ソース信号線	
6 0 2	第1のゲート信号線	
6 0 3	第2のゲート信号線	
6 0 4	第3のゲート信号線	20
6 0 5	電流供給線	
6 0 6	T F T	
6 0 7	T F T	
6 0 8	T F T	
6 0 9	T F T	
6 1 0	保持容量	
6 1 1	E L 素子	
6 1 2	映像信号入力用電流源	
9 0 1	電流源	
9 0 1 Z	ダミー電流源	30
9 0 2	トランジスタ	
9 0 2 Z	ダミートランジスタ	
9 0 3	保持容量	
9 0 4	配線	
9 0 4 Z	配線	
9 0 5	配線	
9 0 5 Z	配線	
9 0 6	配線	
9 0 7	配線	

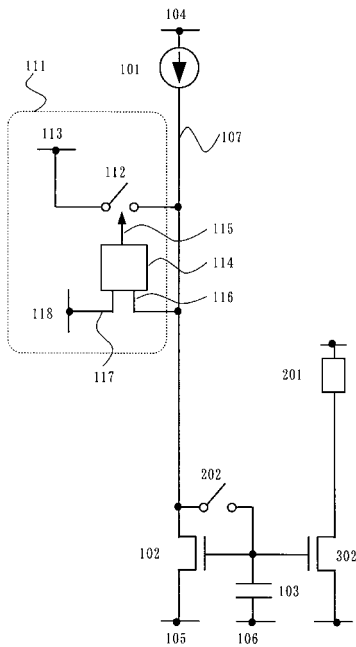
【図1】



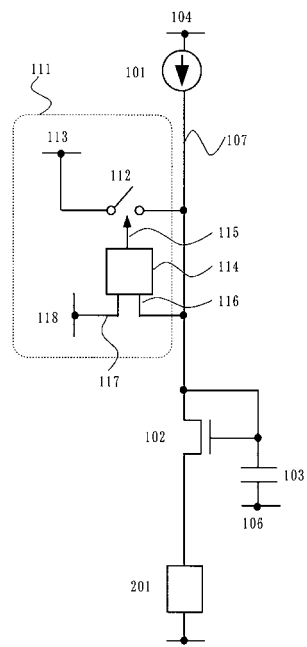
【図2】



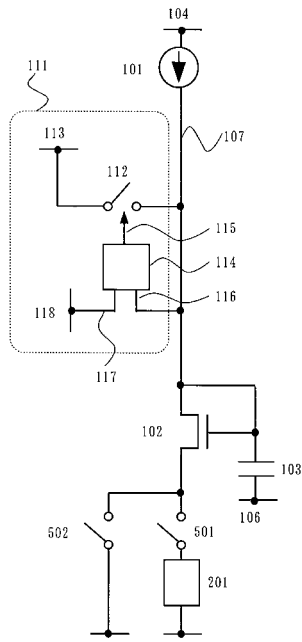
【図3】



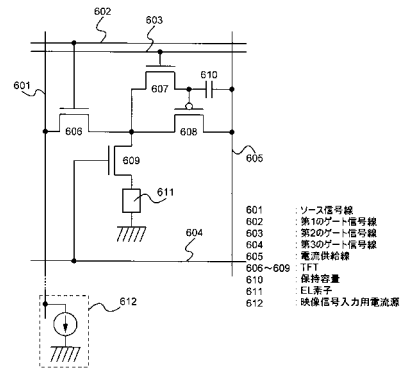
【図4】



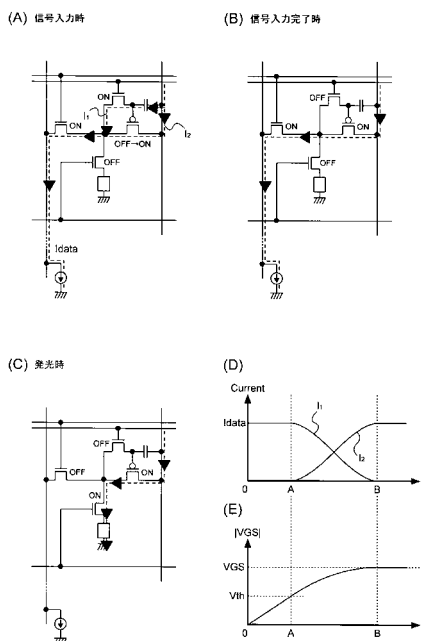
【図5】



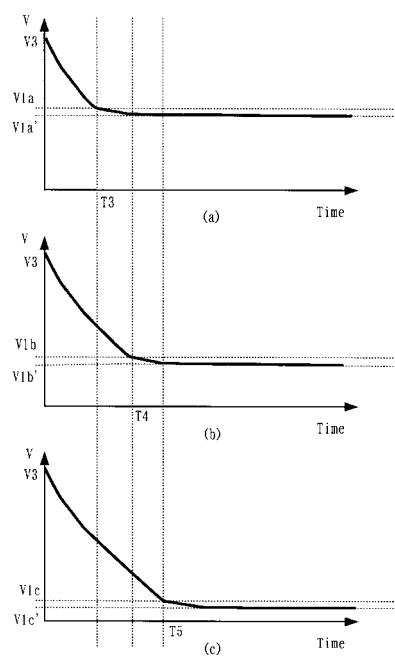
【図6】



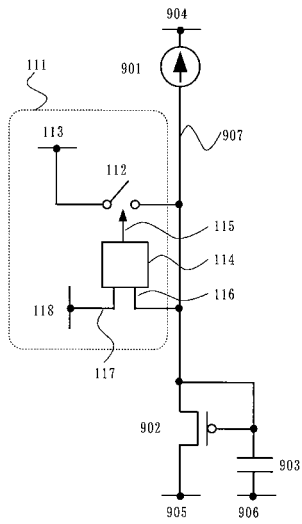
【図7】



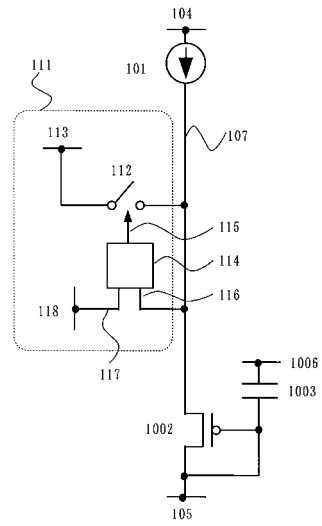
【図8】



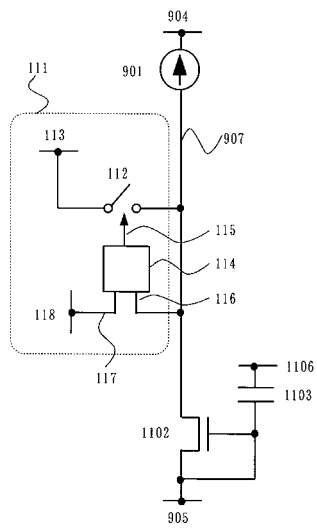
【図 9】



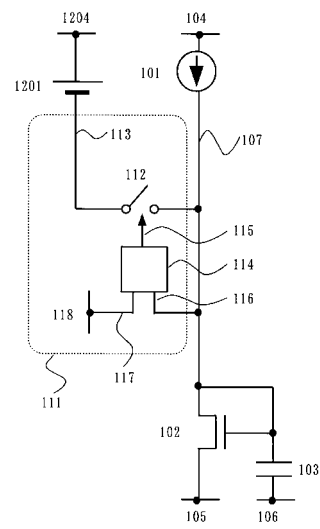
【図 10】



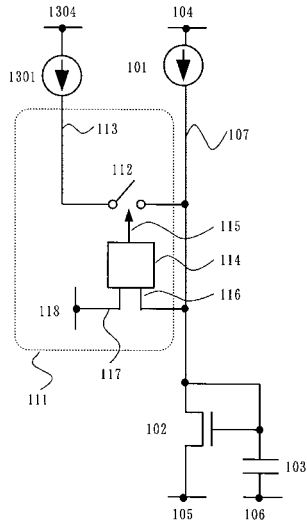
【図 11】



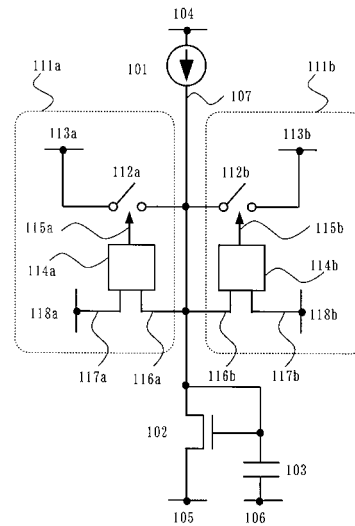
【図 12】



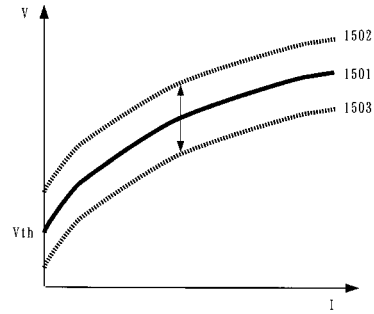
【図13】



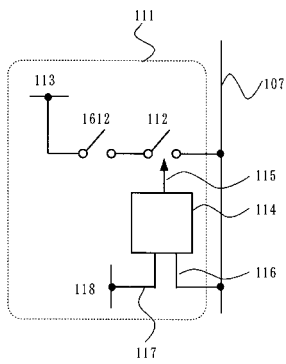
【図14】



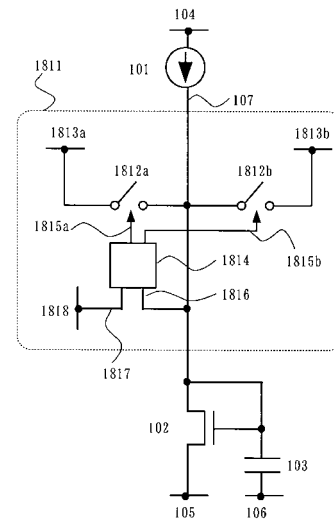
【図15】



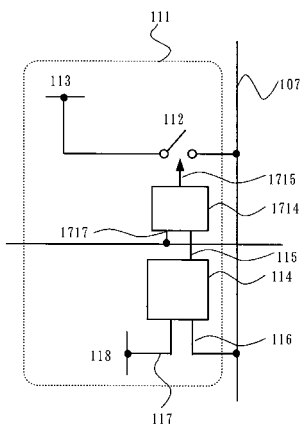
【図16】



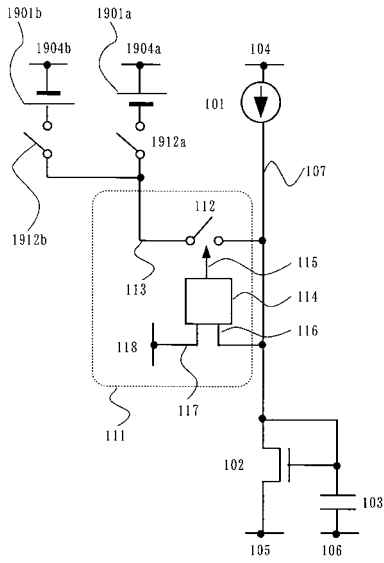
【図18】



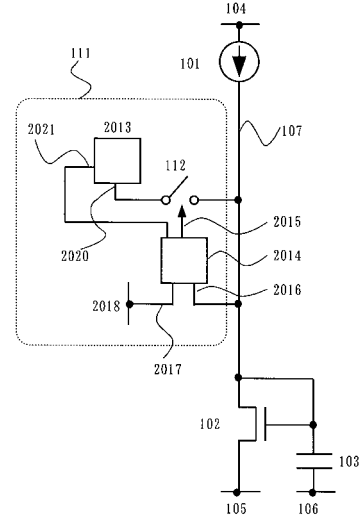
【図17】



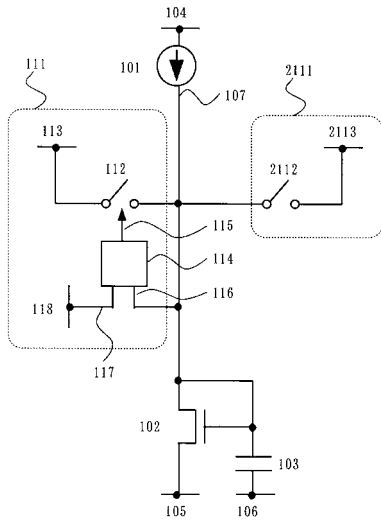
【図 19】



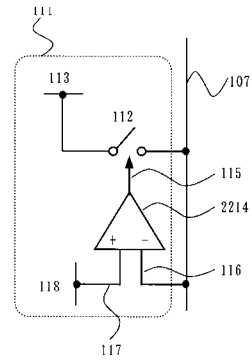
【図 20】



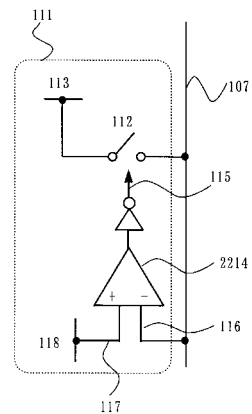
【図 21】



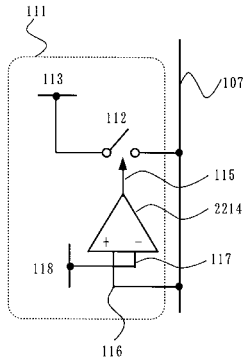
【図 22】



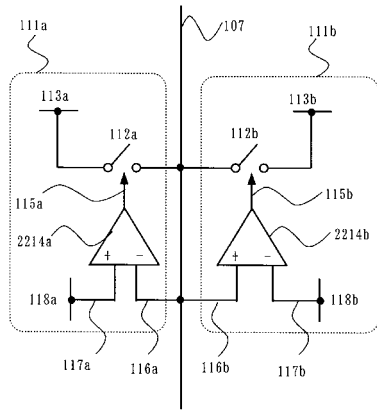
【図 23】



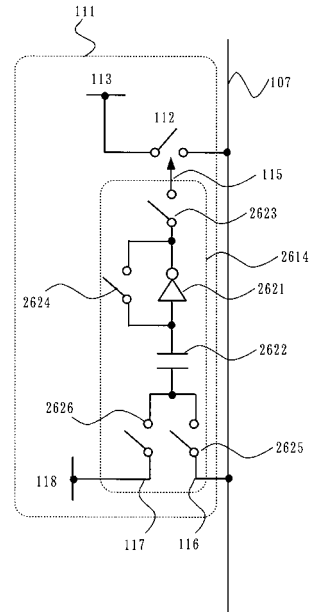
【図24】



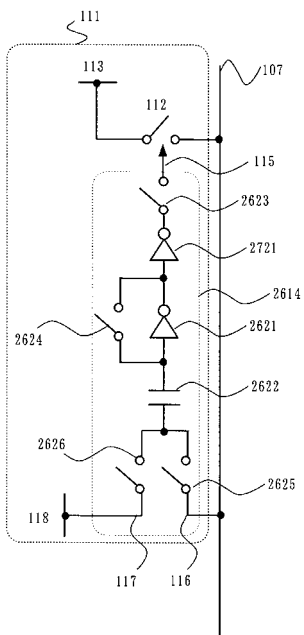
【図25】



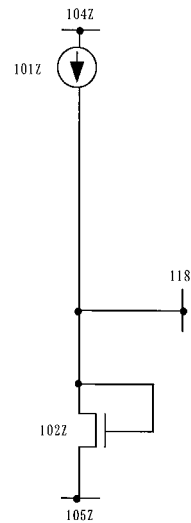
【図26】



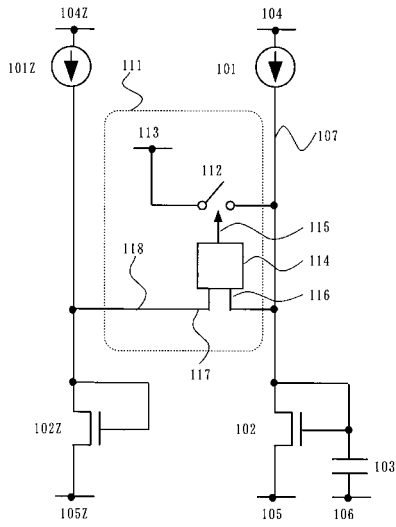
【図27】



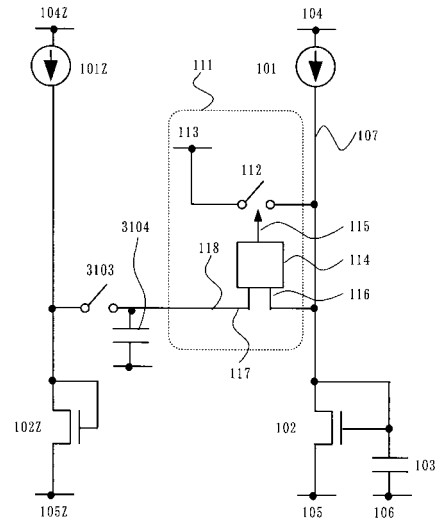
【図28】



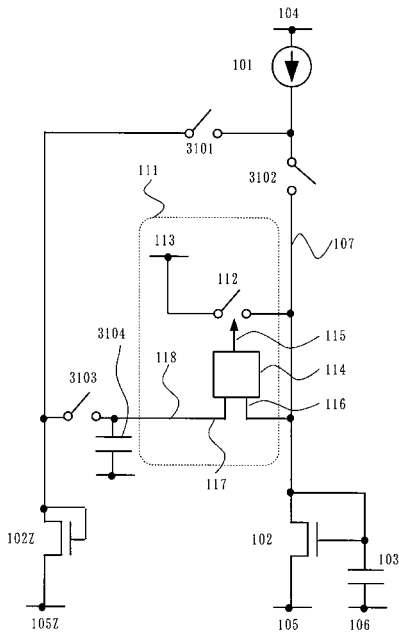
【図 29】



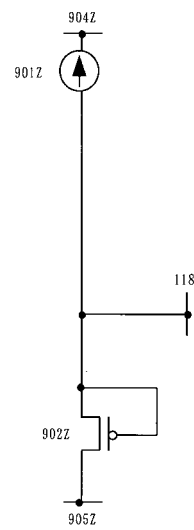
【図 30】



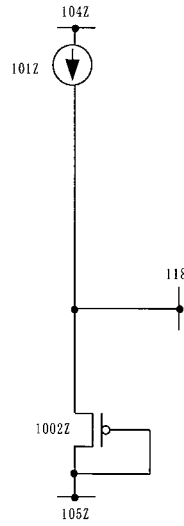
【図 31】



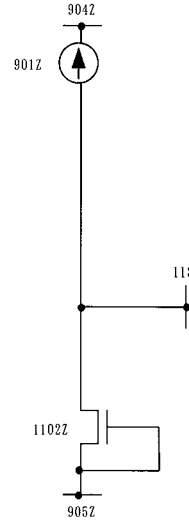
【図 32】



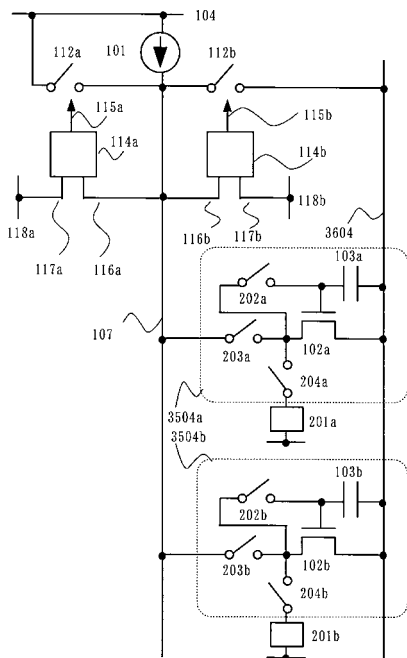
【 図 3 3 】



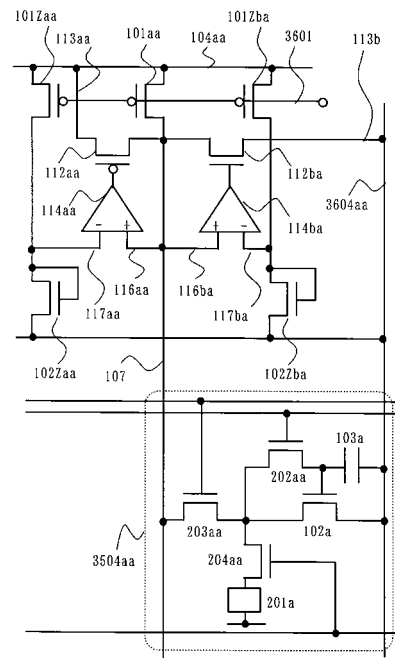
【 図 3 4 】



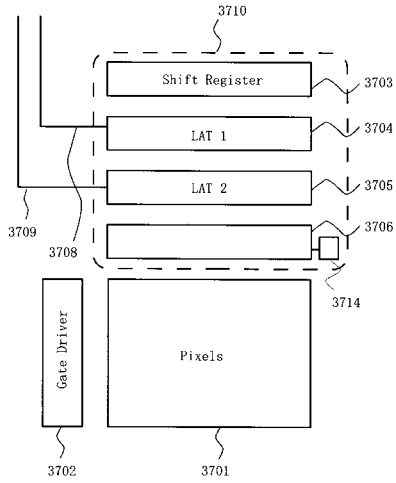
【 図 3 5 】



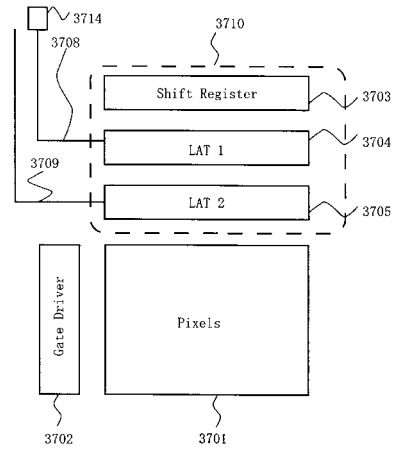
【 図 3 6 】



【 37 】



【 38 】



【 39 】

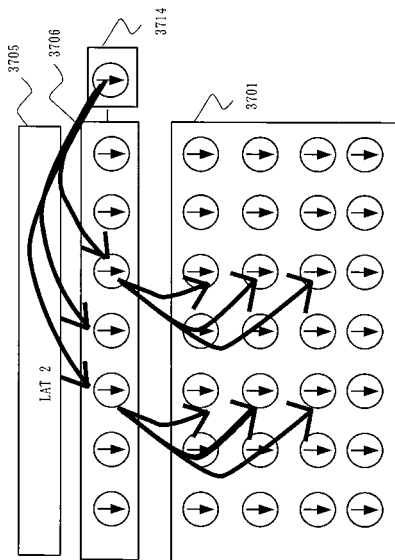


FIG. 39

【 40 】

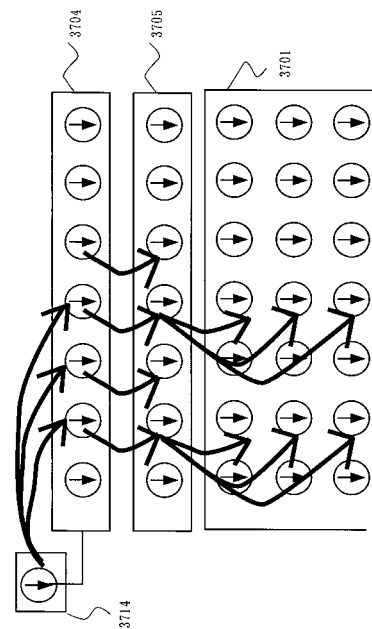


FIG. 40

【図41】

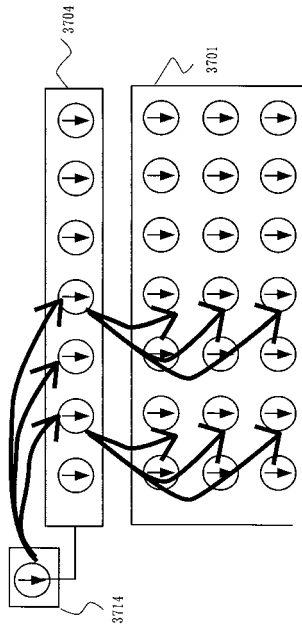
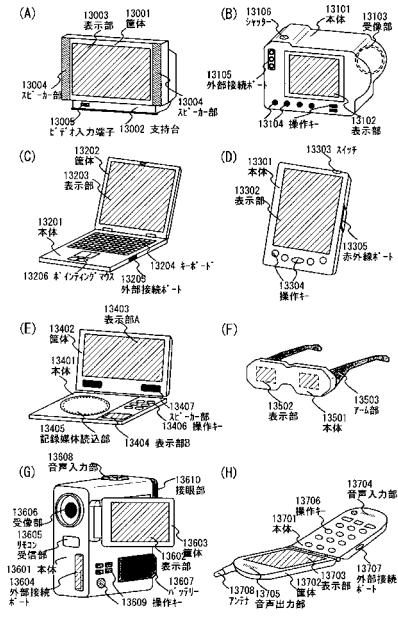
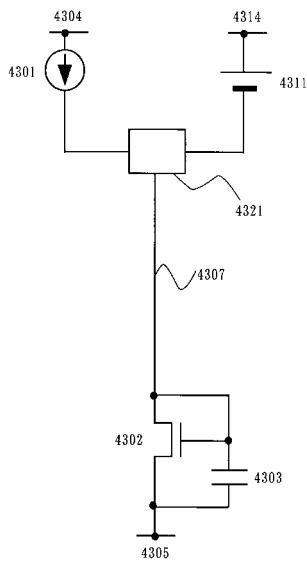


FIG. 41

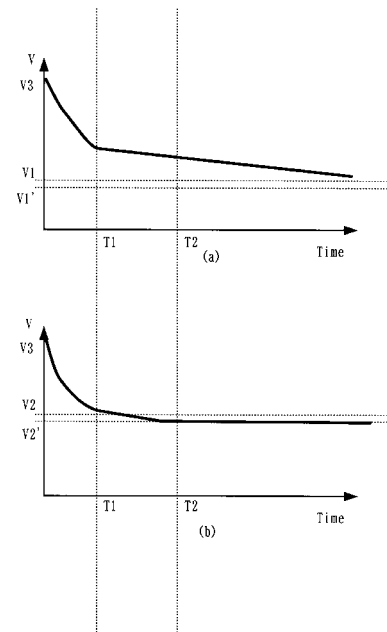
【図42】



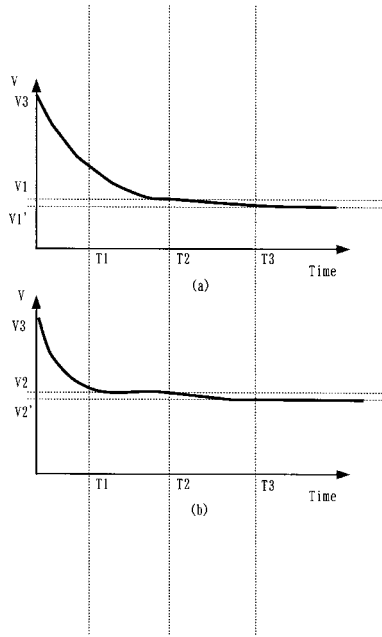
【図43】



【図44】



【 4 5 】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 2 4 B
H 0 5 B	33/14	A

(56) 参考文献 特開 2 0 0 2 - 2 6 1 5 8 8 (J P , A)

特開平 0 4 - 1 7 5 6 6 6 (J P , A)

特開平 0 8 - 1 9 0 4 3 7 (J P , A)

特開 2 0 0 0 - 0 3 0 4 5 5 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	半导体器件，显示器件和电子器件		
公开(公告)号	JP5143239B2	公开(公告)日	2013-02-13
申请号	JP2011000351	申请日	2011-01-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	H03K17/162 G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G2300/0819 G09G2310/0248 G09G2320/0219 G09G2320/043 H03K17/16		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.623.R G09G3/20.623.B G09G3/20.623.Y G09G3/20.641.D G09G3/20.642.A G09G3/20.611.J G09G3/20.624.B H05B33/14.A G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD26 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB21 5C380/AB22 5C380/AB23 5C380/AB25 5C380/AB43 5C380/AB47 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA01 5C380/BA05 5C380/BA11 5C380/BA17 5C380/BA19 5C380/BA20 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BA46 5C380/BB02 5C380/BC06 5C380/BC07 5C380/BC13 5C380/BC14 5C380/CA03 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA14 5C380/CA25 5C380/CA26 5C380/CA29 5C380/CA32 5C380/CA34 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC13 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC64 5C380/CD014 5C380/CE04 5C380/CF07 5C380/CF09 5C380/CF10 5C380/CF23 5C380/CF26 5C380/CF27 5C380/CF28 5C380/CF43 5C380/CF48 5C380/CF51 5C380/CF61 5C380/DA02 5C380/DA06 5C380/DA33 5C380/FA02 5C380/FA20 5C380/FA21 5C380/HA12 5C380/HA13		
优先权	2003321613 2003-09-12 JP		
其他公开文献	JP2011118404A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够提供精确电流而不受变化影响的半导体器件，即使在向EL像素提供电流的晶体管中信号电流很小时也是如此。Σ SOLUTION：当通过向像素的晶体管输入信号电流来减小晶体管的电流特性的变化的影响时，通过使用预充电电路来检测布线上的电位。当预定电位与布线上的电位之间存在差异时，将电荷提供给布线以执行快速充电，然后执行预充电。在布线上的电位达到预定电位之后，停止提供电荷以仅提供信号电流。因此，预充电仅执行直到布线上的电位达到预定电位的时段，从而仅在适当的时段执行预充电。Ž

