

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-113638

(P2020-113638A)

(43) 公開日 令和2年7月27日(2020.7.27)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 51/50 (2006.01)	H05B 33/22 C	3K107
H01L 27/32 (2006.01)	H01L 27/32	
H05B 33/12 (2006.01)	H05B 33/12 B	
H05B 33/22 (2006.01)	H05B 33/22 Z	
H05B 33/10 (2006.01)	H05B 33/14 A	

審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2019-3253 (P2019-3253)  
 (22) 出願日 平成31年1月11日 (2019.1.11)

(71) 出願人 502356528  
 株式会社ジャパンディスプレイ  
 東京都港区西新橋三丁目7番1号  
 (74) 代理人 110000154  
 特許業務法人はるか国際特許事務所  
 (72) 発明者 前田 典久  
 東京都港区西新橋三丁目7番1号 株式会  
 社ジャパンディスプレイ内  
 Fターム(参考) 3K107 AA01 BB01 CC04 CC33 DD71  
 DD74 FF15 GG28 GG33

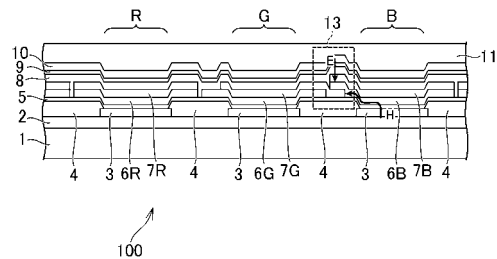
(54) 【発明の名称】 エレクトロルミネセンス表示装置及びエレクトロルミネセンス表示装置の製造方法

(57) 【要約】

【課題】エレクトロルミネセンス表示装置において、隣接画素色の意図せぬ発光による混色及び、バンク上での白色発光の発生を低減すること。

【解決手段】特定の色に発光する画素を規則的に配列したものであって、互いに異なる色に発光する少なくとも複数の画素のアレイを有し、前記画素は、視認方向からみて、共通電極10、第1のブロック層、発光層7、第2のブロック層及び画素電極3がこの順に積層され、少なくとも、発光層7、前記第2のブロック層及び画素電極3は、前記画素ごとに独立して設けられ、隣接する画素は、バンク4により隔てられ、少なくとも前記画素のアレイの一部分において、バンク4上で、一の画素に属する発光層7の上に、前記一の画素と異なる発光色を持つ他の画素に属する前記第2のブロック層が部分的に重なり合う、エレクトロルミネセンス表示装置。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

特定の色に発光する画素を規則的に配列したものであって、互いに異なる色に発光する少なくとも複数の画素のアレイを有し、

前記画素は、視認方向からみて、共通電極、第 1 のブロック層、発光層、第 2 のブロック層及び画素電極がこの順に積層され、

少なくとも、前記発光層、前記第 2 のブロック層及び前記画素電極は、前記画素ごとに独立して設けられ、

隣接する画素は、バンクにより隔てられ、

少なくとも前記画素のアレイの一部分において、前記バンク上で、一の画素に属する前記発光層の上に、前記一の画素と異なる発光色を持つ他の画素に属する前記第 2 のブロック層が部分的に重なり合う、

エレクトロルミネセンス表示装置。

10

**【請求項 2】**

少なくとも前記画素のアレイの一部分において、前記バンク上で、一の画素に属する前記発光層の上に、前記一の画素と異なる発光色を持つ他の画素に属する前記第 2 のブロック層が部分的に重なり合い、さらにその上に、前記他の画素に属する前記発光層が部分的に重なり合う、

請求項 1 に記載のエレクトロルミネセンス表示装置。

**【請求項 3】**

少なくとも一の発光色を有する前記画素のアレイに属する画素において、前記第 2 のブロック層の面積は、前記発光層の面積より大きい、

請求項 1 又は 2 に記載のエレクトロルミネセンス表示装置。

20

**【請求項 4】**

前記一の発光色と異なる別の発光色を有する前記画素のアレイに属する画素において、前記第 2 のブロック層の面積と前記発光層の面積が等しい、

請求項 3 に記載のエレクトロルミネセンス表示装置。

**【請求項 5】**

少なくとも前記画素のアレイの一部分において、前記バンク上で、一の画素に属する前記第 2 のブロック層の上に、前記一の画素と異なる発光色を持つ他の画素に属する前記第 2 のブロック層が部分的に重なり合う、

請求項 3 又は 4 に記載のエレクトロルミネセンス表示装置。

30

**【請求項 6】**

前記一の発光色を有する前記画素のアレイに属する画素において、前記第 2 のブロック層の重心位置は、前記発光層の重心位置からオフセットされている、

請求項 3 又は 4 に記載のエレクトロルミネセンス表示装置。

**【請求項 7】**

基板上に画素電極及び、隣接する画素を隔てるバンクを形成するステップと、

一の発光色について第 1 のマスクを用いて第 2 のブロック層を形成した後、前記第 1 のマスクと異なる第 2 のマスクを用いて発光層を形成するステップと、

さらにその後、少なくとも前記一の発光色と異なる他の発光色について第 3 のマスクを用いて第 2 のブロック層を形成した後、前記第 3 のマスクと異なる第 4 のマスクを用いて発光層を形成するステップと、

第 1 のブロック層及び共通電極を形成するステップと、

を含むエレクトロルミネセンス表示装置の製造方法。

40

**【請求項 8】**

少なくとも前記他の発光色についての前記第 2 のブロック層の面積は、前記他の発光色についての前記発光層の面積より大きい、

請求項 7 に記載のエレクトロルミネセンス表示装置の製造方法。

**【発明の詳細な説明】**

50

## 【技術分野】

## 【0001】

本発明は、エレクトロルミネセンス表示装置及びエレクトロルミネセンス表示装置の製造方法に関する。

## 【背景技術】

## 【0002】

特許文献1には、複数の電荷発生層と有機層が重なり合うように積層された有機発光装置が記載されている。特に、図3には、第一の有機層、第一の電荷発生層、第二の有機層、第二の電荷発生層及び第三の有機層がこの順に積層された一実施形態を示す断面図が示されている。

10

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献1】国際公開第2012/039213号

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

図1はトップエミッション型のエレクトロルミネセンス表示装置400の代表的な構造を示す模式断面図である。エレクトロルミネセンス表示装置400は、基板1、基板1上に形成された回路層2、画素ごとに形成された画素電極3、画素を隔てるバンク4、画素電極3とバンク4上にまたがって形成される正孔注入層5、画素ごとに独立して形成される電子ブロック層6R、6G、6Bと発光層7R、7G、7B、正孔ブロック層8、電子注入層9、共通電極10と封止層11をこの順に積層した構造となっている。

20

## 【0005】

図1に示したエレクトロルミネセンス表示装置400では、各画素はRGBの三色のいずれかに発光色を持ち、バンク4により区画された領域それぞれが一つの画素となっている。図1では、各画素をその色により、R、G、Bの符号を付して示した。なお、バンク4により区画された画素の領域を開口領域、これに対し、バンク4が形成された画素以外の領域のことをマトリクス領域と呼ぶ場合がある。

## 【0006】

また、画素ごとに独立して形成される電子ブロック層6と発光層7は、符号の末尾にR、G、Bいずれかの文字を付していずれの発光色の画素に属しているかを示すものとした。なお、特段どの画素に属しているかを特定しない場合は、R、G、Bいずれかの文字を付すことなく、単に、電子ブロック層6や発光層7のように示すものとする。

30

## 【0007】

また、図1に示した例では、正孔注入層5と電子注入層9は画素ごとに独立することなく共通に設けているが、この両方又はいずれかが、画素ごとに独立するように設けられたものであっても差し支えない。

## 【0008】

図1のエレクトロルミネセンス表示装置400において、いずれかの画素を発光させる場合、例えば、画素Bを例にとって説明すると、画素Bに属する画素電極3に正電圧を印可すると、正孔注入層5、電子ブロック層6Bを経て発光層7Bに到達した正孔と、共通電極10から、電子注入層9、正孔ブロック層8を経て発光層7Bに到達した電子とが結合し、発光層7Bの材質に応じた青色の発光を生じる。同図中には、正孔の移動経路を矢印Hで、電子の移動経路を矢印Eでそれぞれ示した。

40

## 【0009】

図1に示したエレクトロルミネセンス表示装置400を構成する各層は、一般に、フォトリソグラフィやファインマスクを用いた蒸着などの製膜プロセスにより形成される。その際、機械的な位置決め精度や材料の寸法誤差などの影響により、各層が形成される位置は、水平方向に数 $\mu\text{m}$ ずれる場合がある。そして、このずれは、画素の寸法が一般に数十

50

$\mu\text{m}$  ~ 数百  $\mu\text{m}$  程度であることを考慮すると、無視することはできない。

【0010】

このようなずれにより、例えば、図2に示すように、画素Gの発光層7Gが図中右側にずれて形成され、バンク4の上の領域13において、隣接する画素Bの電子ブロック層6Bに重なり合った場合を考える。同図では、領域13では発光層7Gの更に上に発光層7Bが重なり合っている。この時に画素G又は画素Bを発光させる場合、ここでは、画素Bを発光させる場合を考える。

【0011】

画素Bに属する画素電極3に正電圧を印加すると、発生した正孔と電子のほとんどは、画素Bの範囲内で結合し、画素Bを青色に発光させる。しかしながら、一部の正孔は、矢印Hで示したように電子ブロック層6B内を画素Bの外側へと移動し、領域13に侵入する。かかる正孔は、矢印Eで示したように共通電極10から導入される電子と発光層7G内で結合し、意図せぬ緑色の発光を生じる。

10

【0012】

このように、エレクトロルミネセンス表示装置400を構成する各層の水平方向のずれにより、バンク4上で意図せぬ色の発光が生じる場合がある。このような発光が生じると、混色により、色純度の低下が起こり、エレクトロルミネセンス表示装置400による表示画像の品質の低下をもたらす。

【0013】

エレクトロルミネセンス表示装置400を構成する各層に水平方向のずれがなければ、上述した混色は通常生じないが、図2で説明した場合同様に、発生した正孔の一部が電子ブロック層6内を画素の外側へと移動し、バンク4上で電子と結合することにより、同色ではあるものの、画素外での発光が生じうる。このような発光は、表示画像の品質にはさほど大きな影響を与えないが、バンク4はその上での発光を考慮されていないため、かかる発光には無駄が多く、発光効率が低下する原因の一つとなる。

20

【0014】

本発明は、上述した諸問題を改善するべくなされたものであり、エレクトロルミネセンス表示装置において、隣接画素色の意図せぬ発光による混色及び、バンク上での白色発光の発生を低減することを目的とする。

【課題を解決するための手段】

30

【0015】

上記課題を解決すべく本出願において開示される発明は種々の側面を有しており、それら側面の代表的なものの概要は以下の通りである。

【0016】

(1) 特定の色に発光する画素を規則的に配列したものであって、互いに異なる色に発光する少なくとも複数の画素のアレイを有し、前記画素は、視認方向からみて、共通電極、第1のブロック層、発光層、第2のブロック層及び画素電極がこの順に積層され、少なくとも、前記発光層、前記第2のブロック層及び前記画素電極は、前記画素ごとに独立して設けられ、隣接する画素は、バンクにより隔てられ、少なくとも前記画素のアレイの一部分において、前記バンク上で、一の画素に属する前記発光層の上に、前記一の画素と異なる発光色を持つ他の画素に属する前記第2のブロック層が部分的に重なり合う、エレクトロルミネセンス表示装置。

40

【0017】

(2) (1)において、少なくとも前記画素のアレイの一部分において、前記バンク上で、一の画素に属する前記発光層の上に、前記一の画素と異なる発光色を持つ他の画素に属する前記第2のブロック層が部分的に重なり合い、さらにその上に、前記他の画素に属する前記発光層が部分的に重なり合う、エレクトロルミネセンス表示装置。

【0018】

(3) (1)又は(2)において、少なくとも一の発光色を有する前記画素のアレイに属する画素において、前記第2のブロック層の面積は、前記発光層の面積より大きい、エ

50

レクトロルミネセンス表示装置。

【0019】

(4)(3)において、前記一の発光色と異なる別の発光色を有する前記画素のアレイに属する画素において、前記第2のブロック層の面積と前記発光層の面積が等しい、エレクトロルミネセンス表示装置。

【0020】

(5)(3)又は(4)において、少なくとも前記画素のアレイの一部分において、前記バンク上で、一の画素に属する前記第2のブロック層の上に、前記一の画素と異なる発光色を持つ他の画素に属する前記第2のブロック層が部分的に重なり合う、エレクトロルミネセンス表示装置。

10

【0021】

(6)(3)又は(4)において、前記一の発光色を有する前記画素のアレイに属する画素において、前記第2のブロック層の重心位置は、前記発光層の重心位置からオフセットされている、エレクトロルミネセンス表示装置。

【0022】

(7)基板上に画素電極及び、隣接する画素を隔てるバンクを形成するステップと、一の発光色について第1のマスクを用いて第2のブロック層を形成した後、前記第1のマスクと異なる第2のマスクを用いて発光層を形成するステップと、さらにその後、少なくとも前記一の発光色と異なる他の発光色について前記第3のマスクを用いて第2のブロック層を形成した後、前記第3のマスクと異なる第4のマスクを用いて発光層を形成するステップと、第1のブロック層及び共通電極を形成するステップと、を含むエレクトロルミネセンス表示装置の製造方法。

20

【0023】

(8)(7)において、少なくとも前記他の発光色についての前記第2のブロック層の面積は、前記他の発光色についての前記発光層の面積より大きい、エレクトロルミネセンス表示装置の製造方法。

【図面の簡単な説明】

【0024】

【図1】トップエミッション型のエレクトロルミネセンス表示装置の代表的な構造を示す模式断面図である。

30

【図2】画素Gの発光層が図中右側にずれて形成された場合のエレクトロルミネセンス表示装置の構造を示す断面模式図である。

【図3】画素Gの発光層が図中右側にずれて形成された場合の本発明の第1の実施形態に係るエレクトロルミネセンス表示装置の構造を示す断面模式図である。

【図4】本発明の第2の実施形態に係るエレクトロルミネセンス表示装置の構造を示す断面模式図である。

【図5】画素Gの電子ブロック層が図中左側にずれて形成された場合の本発明の第2の実施形態に係るエレクトロルミネセンス表示装置の構造を示す断面模式図である。

【図6】本発明の第2の実施形態において、バンク上での隣接画素色の意図せぬ発光による混色が低減される例を説明する図である。

40

【図7】本発明の第3の実施形態に係るエレクトロルミネセンス表示装置の構造を示す断面模式図である。

【図8】本発明の第3の実施形態において、バンク上での隣接画素色の意図せぬ発光による混色及び、意図せぬ白色発光が低減される例を説明する図である。

【発明を実施するための形態】

【0025】

本発明の第1の実施形態に係るエレクトロルミネセンス表示装置100は、その製造工程及び、その製造工程によって生じる構造に特徴がある。そのため、まず、第1の実施形態に係るエレクトロルミネセンス表示装置100の製造方法を以下説明する。なお、エレクトロルミネセンス表示装置100の構成自体は、すでに図1を参照して説明したエレクト

50

トロールミネセンス表示装置 400 と同様であるため、図 1 を援用するものとする。

【0026】

まず、すでに説明したエレクトロルミネセンス表示装置 400 の製造方法を説明する。

【0027】

基板 1 上に薄膜トランジスタ及びその配線などを含む回路層 2 を作成する。回路層 2 の構造及びその作成方法は種々のものが知られているため、本明細書ではその詳細な説明は割愛する。

【0028】

続いて、回路層 2 上に画素電極 3、バンク 4 を形成する。バンク 4 は画素電極 3 の端部を覆うように形成される。この形成は、フォトリソグラフィ等の公知の手法を適宜使用してよい。

【0029】

さらに、画素電極 3 及びバンク 4 上に跨るように、正孔注入層 5 を形成する。正孔注入層 5 の材質や形成方法についても公知のものを用いてよい。また、正孔注入層 5 は、各画素ごとに独立した形状として形成しても差し支えない。

【0030】

各画素の開口領域を覆うように、電子ブロック層 6、発光層 7 を形成する。電子ブロック層 6 は、各画素で共通のものとして一括で作成してもよいが、発光層 7 の材質、すなわち、発光色毎に適した材質及び成膜条件とするため、画素の発光色毎に異なるプロセスで作成する。

【0031】

この時、図 1 で示したように、エレクトロルミネセンス表示装置 400 が赤、緑、青の三色に発光するものとする、電子ブロック層 6 及び発光層 7 の作成順序は次の通りである。

- 1) 電子ブロック層 6 R
- 2) 電子ブロック層 6 G
- 3) 電子ブロック層 6 B
- 4) 発光層 7 R
- 5) 発光層 7 G
- 6) 発光層 7 B

【0032】

電子ブロック層 6 及び発光層 7 の作成は、層の種類ごとに行われ、また、これらの層は多くの場合、環境中の水分などの不純物の混入や接触による劣化を生じるため、マスクを用いた真空蒸着が選択される。マスクは各層に専用のもので使用されるため、例えば、電子ブロック層 6 R の形成に使用するマスクと電子ブロック層 6 G の形成に使用するマスクは異なっており、マスクと基板 1 との位置合わせが都度必要となる。

【0033】

その後、正孔ブロック層 8、電子注入層 9、共通電極 10 をこの順に作成し、封止層 1 を形成することによりエレクトロルミネセンス表示装置 400 が製造される。

【0034】

なお、発光層 7 の上下で極性を逆にしてもよい。図 1 では、エレクトロルミネセンス表示装置 400 の視認方向である、図中上から順に、共通電極 10、電子注入層 9、正孔ブロック層 8、発光層 7、電子ブロック層 6、正孔注入層 5 及び画素電極 3 がこの順に配列されているが、極性を反転させると、電子注入層 9 と正孔注入層 5、及び、正孔ブロック層 8 と電子ブロック層 6 の位置がそれぞれ入れ替わることになる。したがって、エレクトロルミネセンス表示装置 400 の視認方向から見て、発光層 7 の手前にある層を第 1 のブロック層、発光層 7 の奥にある層を第 2 のブロック層と呼ぶことにすると、図 1 で示した例では、正孔ブロック層 8 が第 1 のブロック層に、電子ブロック層 6 が第 2 のブロック層に該当することになる。

【0035】

これに対して、第 1 の実施形態に係るエレクトロルミネセンス表示装置 100 では、電子ブロック層 6 及び発光層 7 の作成を次の順で行う。

- 1) 電子ブロック層 6 R
  - 2) 発光層 7 R
  - 3) 電子ブロック層 6 G
  - 4) 発光層 7 G
  - 5) 電子ブロック層 6 B
  - 6) 発光層 7 B
- 【0036】

すなわち、単色に関して、電子ブロック層 6 を形成し、続いて同じ色についての発光層 7 を形成するプロセスを色数だけ繰り返す。

【0037】

このプロセスを、より一般的に説明すると、一の発光色について第 1 のマスクを用いて第 2 のブロック層を形成した後、第 2 のマスクを用いて発光層 7 を形成し、さらにその後、他の発光色について第 3 のマスクを用いて第 2 のブロック層を形成した後、第 4 のマスクを用いて発光層 7 を形成するプロセスであると説明できる。

【0038】

ここで、一の発光色を赤とすると、本実施形態では、第 1 のマスクにより電子ブロック層 6 R を、さらに第 2 のマスクにより発光層 7 R を形成し、その後、第 3 のマスクにより電子ブロック層 6 G を、さらに第 4 のマスクにより発光層 7 G を形成していることになる。

【0039】

また、一の発光色を緑とすると、本実施形態では、第 1 のマスクにより電子ブロック層 6 G を、さらに第 2 のマスクにより発光層 7 G を形成し、その後、第 3 のマスクにより電子ブロック層 6 B を、さらに第 4 のマスクにより発光層 7 B を形成していることになる。

【0040】

すなわち、本プロセスは、エレクトロルミネセンス表示装置 100 の色数によらず（但し、複色である）、また、各色を形成する順番にも依存しない。

【0041】

このようにして作成されたエレクトロルミネセンス表示装置 100 において、各層が製造の過程において位置ずれを生じることなく正確に形成された場合、出来上がるエレクトロルミネセンス表示装置 100 は、図 1 に示したものと同一となり、差異はない。

【0042】

しかしながら、現実には、上述したとおり、各層の製造の過程において、その水平方向の位置は数  $\mu\text{m}$  程度のずれが生じうる。このずれがどの層に生じるか、またその方向とずれの量は確率的に定まるため、その結果を一概に予測することはできない。そこで、ここでは一例として、図 2 に示したものと同様に、画素 G の発光層 7 G が図中右側にずれて形成された場合を考える。

【0043】

図 3 は、画素 G の発光層 7 G が図中右側にずれて形成された場合のエレクトロルミネセンス表示装置 100 の構造を示す断面模式図である。領域 13 において、図 2 の例と同様に、発光層 7 G がバンク 4 上で画素 B の発光層 7 B と重なり合っている。

【0044】

しかしながら、エレクトロルミネセンス表示装置 100 では、発光層 7 G が形成されてから画素 B の電子ブロック層 6 B が形成され、その後発光層 7 B が形成されているから、図 3 に示したように、バンク 4 上で画素 B 側に延び出した発光層 7 G の上に電子ブロック層 6 B が形成され、発光層 7 B は、電子ブロック層 6 B をはさんで発光層 7 G と重なり合っている。

【0045】

この場合においても、一部の正孔は、矢印 H で示したように電子ブロック層 6 B 内を画

10

20

30

40

50

素 B の外側へと移動し、領域 1 3 に侵入し、発光層 7 G に到達し得るものと考えられる。しかしながら、共通電極 1 0 から導入された電子は、矢印 E で示すように、電子ブロック層 6 B によりブロックされ、発光層 7 G に到達することができない。そのため、発光層 7 G 内で正孔と電子が結合することがなく、バンク 4 上での意図せぬ発光が防止されることになる。

#### 【 0 0 4 6 】

図 3 で説明したケースは、各層に生じる様々なずれの内、一例を示すものであり、種々のケース全てを網羅するものではない。したがって、図 2 で説明したように、バンク 4 上で発光層 7 G と発光層 7 B とが直接接触して重なり合う場合も発生し得る（例えば、画素 G の発光層 7 G が図中右側にずれて形成されると同時に、画素 B の電子ブロック層 6 B も図中右にずれて形成される場合など）。そのような場合には、バンク 4 上での意図せぬ発光を完全に防ぐことができるわけではない。

10

#### 【 0 0 4 7 】

しかしながら、図 3 で例示したように、バンク 4 上で、発光層 7 G の上に、電子ブロック層 6 B が部分的に重なり合うケースにおいては、バンク 4 上での意図せぬ発光を防止することができる。これを一般化して表現すると、特定の色に発光する画素を規則的に配列した画素のレイの少なくとも一部分において、バンク 4 上で、一の画素に属する発光層 7 の上に、当該一の画素と異なる発光色を持つ他の画素に属する第 2 のブロック層 6 が部分的に重なり合うようにエレクトロルミネセンス表示装置 1 0 0 が形成された場合には、バンク 4 上での意図せぬ発光を防ぐことができるのであり、このような構造は確率的に発生する。

20

#### 【 0 0 4 8 】

すなわち、エレクトロルミネセンス表示装置 1 0 0 を構成する各層の水平方向の位置がずれて形成された場合であっても、一定確率でバンク 4 上での意図せぬ発光が防止されるのであり、全体としてみれば、バンク 4 上での意図せぬ発光が低減されることになり、表示装置の面内ばらつきの低下や製品歩留り向上に寄与する。

#### 【 0 0 4 9 】

なお、図 3 に示したケースでは、バンク 4 上で、一の画素に属する発光層 7 の上に、当該一の画素と異なる発光色を持つ他の画素に属する第 2 のブロック層 6 が部分的に重なり合い、さらにその上に、当該他の画素に属する発光層 7 が部分的に重なり合っていることになり、このような場合であっても、バンク 4 上での意図せぬ発光が防止されていることになる。

30

#### 【 0 0 5 0 】

ここまで説明した第 1 の実施形態では、各色について、第 2 のブロック層 6 と発光層 7 の平面形状は略同一であり、したがって、その面積が互いに略等しい場合で説明したが、これを違えてもよい。

#### 【 0 0 5 1 】

図 4 は、本発明の第 2 の実施形態に係るエレクトロルミネセンス表示装置 2 0 0 の構造を示す断面模式図である。本実施形態では、画素 G の電子ブロック層 6 G 及び、画素 B の電子ブロック層 6 B の平面視における面積が、それぞれ画素 G の発光層 7 G 及び画素 B の発光層 7 B よりも大きく、電子ブロック層 6 G , 6 B が発光層 7 G , 7 B の周囲にはみ出すように形成されている点が第 1 の実施形態に係るエレクトロルミネセンス表示装置 1 0 0 と異なっている。その他の点については同様である。

40

#### 【 0 0 5 2 】

図 4 に示したように、エレクトロルミネセンス表示装置 2 0 0 では、画素 R は先のエレクトロルミネセンス表示 1 0 0 と構造上の差異はなく、電子ブロック層 6 R と発光層 7 R の平面形状は同一であり、その面積は等しい。したがって、これらの層が設計上の位置からずれることなく正確に形成された場合、同図に示したように、互いにはみ出ることなく重なり合う。

#### 【 0 0 5 3 】

50

一方、画素 G は、電子ブロック層 6 G は発光層 7 G より平面形状が大きいものとされており、電子ブロック層 6 G の面積は発光層 7 G の面積より大きい。そして本実施形態では、設計上の位置は、電子ブロック層 6 G の中心位置と発光層 7 G の中心位置は等しく設計されているため、これらの層が設計上の位置からずれることなく正確に形成された場合、同図に示したように、電子ブロック層 6 G の外周部分は、発光層 6 G の周縁から左右均等にはみ出すように配置されることになる。このはみ出し量は、製膜装置や部材の精度を勘案して、平面視において電子ブロック層 6 G の外側に発光層 7 G がはみ出すことがないか、はみ出す可能性を事実上無視できる長さとするのが好ましい。

【 0 0 5 4 】

画素 B についても画素 G と同様とされており、電子ブロック層 6 B は発光層 7 B より平面形状が大きいものとされており、電子ブロック層 6 B の面積は発光層 7 B の面積より大きい。そして、電子ブロック層 6 G の中心位置と発光層 7 G の中心位置は等しく設計されており、これらの層が設計上の位置からずれることなく正確に形成された場合、電子ブロック層 6 B の外周部分は、発光層 6 B の周縁から均等にはみ出すように配置される。その結果、図中領域 1 3 にみられるように、設計時の状態で、バンク 4 上で電子ブロック層 6 B の一部分は、電子ブロック層 6 G の上に重なり合っている。このはみだし量についても、平面視において電子ブロック層 6 B の外側に発光層 7 B がはみ出すことがないか、はみ出す可能性を事実上無視できる長さとするのが好ましい。

【 0 0 5 5 】

このような設計とすることで、画素 R , G , B 間で発光層 7 が互いに重なり合うことが防止され、又は極めてその可能性が低減される。なお、ここで、画素 R についても画素 G 、画素 B と同様の設計として、電子ブロック層 6 R の平面形状を発光層 7 R より大きいものとし、その面積を発光層 7 R の面積より大きいものとしても差し支えない。しかしながら、先に述べたように、電子ブロック層 6 R 及び発光層 7 R は、画素 G の電子ブロック層 6 G 及び発光層 7 G 並びに画素 B の電子ブロック層 6 B 及び発光層 7 B よりも先に形成されるため、電子ブロック層 6 R の面積を大きくしても、電子ブロック層 6 R が発光層 7 G あるいは発光層 7 B の上に重なり合うことはなく、バンク 4 上の意図せぬ発光が抑制されることはない。したがって、電子ブロック層 6 R の平面形状を発光層 7 R より大きいものとするの技術上の意義は薄く、製造上の材料を低減する観点からは、発光層 6 R と同形状、すなわち、面積を等しいものとするのが好ましい。

【 0 0 5 6 】

また、本実施形態に係るエレクトロルミネセンス表示装置 2 0 0 には、さらなる効果も期待される。その説明を図 5 を参照して以下説明する。

【 0 0 5 7 】

図 5 は、画素 G の電子ブロック層 6 G が図中左側にずれて形成された場合のエレクトロルミネセンス表示装置 2 0 0 の構造を示す断面模式図である。なお、説明の便宜上、他の層にはずれはなく、設計通りの位置に形成されたものとする。

【 0 0 5 8 】

この場合、前述した各層の形成順序に従えば、同図に示したように、電子ブロック層 6 G はその一部分がバンク 4 上において、画素 R の電子ブロック層 6 R 及び発光層 7 R 上に重なり合うことになる。この重なり合いは、画素 R の開口領域にまで及ぶものではないため、画素 R の発光自体には悪影響を及ぼさない。

【 0 0 5 9 】

その一方、画素 R を点灯させるため、画素 R の画素電極 3 に正電圧を印可すると、発生した正孔の一部は、電子ブロック層 6 R を通って画素 R の外側領域に移動する。ここで、画素 R の図中右側に向かって移動した正孔を考える。

【 0 0 6 0 】

かかる正孔は、理論上は、矢印 H で示したように電子ブロック層 6 R 中を移動し、画素 R の外側、バンク 4 上で発光層 7 R に侵入し得る。ところが、図 5 に示したケースでは、領域 1 4 で示したバンク 4 上の発光層 7 R の上には、さらに、画素 G の電子ブロック層 6

10

20

30

40

50

Gが重なり合うように形成されている。そのため、共通電極10から導入される電子は、同図中矢印Eで示すように、電子ブロック層6Gによりブロックされ、発光層7R中に進入することができない。そのため、少なくとも、電子ブロック層6Gと重なり合っている領域においては、発光層7R中で正孔と電子が結合することがなく、発光が生じない。

【0061】

このことは、電子ブロック層6Gが、バンク4上で隣接する画素Rの発光層7Rの上に重なり合うと、画素Rの範囲外であるバンク4上での白色発光が低減されることを意味している。

【0062】

この白色発光の低減の効果は、必ず生じるわけではなく、確率的に発生する各層の位置ずれが、図5のような配置となった場合に引き起こされるものであるから、このような構造は確率的に発生する。すなわち、エレクトロルミネセンス表示装置200を構成する各層の水平方向の位置がずれて形成された場合であっても、一定確率でバンク4上での意図せぬ白色発光が防止されることになり、全体としてみれば、バンク4上での意図せぬ白色発光が低減されることになり、表示特性の向上につながる。

10

【0063】

もちろん、図4及び図5に示した第2の実施形態においても、先に示した第1の実施形態と同様に、全体としてみれば、バンク4上での隣接画素色の意図せぬ発光による混色も低減される。第2の実施形態において、バンク4上での隣接画素色の意図せぬ発光による混色が低減される例を、図6に示して説明する。

20

【0064】

図6は、画素Gの発光層7Gが図中右側にずれて形成された場合を示している。なお、説明の便宜上、他の層にはずれはなく、設計通りの位置（すなわち、図4に示したと同様の位置）に形成されたものとする。このとき、エレクトロルミネセンス表示装置200の断面の領域13において、発光層7Gがバンク4上で画素Bの電子ブロック層6Bと重なり合っている。しかしながら、エレクトロルミネセンス表示装置200では、画素Gの発光層7Gが形成されてから画素Bの電子ブロック層6Bが形成されているから、図6に示すように、バンク4上で画素B側に伸び出した発光層7Gの上に電子ブロック層6Bが形成されることになり、画素Gの発光層7Gと正孔ブロック層8とは直接接しない。

30

【0065】

この場合において、画素Bの画素電極3から導入された正孔の一部は、矢印Hで示したように電子ブロック層6B内を画素Bの外側へと移動し、領域13に侵入し、発光層7Gに到達し得るものと考えられる。しかしながら、共通電極10から導入された電子は、矢印Eで示すように、電子ブロック層6Bによりブロックされ、発光層7Gに到達することができない。そのため、発光層7G内で正孔と電子が結合することがなく、バンク4上での意図せぬ発光が防止されることになる。

【0066】

第2の実施形態で示したエレクトロルミネセンス表示装置200の構造を、より一般化して表現すると、少なくとも一の発光色を有する画素のレイに属する画素において、第2のブロック層の面積は、発光層7の面積より大きいと言える。また、かかる関係を有する画素のレイは、他の発光色を有する画素のレイについての第2のブロック層及び発光層7が形成された後に形成されることになるから、先に形成される画素のレイの発光色を一の発光色、後に形成される画素のレイの発光色を他の発光色といい表すこととすると、他の発光色についての画素のレイに属する画素において、第2のブロック層の面積は、発光層7の面積より大きいことになる。またその際、一の発光色についての画素のレイに属する画素においては、第2のブロック層の面積は、発光層7の面積と等しくてよい。そしてその結果、バンク4上で、一の発光色に発光する一の画素に属する発光層の上に、他の発光色に発光する他の画素に属する第2のブロック層が部分的に重なり合うことにより、バンク4上での意図せぬ白色発光が低減されるのである。また、設計上は、一の発光色に発光する一の画素に属する第2のブロック層の上に、他の発光色に発光する他

40

50

の画素に属する第2のブロック層が部分的に重なり合う(図4に示した例に基づいて説明すると、「一の発光色に発光する位置の画素」を画素G、「他の発光色に発光する他の画素」を画素Bとおいた際に、領域13において電子ブロック層6Gと電子ブロック層6Bが重なり合っていることを指すことになる)。

【0067】

図7は、本発明の第3の実施形態に係るエレクトロルミネセンス表示装置300の構造を示す断面模式図である。本実施形態においても、画素Gの電子ブロック層6G及び、画素Bの電子ブロック層6Bの平面視における面積が、それぞれ画素Gの発光層7G及び画素Bの発光層7Bよりも大きく、電子ブロック層6G、6Bが発光層7G、7Bの周囲にはみ出すように形成されており、かかる点は第2の実施形態に係るエレクトロルミネセンス表示装置200と同様である。但し、電子ブロック層6Gの形状のみが、第2の実施形態に係るエレクトロルミネセンス表示装置200と異なっている。

10

【0068】

図7に示した領域13にみられるように、画素Gの電子ブロック層6Gは、画素Bと隣接する部分においては、設計上は発光層7Gからはみ出しておらず、画素Gの中心に対して非対称な形状となっている。一方で、領域14にみられるように、画素Gの電子ブロック層6Gは、画素Rと隣接する部分においては、発光層7Gからはみ出し、先の第2の実施形態に係るエレクトロルミネセンス表示装置200と同様となっている(図4参照)。

【0069】

先に説明したように、画素Gの電子ブロック層6Gが、画素Bの電子ブロック層6B及び発光層7Bより先に形成されるため、電子ブロック層6Gが電子ブロック層6B又は発光層7Bの上に重なり合うように形成されることはない。そのため、電子ブロック層6Gが発光層7Gから画素B側にはみ出すように延長したとしてもバンク4上での隣接画素色の意図せぬ発光による混色や、意図せぬ白色発光の低減を防止し又は低減する効果がみこめず、技術上の意義は薄い。したがって、製造上の材料を低減する観点からは、画素Bと隣接する領域においては、画素Gの電子ブロック層6Gの形状を、発光層6Gと同形状とすることが好ましい。そのような設計とした結果、図6に示すように、画素Gの発光層7Gの重心位置は、画素Gの重心位置と一致するのに対し、電子ブロック層6Gの重心位置は、画素R側にオフセットしていることになる。

20

【0070】

もちろん、ここで説明した第3の実施形態に係るエレクトロルミネセンス表示装置300は、第1の実施形態に係るエレクトロルミネセンス表示装置100、第2の実施形態に係るエレクトロルミネセンス表示装置200と同様に、確率的に、バンク4上での隣接画素色の意図せぬ発光による混色及び、意図せぬ白色発光を低減させる効果を有しており、さらに、電子ブロック層6の材料の使用量を低減したものとなっている。第3の実施形態において、バンク4上での隣接画素色の意図せぬ発光による混色及び、意図せぬ白色発光が低減される例を、図8に示して説明する。

30

【0071】

図8は、画素Gの発光層7Gが図中右側にずれて形成された場合を示している。なお、説明の便宜上、他の層にはずれはなく、設計通りの位置(すなわち、図7に示したと同様の位置)に形成されたものとする。このとき、エレクトロルミネセンス表示装置300の断面の領域13において、発光層7Gがバンク4上で画素Bの電子ブロック層6Bと重なり合っている。しかしながら、エレクトロルミネセンス表示装置300においても、画素Gの発光層7Gが形成されてから画素Bの電子ブロック層6Bが形成されているから、図6に示すように、バンク4上で画素B側に伸び出した発光層7Gの上に電子ブロック層6Bが形成され、画素Gの発光層7Gと正孔ブロック層8とは直接接しない。

40

【0072】

この場合において、画素Bの画素電極3から導入された正孔の一部は、矢印H1で示したように電子ブロック層6B内を画素Bの外側へと移動し、領域13に侵入し、発光層7Gに到達し得るものと考えられる。しかしながら、共通電極10から導入された電子は、

50

矢印 E で示すように、電子ブロック層 6 B によりブロックされ、発光層 7 G に到達することができない。そのため、発光層 7 G 内で正孔と電子が結合することがなく、バンク 4 上での隣接画素色（この説明の例では、緑色）の意図せぬ発光が防止されることになる。

【0073】

さらに、画素 G の画素電極 3 から導入された正孔の一部は、矢印 H 2 で示したように電子ブロック層 6 G 内を画素 B 側へと移動し、領域 1 3 に侵入し、バンク 4 上で、電子ブロック層 6 G からはみ出した発光層 7 G の部分にまで到達し得るものと考えられる。しかしながら、この場合においても、共通電極 10 から導入された電子は、矢印 E で示すように、電子ブロック層 6 B によりブロックされ、発光層 7 G に到達することができない。そのため、バンク 4 上で、電子ブロック層 6 G からはみ出した発光層 7 G 内で正孔と電子が結合することがなく、バンク 4 上での意図せぬ白色発光が低減されることになる。

10

【0074】

本発明は、上記実施形態に限定されるものではなく、種々の変形が可能である。例えば、上記実施形態で示した構成と実質的に同一の構成、同一の作用効果を奏する構成又は同一の目的を達成することができる構成で置き換えることができる。

【0075】

本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。例えば、前述の各実施形態に対して、当業者が適宜、構成要素の追加、削除若しくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

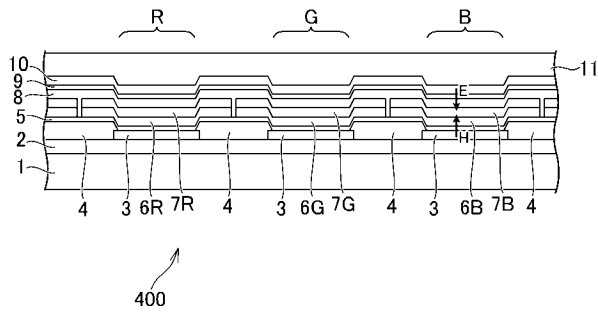
20

【符号の説明】

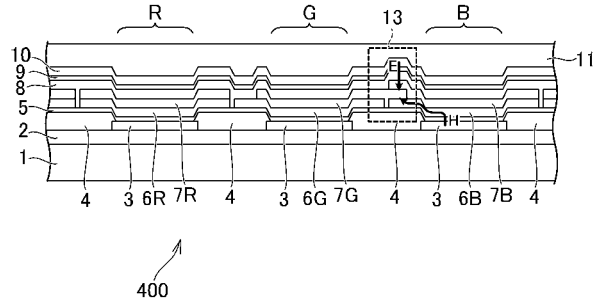
【0076】

1 基板、2 回路層、3 画素電極、4 バンク、5 正孔注入層、6 電子ブロック層、7 発光層、8 正孔ブロック層、9 電子注入層、10 共通電極、11 封止層、13 領域、14 領域。

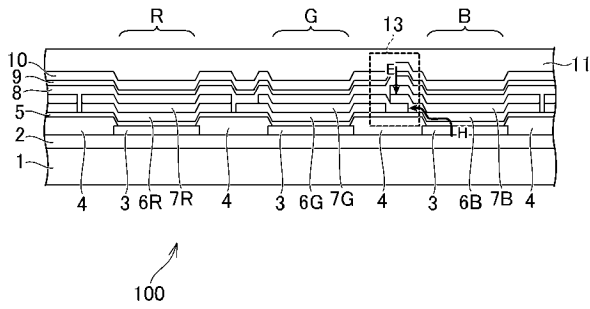
【 図 1 】



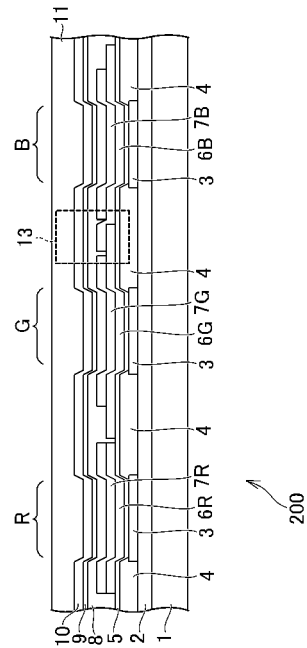
【 図 2 】



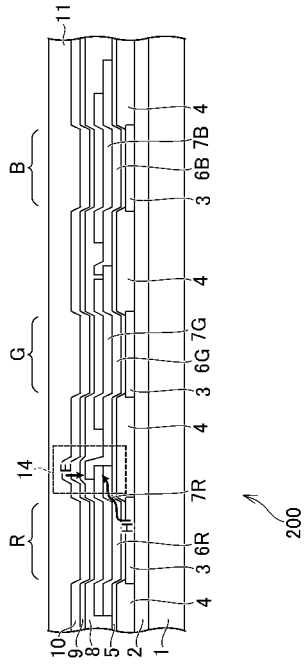
【 図 3 】



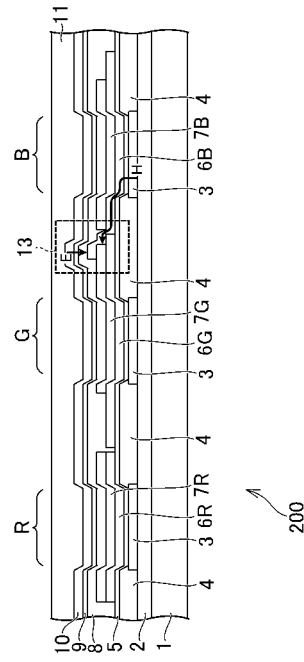
【 図 4 】



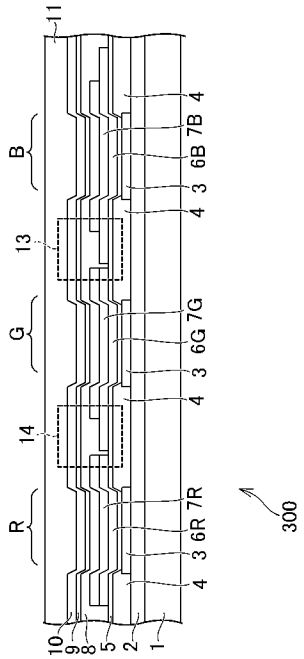
【 図 5 】



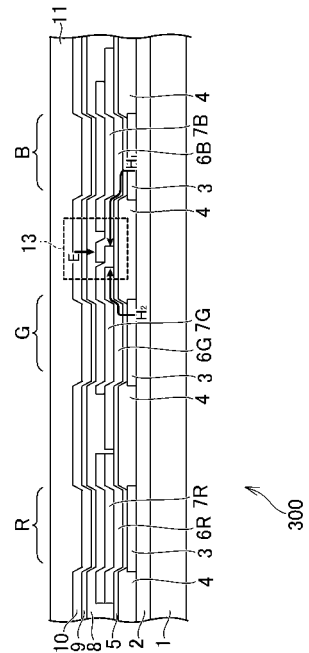
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/10

H 0 5 B 33/22

A

专利名称(译)	电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">JP2020113638A</a>	公开(公告)日	2020-07-27
申请号	JP2019003253	申请日	2019-01-11
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	前田典久		
发明人	前田 典久		
IPC分类号	H01L51/50 H01L27/32 H05B33/12 H05B33/22 H05B33/10		
FI分类号	H05B33/22.C H01L27/32 H05B33/12.B H05B33/22.Z H05B33/14.A H05B33/10 H05B33/22.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC04 3K107/CC33 3K107/DD71 3K107/DD74 3K107/FF15 3K107/GG28 3K107/GG33		

摘要(译)

解决的问题:减少由于相邻像素颜色的意外发光以及在电致发光显示设备中的堤上产生自彩色发光而引起的颜色混合。 种类代码:A1规则地布置发射特定颜色的光的像素,并且提供至少多个发射不同颜色的光的像素的阵列,并且当从观看方向观看时,这些像素具有公共电极。 第一阻挡层,发光层7,第二阻挡层和像素电极3以此顺序堆叠,并且至少发光层7,第二阻挡层和像素电极3对于每个像素是独立的。 相邻像素由堤4隔开,并且像素阵列的至少一部分具有与属于堤4上的一个像素的发光层7上的一个像素不同的发光颜色。 一种电致发光显示装置,其中属于另一个像素的第二阻挡层具有部分重叠。 [选择图]图3

