

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-75370

(P2019-75370A)

(43) 公開日 令和1年5月16日(2019.5.16)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/06 (2006.01)	H05B 33/06	3K107
H01L 27/32 (2006.01)	H01L 27/32	5C094
H01L 51/50 (2006.01)	H05B 33/14 A	
H05B 33/22 (2006.01)	H05B 33/22 Z	
G09F 9/30 (2006.01)	G09F 9/30 330	

審査請求 有 請求項の数 10 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2018-189451 (P2018-189451)
 (22) 出願日 平成30年10月4日 (2018.10.4)
 (31) 優先権主張番号 10-2017-0134180
 (32) 優先日 平成29年10月16日 (2017.10.16)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー ディ스플레이 カンパニー リミテッド
 大韓民国 ソウル、ヨンドゥンポグ、ヨウィテロ 128
 (74) 代理人 110002077
 園田・小林特許業務法人
 (72) 発明者 パク, ゴンド
 大韓民国、10845 キョンギド、パジュシ、ウーロンミョン、エルジーロ 245
 Fターム(参考) 3K107 AA01 BB01 CC21 DD38 DD39
 DD90 DD91 DD92 DD93 DD95
 DD96 FF15 HH05
 5C094 AA32 BA27 DA14 DB02 FA01
 FA02 FB15

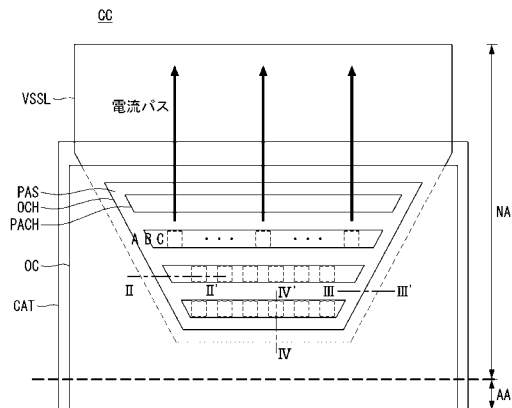
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】電極コンタクト部の損傷を防止することができる表示装置。

【解決手段】第1電極、有機膜層、及び第2電極CATを含む有機発光ダイオードが位置する表示部AA、及び表示部AAの外に位置し、少なくとも1つの連結パターンを通じて第2電極CATと低電位ラインVSSLが連結された電極コンタクト部CCを含む非表示部NAを含み、電極コンタクト部CCは少なくとも1つの連結パターンを露出する複数のパッシベーションホールPACHを含むパッシベーション膜PAS、及びパッシベーション膜PASを露出するオーバーホールOCHを含むオーバーコート層OCを含む。

【選択図】 図10



【特許請求の範囲】**【請求項 1】**

第 1 電極、有機膜層、及び第 2 電極を含む有機発光ダイオードが位置する表示部と、前記表示部の外に位置し、少なくとも 1 つの連結パターンを通じて前記第 2 電極と低電位ラインとが連結された電極コンタクト部を含む非表示部と、を含み、前記電極コンタクト部は、前記少なくとも 1 つの連結パターンを露出する複数のパッシベーションホールを含むパッシベーション膜と、前記パッシベーション膜を露出するオーバーコートホールを含むオーバーコート層とを含む、表示装置。

10

【請求項 2】

前記複数のパッシベーションホールの全周囲は前記オーバーコートホールの周囲より長い、請求項 1 に記載の表示装置。

【請求項 3】

前記複数のパッシベーションホールの傾斜部の面積は、前記オーバーコートホールの傾斜部の面積より大きい、請求項 1 に記載の表示装置。

【請求項 4】

前記複数のパッシベーションホールは、前記オーバーコートホール内に配置される、請求項 2 に記載の表示装置。

【請求項 5】

前記低電位ライン上で前記低電位ラインとコンタクトする第 1 連結パターンと、前記第 1 連結パターン上で前記第 1 連結パターンとコンタクトする第 2 連結パターンをさらに含む、請求項 1 に記載の表示装置。

20

【請求項 6】

前記第 2 連結パターンは、前記複数のパッシベーションホールの傾斜部に沿って前記第 1 連結パターンとコンタクトする、請求項 5 に記載の表示装置。

【請求項 7】

前記パッシベーション膜は、前記第 1 連結パターンと前記第 2 連結パターンとの間に位置し、前記複数のパッシベーションホールは前記第 1 連結パターンを露出する、請求項 5 に記載の表示装置。

30

【請求項 8】

前記第 2 電極は前記第 2 連結パターン上に位置し、前記第 2 連結パターンとコンタクトする、請求項 7 に記載の表示装置。

【請求項 9】

前記第 1 電極はアノードであり、前記第 2 電極はカソードである、請求項 1 に記載の表示装置。

【請求項 10】

前記複数のパッシベーションホールの平面形状はストライプ状またはドット形である、請求項 1 に記載の表示装置。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本発明は表示装置に関し、より詳しくは、電極コンタクト部で抵抗により発生する損傷を防止することができる表示装置に関する。

【背景技術】**【0002】**

情報化社会が発展するにつれて、画像を表示するための表示装置に対する要求が多様な形態に増加している。表示装置分野は体積の大きい陰極線管 (Cathode Ray Tube: CRT) に取り替える、薄くて軽くて大面積が可能な平板表示装置 (Flat Panel Display Device: FPD) に急速に変化してきた。平板表示装置には液晶表示装置 (Liquid Crystal Dis

50

play Device : LCD)、プラズマディスプレイパネル(Plasma Display Panel : PDP)、有機発光表示装置(Organic Light Emitting Display Device : OLED)、そして電気泳動表示装置(Electrophoretic Display Device : ED)などがある。

【0003】

そのうち、有機発光表示装置は自ら発光する自発光素子であって、応答速度が速く、発光効率、輝度、及び視野角が大きいという長所がある。特に、有機発光表示装置は柔軟な(flexible)プラスチック基板の上にも形成できるだけでなく、プラズマディスプレイパネル(Plasma Display Panel)や無機電界発光(EL)ディスプレイに比べて低い電圧で駆動が可能であり、電力消費が比較的少なく、色感に優れるという長所がある。

【0004】

有機発光表示装置は、アノードである第1電極、発光する有機膜層、及びカソードである第2電極を含む。第1電極は高電位電圧が形成され、第2電極は低電位電圧が形成されて、第1電極と第2電極との間に駆動電流が流れて有機膜層で光を発光する。このような有機発光表示装置を駆動するために、同種または異種の複数の配線または電極が互いにコンタクトして連結される。しかしながら、異種の配線または電極がコンタクトすれば、コンタクト部の抵抗によって温度が上昇し、この温度が臨界点以上になればコンタクト部が損傷される問題がある。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は電極コンタクト部で抵抗により発生する損傷を防止することができる表示装置を提供する。

【課題を解決するための手段】

【0006】

本発明の一実施形態に係る表示装置は、第1電極、有機膜層、及び第2電極を含む有機発光ダイオードが位置する表示部、及び前記表示部の外に位置し、少なくとも1つの連結パターンを通じて前記第2電極と低電位ラインとが連結された電極コンタクト部を含む非表示部を含み、前記電極コンタクト部は前記少なくとも1つの連結パターンを露出する複数のパッシベーションホールを含むパッシベーション膜、及び前記パッシベーション膜を露出するオーバーコートホールを含むオーバーコート層を含む。

【0007】

前記複数のパッシベーションホールの全周囲は、前記オーバーホールの周囲より長い。

【0008】

前記複数のパッシベーションホールの傾斜部の面積は、前記オーバーコートホールの傾斜部の面積より大きい。

【0009】

前記複数のパッシベーションホールは、前記オーバーコートホール内に配置される。

【0010】

前記低電位ライン上で前記低電位ラインとコンタクトする第1連結パターン及び前記第1連結パターン上で前記第1連結パターンとコンタクトする第2連結パターンをさらに含む。

【0011】

前記第2連結パターンは、前記複数のパッシベーションホールの傾斜部に沿って前記第1連結パターンとコンタクトする。

【0012】

前記パッシベーション膜は前記第1連結パターンと前記第2連結パターンとの間に位置し、前記複数のパッシベーションホールは前記第1連結パターンを露出する。

【0013】

前記第2電極は前記第2連結パターン上に位置し、前記第2連結パターンとコンタクトする。

10

20

30

40

50

【0014】

前記第1電極はアノードであり、前記第2電極はカソードである。

【0015】

前記複数のパッシベーションホールの平面形状はストライプ状またはドット形である。

【図面の簡単な説明】

【0016】

本発明に関する理解を助けるために詳細な説明の一部に含まれる、添付図面は本発明に対する実施形態を提供し、詳細な説明と共に本発明の技術的特徴を説明する。

【0017】

【図1】有機発光表示装置の概略的なブロック図である。

10

【図2】サブピクセルの概略的な回路構成図である。

【図3】サブピクセルの詳細回路構成例示図である。

【図4】表示パネルの断面例示図である。

【図5】本発明の一実施形態に係る有機発光表示装置を示す平面図である。

【図6】本発明の一実施形態に係る有機発光表示装置のサブピクセル部分を示す断面図である。

【図7】図5の電極コンタクト部を拡大した図である。

【図8】図7の切取線I-I'による断面図である。

【図9】バートが発生した電極コンタクト部を示すイメージである。

【図10】本発明の実施形態に係る電極コンタクト部を示す平面図である。

20

【図11】配線と抵抗の関係を示す模式図である。

【図12】図10の切取線II-II'による断面図である。

【図13】図10の切取線III-III'による断面図である。

【図14】図10の切取線IV-IV'による断面図である。

【図15】パッシベーションホールの多様な平面形状を示す図である。

【図16】パッシベーションホールの多様な平面形状を示す図である。

【図17】パッシベーションホールの多様な平面形状を示す図である。

【発明を実施するための形態】

【0018】

以下、添付した図面を参照して、本発明の好ましい実施形態を説明する。明細書の全体に亘って同一な参照番号は実質的に同一な構成要素を意味する。以下の説明で、本発明と関連した公知技術または構成に対する具体的な説明が本発明の要旨を曖昧にすることがあると判断される場合、その詳細な説明を省略する。また、以下の説明で使われる構成要素の名称は明細書作成の容易性を考慮して選択されたものであって、実際の製品の部品名称とは相異することがある。また、位置関係に対する説明の場合、例えば、'～上に'、'～上部に'、'～下部に'、'～側に'などで2部分の位置関係が説明される場合、'直ぐ'または'直接'または'接して'が一緒に用いられない以上、2部分の間に1つ以上の他の部分が位置することもできる。

30

【0019】

本発明に従う表示装置は、ガラス基板またはフレキシブル基板上に表示素子が形成された表示装置である。表示装置の例に、有機発光表示装置、液晶表示装置、電気泳動表示装置などが使用可能であるが、本発明では有機発光表示装置を例として説明する。有機発光表示装置は、アノードである第1電極とカソードである第2電極との間に有機物からなる有機膜層を含む。したがって、第1電極から供給を受ける正孔と第2電極から供給を受ける電子が有機膜層内で結合して正孔-電子対である励起子(exciton)を形成し、励起子が底状態に戻りながら発生するエネルギーにより発光する自発光表示装置である。

40

【0020】

以下、添付した図面を参照して、本発明の実施形態を説明する。

【0021】

図1は有機発光表示装置の概略的なブロック図であり、図2はサブピクセルの概略的な回

50

路構成図であり、図3はサブピクセルの詳細回路構成例示図であり、図4は表示パネルの断面例示図である。

【0022】

図1に図示したように、有機発光表示装置は、映像処理部110、タイミング制御部120、データ駆動部130、スキャン駆動部140、及び表示パネル150を含む。

【0023】

映像処理部110は外部から供給されたデータ信号(DATA)と共にデータインーブル信号(DE)などを出力する。映像処理部110は、データインーブル信号(DE)の他にも垂直同期信号、水平同期信号、及びクロック信号のうち、1つ以上を出力することができるが、この信号は説明の便宜上、省略図示する。

10

【0024】

タイミング制御部120は、映像処理部110からデータインーブル信号(DE)または垂直同期信号、水平同期信号、及びクロック信号などを含む駆動信号と共にデータ信号(DATA)の供給を受ける。タイミング制御部120は、駆動信号に基づいてスキャン駆動部140の動作タイミングを制御するためのゲートタイミング制御信号(GDC)とデータ駆動部130の動作タイミングを制御するためのデータタイミング制御信号(DDC)を出力する。

【0025】

データ駆動部130は、タイミング制御部120から供給されたデータタイミング制御信号(DDC)にตอบสนองしてタイミング制御部120から供給されるデータ信号(DATA)をサンプリングラッチして、ガンマ基準電圧に変換して出力する。データ駆動部130は、データラインDL1~DLnを通じてデータ信号(DATA)を出力する。データ駆動部130は、IC(Integrated Circuit)形態に形成できる。

20

【0026】

スキャン駆動部140は、タイミング制御部120から供給されたゲートタイミング制御信号(GDC)にตอบสนองしてスキャン信号を出力する。スキャン駆動部140は、ゲートラインGL1~GLmを通じてスキャン信号を出力する。スキャン駆動部140は、IC(Integrated Circuit)形態に形成されるか、または表示パネル150にゲートインパネル(Gate In Panel)方式により形成される。

【0027】

表示パネル150は、データ駆動部130及びスキャン駆動部140から供給されたデータ信号(DATA)及びスキャン信号に対応して映像を表示する。表示パネル150は、映像が表示できるように動作するサブピクセルSPを含む。

30

【0028】

サブピクセルSPは、赤色サブピクセル、緑色サブピクセル、及び青色サブピクセルを含むか、または白色サブピクセル、赤色サブピクセル、緑色サブピクセル、及び青色サブピクセルを含む。サブピクセルSPは、発光特性によって1つ以上の異なる発光面積を有することができる。

【0029】

図2に図示したように、1つのサブピクセルには、スイッチングトランジスタSW、駆動トランジスタDR、キャパシタCst、補償回路CC、及び有機発光ダイオードOLEDが含まれる。

40

【0030】

スイッチングトランジスタSWはゲートラインGLを通じて供給されたスキャン信号にตอบสนองしてデータラインDLを通じて供給されるデータ信号がキャパシタCstにデータ電圧で格納されるようにスイッチング動作する。駆動トランジスタDRは、キャパシタCstに格納されたデータ電圧によって第1電源ラインEVDD(高電位電圧)と第2電源ラインEVSS(低電位電圧)との間に駆動電流が流れるように動作する。有機発光ダイオードOLEDは駆動トランジスタDRにより形成された駆動電流によって光を発光するように動作する。

50

【 0 0 3 1 】

補償回路 C C は駆動トランジスタ D R のしきい値電圧などを補償するためにサブピクセル内に追加された回路である。補償回路 C C は、1 つ以上のトランジスタで構成される。補償回路 C C の構成は外部補償方法によって非常に多様であるところ、これに対する例示を説明すると、次の通りである。

【 0 0 3 2 】

図 3 に図示したように、補償回路 C C にはセンシングトランジスタ S T とセンシングライン V R E F (または、レファレンスライン) が含まれる。センシングトランジスタ S T は、駆動トランジスタ D R の第 2 の電極、例えばドレイン電極と有機発光ダイオード O L E D のアノード電極との間 (以下、センシングノード) に接続される。センシングトランジスタ S T は、センシングライン V R E F を通じて伝達される初期化電圧 (または、センシング電圧) を駆動トランジスタ D R のセンシングノードに供給するか、または駆動トランジスタ D R のセンシングノードまたはセンシングライン V R E F の電圧または電流がセンシングできるように動作する。

10

【 0 0 3 3 】

スイッチングトランジスタ S W はデータライン D L に第 1 電極が連結され、駆動トランジスタ D R のゲート電極に第 2 電極が連結される。駆動トランジスタ D R は第 1 電源ライン E V D D に第 1 電極が連結され、有機発光ダイオード O L E D のアノード電極に第 2 電極が連結される。キャパシタ C s t は駆動トランジスタ D R のゲート電極に第 1 電極が連結され、有機発光ダイオード O L E D のアノード電極に第 2 電極が連結される。有機発光ダイオード O L E D は駆動トランジスタ D R の第 2 電極にアノード電極が連結され、第 2 電源ライン E V S S にカソード電極が連結される。センシングトランジスタ S T はセンシングライン V R E F に第 1 電極が連結され、センシングノードである有機発光ダイオード O L E D のアノード電極及び駆動トランジスタ D R の第 2 電極に第 2 電極が連結される。

20

【 0 0 3 4 】

センシングトランジスタ S T の動作時間は外部補償アルゴリズム (または、補償回路の構成) によってスイッチングトランジスタ S W と類似 / 同一、または異なることができる。一例に、スイッチングトランジスタ S W は第 1 a ゲートライン G L 1 a にゲート電極が連結され、センシングトランジスタ S T は第 1 b ゲートライン G L 1 b にゲート電極が連結できる。この場合、第 1 a ゲートライン G L 1 a にはスキャン信号 (S c a n) が伝達され、第 1 b ゲートライン G L 1 b にはセンシング信号 (S e n s e) が伝達される。他の例に、スイッチングトランジスタ S W のゲート電極に連結された第 1 a ゲートライン G L 1 a とセンシングトランジスタ S T のゲート電極に連結された第 1 b ゲートライン G L 1 b は共通に共有するように連結できる。

30

【 0 0 3 5 】

センシングライン V R E F は、データ駆動部に連結できる。この場合、データ駆動部はリアルタイム、映像の非表示期間、または N フレーム (N は、1 以上の整数) 期間の間サブピクセルのセンシングノードをセンシングし、センシング結果が生成できるようになる。一方、スイッチングトランジスタ S W とセンシングトランジスタ S T は同一な時間にターンオンできる。この場合、データ駆動部の時分割方式によりセンシングライン V R E F を通じてのセンシング動作とデータ信号を出力するデータ出力動作は相互分離 (区分) される。

40

【 0 0 3 6 】

その他に、センシング結果に従う補償対象は、デジタル形態のデータ信号、アナログ形態のデータ信号、またはガンマなどになることができる。そして、センシング結果に基づいて補償信号 (または、補償電圧) などを生成する補償回路は、データ駆動部の内部、タイミング制御部の内部、または別途の回路で具現できる。

【 0 0 3 7 】

光遮断層 L S は、駆動トランジスタ D R のチャンネル領域の下部のみに配置されるか、または駆動トランジスタ D R のチャンネル領域の下部だけでなく、スイッチングトランジスタ

50

タSW及びセンシングトランジスタSTのチャンネル領域の下部にも配置できる。光遮断層LSは、単純に外光を遮断する目的として使用するか、または光遮断層LSを他の電極やラインとの連結を図って、キャパシタなどを構成する電極に活用することができる。したがって、光遮断層LSは遮光特性を有するように複層（異種金属の複層）の金属層に選択される。

【0038】

その他、図3ではスイッチングトランジスタSW、駆動トランジスタDR、キャパシタCst、有機発光ダイオードOLED、センシングトランジスタSTを含む3T（Transistor）1C（Capacitor）構造のサブピクセルを一例として説明したが、補償回路CCが追加された場合、3T2C、4T2C、5T1C、6T2Cなどで構成されることもできる。

10

【0039】

図4に図示したように、基板（または、薄膜トランジスタ基板）SUBの表示領域AA上には図3で説明された回路に基づいてサブピクセルが形成される。表示領域AA上に形成されたサブピクセルは保護部材ENCにより封入される。その他の未説明されたNAは非表示領域を意味する。

【0040】

サブピクセルは表示領域AA上で赤色（R）、白色（W）、青色（B）、及び緑色（G）の順に水平または垂直に配置される。そして、サブピクセルは赤色（R）、白色（W）、青色（B）、及び緑色（G）が1つのピクセルPとなる。しかしながら、サブピクセルの配置順序は発光材料、発光面積、補償回路の構成（または、構造）などによって多様に変更できる。また、サブピクセルは赤色（R）、青色（B）、及び緑色（G）が1つのピクセルPとなることができる。

20

【0041】

図5は本発明の一実施形態に係る有機発光表示装置を示す平面図であり、図6は本発明の一実施形態に係る有機発光表示装置のサブピクセル部分を示す断面図であり、図7は図5の電極コンタクト部を拡大した図であり、図8は図7の切取線I-I'による断面図であり、図9はバート（burnt）が発生した電極コンタクト部を示すイメージである。

【0042】

図5を参照すると、有機発光表示装置は基板SUB上に表示部AA及び非表示部NAを含む。非表示部NAは基板SUBの左右側に各々配置されたGIP駆動部GIP、及び基板SUBの下側に配置されたパッド部PDを含む。表示部AAは複数のサブピクセルSPが配置されて、R、G、B、またはR、G、B、Wを発光してフルカラーを具現する。GIP駆動部GIPは、表示部AAにゲート駆動信号を印加する。パッド部PDは、表示部AAの一侧、例えば下側に配置され、パッド部PDにチップオンフィルムCOFが付着される。表示部AAから連結された複数の信号線（図示せず）にチップオンフィルムCOFを通じて印加されるデータ信号及び電源が印加される。

30

【0043】

以下、本発明の図6を参照して、有機発光表示装置のサブピクセルSP領域の断面構造を説明する。

40

【0044】

図6を参照すると、本発明の一実施形態に係る有機発光表示装置は基板SUB上に第1バッファ層BUF1が位置する。基板SUBはフレキシブル基板またはガラス基板であって、フレキシブル基板は柔軟なポリイミド（Polyimide）などの樹脂基板でありうる。第1バッファ層BUF1は基板SUBから流出されるアルカリイオンなどの不純物から後続工程で形成される薄膜トランジスタを保護する役目をする。第1バッファ層BUF1は、シリコン酸化物（SiO_x）、シリコン窒化物（SiN_x）、またはこれらの多重層でありうる。

【0045】

第1バッファ層BUF1上に光遮断層LSが位置する。光遮断層LSは外部の光が入射さ

50

れることを遮断して薄膜トランジスタで光電流が発生することを防止する役目をする。光遮断層LS上に第2バッファ層BUF2が位置する。第2バッファ層BUF2はシールド層LSから流出されるアルカリイオンなどの不純物から後続工程で形成される薄膜トランジスタを保護する役目をする。第2バッファ層BUF2は、シリコン酸化物(SiO_x)、シリコン窒化物(SiN_x)、またはこれらの多重層でありうる。

【0046】

第2バッファ層BUF2上に半導体層ACTが位置する。半導体層ACTは、シリコン半導体や酸化物半導体からなることができる。シリコン半導体は、非晶質シリコンまたは結晶化された多結晶シリコンを含むことができる。ここで、多結晶シリコンは移動度が高く(100cm²/Vs以上)、エネルギー消費電力が低く、信頼性が優れて、駆動素子用ゲートドライバー及び/又はマルチプレクサMUXに適用するか、または画素内の駆動TFTに適用することができる。一方、酸化物半導体はオフ電流が低いので、オン(On)時間が短く、オフ(Off)時間を長く維持するスイッチングTFTに適している。また、オフ電流が小さいので、画素の電圧維持期間が長くて、低速駆動及び/又は低消費電力を要求する表示装置に適している。また、半導体層ACTはp型またはn型の不純物を含むドレイン領域及びソース領域を含み、これらの間にチャンネルを含む。

10

【0047】

半導体層ACT上にゲート絶縁膜GIが位置する。ゲート絶縁膜GIは、シリコン酸化物(SiO_x)、シリコン窒化物(SiN_x)、またはこれらの多重層でありうる。ゲート絶縁膜GI上に前記半導体層ACTの一定領域、即ち不純物が注入された場合のチャンネルと対応する位置にゲート電極GAが位置する。ゲート電極GAは、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、金(Au)、チタニウム(Ti)、ニッケル(Ni)、ネオジム(Nd)、及び銅(Cu)からなる群から選択されたいずれか1つまたはこれらの合金で形成される。また、ゲート電極GAは、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、金(Au)、チタニウム(Ti)、ニッケル(Ni)、ネオジム(Nd)、及び銅(Cu)からなる群から選択されたいずれか1つまたはこれらの合金からなる多重層でありうる。例えば、ゲート電極GAはモリブデン/アルミニウム-ネオジム、またはモリブデン/アルミニウムの二重層でありうる。

20

【0048】

ゲート電極GA上にゲート電極GAを絶縁させる層間絶縁膜ILDが位置する。層間絶縁膜ILDは、シリコン酸化膜(SiO_x)、シリコン窒化膜(SiN_x)、またはこれらの多重層でありうる。層間絶縁膜ILD及びゲート絶縁膜GIの一部領域に半導体層ACTの一部を露出させるコンタクトホールCHが位置する。

30

【0049】

層間絶縁膜ILD上にドレイン電極DEとソース電極SEが位置する。ドレイン電極DEは半導体層ACTのドレイン領域を露出するコンタクトホールCHを通じて半導体層ACTに連結され、ソース電極SEは半導体層ACTのソース領域を露出するコンタクトホールCHを通じて半導体層ACTに連結される。ソース電極SE及びドレイン電極DEは単一層または多重層からなることができ、前記ソース電極SE及びドレイン電極DEが単一層である場合には、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、金(Au)、チタニウム(Ti)、ニッケル(Ni)、ネオジム(Nd)、及び銅(Cu)からなる群から選択されたいずれか1つまたはこれらの合金からなることができる。また、前記ソース電極SE及びドレイン電極DEが多重層である場合には、モリブデン/アルミニウム-ネオジムの二重層、チタニウム/アルミニウム/チタニウム、モリブデン/アルミニウム/モリブデン、またはモリブデン/アルミニウム-ネオジム/モリブデンの三重層からなることができる。したがって、半導体層ACT、ゲート電極GA、ドレイン電極DE、及びソース電極SEを含む薄膜トランジスタTFTが構成される。

40

【0050】

薄膜トランジスタTFTを含む基板SUB上にパッシベーション膜PASが位置する。パッシベーション膜PASは下部の素子を保護する絶縁膜であって、シリコン酸化膜(Si

50

Ox)、シリコン窒化膜(SiNx)、またはこれらの多重層でありうる。パッシベーション膜PAS上にカラーフィルタCFが位置する。カラーフィルタCFは、有機発光ダイオードOLEDで発光する白色の光を赤色、緑色、または青色に変換する役目をする。カラーフィルタCF上にオーバーコート層OCが位置する。オーバーコート層OCは下部構造の段差を緩和させるための平坦化膜であって、ポリイミド(polyimide)、ベンゾシクロブテン系樹脂(benzocyclobutene series resin)、アクリレート(acrylate)などの有機物からなる。オーバーコート層OCは、前記有機物を液状形態にコーティングした後、硬化させるSOG(spin on glass)のような方法により形成できる。

【0051】

オーバーコート層OCの一部領域にはドレイン電極DEを露出させるビヤホールVIAが位置する。オーバーコート層OC上に有機発光ダイオードOLEDが位置する。より詳しくは、オーバーコート層OC上に第1電極ANOが位置する。第1電極ANOは画素電極として作用し、ビヤホールVIAを通じて薄膜トランジスタTFTのドレイン電極DEに連結される。第1電極ANOはアノードであって、ITO(Indium Tin Oxide)、IZO(Indium Zinc Oxide)、またはZnO(Zinc Oxide)などの透明導電物質からなることができる。第1電極ANOが反射電極である場合、第1電極ANOは反射層をさらに含む。反射層は、アルミニウム(Al)、銅(Cu)、銀(Ag)、ニッケル(Ni)、またはこれらの合金からなることができ、好ましくはAPC(銀/パラジウム/銅合金)からなることができる。

【0052】

第1電極ANOを含む基板SUB上に画素を区画するバンク層BNKが位置する。バンク層BNKはポリイミド(polyimide)、ベンゾシクロブテン系樹脂(benzocyclobutene series resin)、アクリレート(acrylate)などの有機物からなる。バンク層BNKには第1電極ANOを露出させる画素定義部OPが位置する。フレキシブル基板PIの前面には第1電極ANOに接触する有機膜層OLEが位置する。有機膜層OLEは電子と正孔が結合して発光する層であって、有機膜層OLEと第1電極ANOとの間に正孔注入層または正孔輸送層を含むことができ、有機膜層OLE上に電子輸送層または電子注入層を含むことができる。

【0053】

有機膜層OLE上に第2電極CATが位置する。第2電極CATは表示部AAの前面に位置し、カソード電極に仕事関数の低いマグネシウム(Mg)、カルシウム(Ca)、アルミニウム(Al)、銀(Ag)、またはこれらの合金からなることができる。第2電極CATが透過電極である場合、光が透過できる程度に薄い厚さで形成され、反射電極である場合、光が反射できる程度に厚い厚さで形成される。第2電極CAT上に保護膜PRLが位置する。薄膜トランジスタTFTと有機発光ダイオードOLEDが形成された基板SUBの上部面には接着層FSAを通じて保護部材ENCが付着される。保護部材ENCは金属薄膜でありうる。

【0054】

また、図5を参照すると、以上のように構成された有機発光表示装置は、非表示部NAで第2電極CATに低電位を供給するための低電位ラインと第2電極が連結される電極コンタクト部CCが配置される。以下にこれを具体的に説明する。

【0055】

図7を参照すると、電極コンタクト部CCは有機発光表示装置の非表示部NAに位置する。電極コンタクト部CCは、パッド部(図示せず)から延長された低電位ラインVSSLと表示部AAから延長された第2電極CATが重畳して互いに連結される。電流パスは第2電極CATから低電位ラインVSSLに流れるようになる。

【0056】

より具体的に、図8を参照すると、低電位ラインVSSLは層間絶縁膜ILDの層間ホールILCHを通じて上部の第1連結パターンSDCと接触する。第1連結パターンSDCは、ソース/ドレイン電極物質からなる。第1連結パターンSDCは、パッシベー

ション膜 P A S のパッシベーションホール P A C H 及びオーバーコート層 O C のオーバーホール O C H を通じて上部の第 2 連結パターン I T C とコンタクトする。第 2 連結パターン I T C は、第 1 電極 A N O のような材料、例えば I T O などの金属酸化物からなる。第 2 連結パターン I T C 上に第 2 電極 C A T が第 2 連結パターン I T C と直接コンタクトして、最終的に第 2 電極 C A T が低電位ライン V S S L と電氣的に連結される。

【 0 0 5 7 】

電極コンタクト部 C C は、第 1 領域 A、第 2 領域 B、及び第 3 領域 C に区分できる。第 1 領域 A はオーバーホール O C H が位置した領域であり、第 2 領域 B はパッシベーションホール P A C H が始まる領域であって、パッシベーションホール P A C H の傾斜部 S L が位置した領域であり、第 3 領域 C はパッシベーション膜 P A S が存在しないパッシベーションホール P A C H の内部領域である。

10

【 0 0 5 8 】

前記第 1 から第 3 領域 A、B、C で電流パスを調べると、第 1 領域 A の第 2 電極 C A T から電流が流れて第 2 領域 B を通じて第 3 領域 C の低電位ライン V S S L に流れ出す。この際、第 2 電極 C A T はパッシベーションホール P A C H の傾斜部 S L でその厚さが薄くなる。これは、パッシベーション膜 P A S の無機材料特性上、ドライエッチングしてパッシベーションホール P A C H を形成すれば、傾斜部 S L の傾斜角が非常に大きく形成される。相対的にオーバーホール O C H はオーバーコート層 O C の有機材料特性上、ウェットエッチングするので、オーバーホール O C H の傾斜角が小さく形成される。したがって、パッシベーションホール P A C H の傾斜部 S L が配置された第 2 領域 B で第 2 電極 C A T の厚さが薄く形成されるので、抵抗が増加する。第 1 から第 3 領域 A、B、C の各々で同一面積対比相対抵抗を調べると、第 2 領域 B で抵抗が最も大きく、第 1 領域 A 及び第 3 領域 C の順に抵抗が小さくなる。したがって、図 9 に図示したように、パッシベーションホール P A C H の傾斜部 S L が配置された第 2 領域 B で抵抗によって発熱が増加してバークアウトが発生する。

20

以下、前述した電極コンタクト部でのバークアウト問題を解消するために、電極コンタクト部の構造を変更する実施形態を開示する。

【 0 0 5 9 】

< 実施形態 >

図 1 0 は本発明の実施形態に係る電極コンタクト部を示す平面図であり、図 1 1 は配線と抵抗の関係を示す模式図であり、図 1 2 は図 1 0 の切取線 II-II' による断面図であり、図 1 3 は図 1 0 の切取線 III-III' による断面図であり、図 1 4 は図 1 0 の切取線 IV-IV' による断面図である。図 1 5 から図 1 7 はパッシベーションホールの多様な平面形状を示す図である。

30

【 0 0 6 0 】

図 1 0 を参照すると、本発明の実施形態に係る有機発光表示装置は非表示部 N A に電極コンタクト部 C C を含む。電極コンタクト部 C C は、パッド部（図示せず）から延長された低電位ライン V S S L と表示部 A A から延長された第 2 電極 C A T が重畳して互いに連結される。

【 0 0 6 1 】

基板（図示せず）上に低電位ライン V S S L が配置され、低電位ライン V S S L 上にパッシベーション膜 P A S とオーバーコート層 O C が配置される。オーバーコート層 O C 上に第 2 電極 C A T が配置される。オーバーコート層 O C にはパッシベーション膜 P A S を露出するオーバーホール O C H が備えられ、パッシベーション膜 P A S にも第 2 電極 C A T が低電位ライン V S S L とコンタクトするように複数のパッシベーションホール P A C H を備える。したがって、第 2 電極 C A T はオーバーコート層 O C のオーバーホール O C H とパッシベーション膜 P A S のパッシベーションホール P A C H を通じて低電位ライン V S S L と連結される。低電位ライン V S S L と第 2 電極 C A T との間の電流パスは第 2 電極 C A T から低電位ライン V S S L に流れるようになる。

40

【 0 0 6 2 】

50

本発明は前述した図 7 に図示したものと異なり、第 2 電極 C A T と低電位ライン V S S L と連結されるためのパッシベーションホール P A C H が複数個に備えられる。平面視すると、複数のパッシベーションホール P A C H はオーバーホール O C H 内に配置される。ここで、複数のパッシベーションホール P A C H の全周囲はオーバーホール O C H の周囲より長く形成される。

【 0 0 6 3 】

図 1 1 を参照すると、一定の厚さ (T)、幅 (W)、及び長さ (L) を有する配線が示されている。このように、厚さが同一な配線の場合、幅 (W) を増加させることで、配線の抵抗を減らすことができる。

【 0 0 6 4 】

このような原理を用いて、本発明は第 2 電極 C A T の厚さが薄くなって抵抗が増える領域、即ち、パッシベーションホール P A C H の傾斜部 S L の面積を増加させて第 2 電極 C A T の抵抗を低める。この際、パッシベーションホール P A C H の傾斜部 S L の面積はパッシベーションホール P A C H の周囲の長さに比例し、図 1 1 の配線の幅 (W) を増加させるようにパッシベーションホール P A C H の周囲の長さを増加させて第 2 電極 C A T の抵抗を低める。

【 0 0 6 5 】

具体的に、図 1 2 から図 1 4 を参照して、図 1 0 の領域別に断面構造を説明する。図 1 2 に図示された断面構造は、電極コンタクト部 C C でパッシベーションホール P A C H が形成されない領域である。

【 0 0 6 6 】

図 1 2 を参照すると、基板 (図示せず) 上に低電位ライン V S S L が配置される。低電位ライン V S S L は、薄膜トランジスタのゲート電極物質からなる。低電位ライン V S S L 上に層間絶縁膜 I L D が配置される。層間絶縁膜 I L D 上に第 1 連結パターン S D C が配置される。第 1 連結パターン S D C は、薄膜トランジスタのソース/ドレイン電極物質からなり、電極コンタクト部 C C で島 (island) パターンに形成される。第 1 連結パターン S D C 上にパッシベーション膜 P A S が配置され、パッシベーション膜 P A S 上にオーバーコート層 O C が配置される。オーバーコート層 O C は、下部のパッシベーション膜 P A S を露出するためにオーバーホール O C H を備える。オーバーコート層 O C 及びパッシベーション膜 P A S 上に第 2 連結パターン I T C が配置され、オーバーコート層 O C 及び第 2 連結パターン I T C 上に第 2 電極 C A T が配置される。

【 0 0 6 7 】

図 1 2 に図示された領域はパッシベーションホール P A C H が形成されないので、第 2 電極 C A T が低電位ライン V S S L に連結されない。したがって、第 2 電極 C A T の電流パスは第 2 電極 C A T に沿って流れるようになる。

【 0 0 6 8 】

一方、図 1 3 を参照して電極コンタクト部 C C でパッシベーションホール P A C H が形成された領域の断面構造を調べると、基板 (図示せず) 上に低電位ライン V S S L が配置される。低電位ライン V S S L は、薄膜トランジスタのゲート電極物質からなる。低電位ライン V S S L 上に層間絶縁膜 I L D が位置し、層間絶縁膜 I L D は下部の低電位ライン V S S L を露出する少なくとも 1 つの層間ホール I L C H を備える。層間絶縁膜 I L D 上に第 1 連結パターン S D C が位置する。第 1 連結パターン S D C は薄膜トランジスタのソース/ドレイン電極物質からなり、電極コンタクト部 C C で島 (island) パターンに形成される。第 1 連結パターン S D C は、層間ホール I L C H を通じて下部の低電位ライン V S S L とコンタクトする。

【 0 0 6 9 】

第 1 連結パターン S D C 上にパッシベーション膜 P A S が配置される。パッシベーション膜 P A S は下部の第 1 連結パターン S D C を露出するためにパッシベーションホール P A C H を備える。パッシベーションホール P A C H はパッシベーション膜 P A S の厚さが減って下部の第 1 連結パターン S D C を露出する傾斜部 S L を含む。

10

20

30

40

50

【 0 0 7 0 】

パッシベーション膜 P A S 上にオーバーコート層 O C が配置される。オーバーコート層 O C は、下部のパッシベーション膜 P A S 及び第 1 連結パターン S D C を露出するためにオーバーホール O C H を備える。オーバーホール O C H は、オーバーコート層 O C の厚さが減って下部のパッシベーション膜 P A S 及び第 1 連結パターン S D C を露出する傾斜部 O S L を含む。オーバーコート層 O C 、パッシベーション膜 P A S 、及び第 1 連結パターン S D C 上に第 2 連結パターン I T C が配置される。第 2 連結パターン I T C は、オーバーコート層 O C 及びパッシベーション膜 P A S のステップカバレッジに従って形成されて第 1 連結パターン S D C と contacts する。第 2 連結パターン I T C は、第 1 電極と同一な材料、例えば I T O などの金属酸化物からなる。

10

【 0 0 7 1 】

そして、オーバーコート層 O C 及び第 2 連結パターン I T C 上に第 2 電極 C A T が配置される。第 2 電極 C A T は、第 2 連結パターン I T C のステップカバレッジに従って形成される。したがって、第 2 電極 C A T が第 2 連結パターン I T C と直接 contacts して、最終的に第 2 電極 C A T が低電位ライン V S S L と電氣的に連結される。

【 0 0 7 2 】

図 1 0 及び図 1 3 を参照すると、電極 contacts 部 C C は、第 1 領域 A 、第 2 領域 B 、及び第 3 領域 C に区分できる。第 1 領域 A は平らなオーバーホール O C H が始まる領域であって、オーバーホール O C H の傾斜部 O S L が位置した領域であり、第 2 領域 B はパッシベーションホール P A C H が始まる領域であって、パッシベーションホール P A C H の傾斜部 S L が位置した領域であり、第 3 領域 C はパッシベーション膜 P A S が存在しないパッシベーションホール P A C H の内部領域である。

20

【 0 0 7 3 】

前記第 1 から第 3 領域 A 、 B 、 C で電流パスを調べると、第 1 領域 A の第 2 電極 C A T から電流が流れて第 2 領域 B を通じて第 3 領域 C の低電位ライン V S S L に流れ出す。この際、パッシベーションホール P A C H の傾斜部 S L は第 2 電極 C A T の厚さが薄くなる領域であって、第 2 電極 C A T の抵抗を増加させる要因として作用する。

【 0 0 7 4 】

図 1 4 を参照して複数のパッシベーションホール P A C H が表れた断面構造を調べると、基板（図示せず）上に低電位ライン V S S L が配置される。低電位ライン V S S L 上に層間絶縁膜 I L D が位置し、層間絶縁膜 I L D は下部の低電位ライン V S S L を露出する少なくとも 1 つの層間ホール I L C H を備える。層間絶縁膜 I L D 上に第 1 連結パターン S D C が位置する。第 1 連結パターン S D C は層間ホール I L C H を通じて下部の低電位ライン V S S L と contacts する。

30

【 0 0 7 5 】

第 1 連結パターン S D C 上にパッシベーション膜 P A S が配置される。パッシベーション膜 P A S は、下部の第 1 連結パターン S D C を露出するために複数のパッシベーションホール P A C H を備える。パッシベーションホール P A C H は、パッシベーション膜 P A S の厚さが減って下部の第 1 連結パターン S D C を露出する傾斜部 S L を各々含む。

【 0 0 7 6 】

パッシベーション膜 P A S 上にオーバーコート層 O C が配置される。オーバーコート層 O C は、下部のパッシベーション膜 P A S 及び第 1 連結パターン S D C を露出するためにオーバーホール O C H を備える。オーバーホール O C H も厚さが減って下部のパッシベーション膜 P A S を露出する傾斜部 O S L を含む。オーバーコート層 O C 、パッシベーション膜 P A S 、及び第 1 連結パターン S D C 上に第 2 連結パターン I T C が配置される。第 2 連結パターン I T C は、オーバーコート層 O C 及びパッシベーション膜 P A S のステップカバレッジに従って形成されて第 1 連結パターン S D C と contacts する。そして、オーバーコート層 O C 及び第 2 連結パターン I T C 上に第 2 電極 C A T が配置される。第 2 電極 C A T は、第 2 連結パターン I T C のステップカバレッジに従って形成される。したがって、第 2 電極 C A T が第 2 連結パターン I T C と直接 contacts して、最終的に第 2 電

40

50

極 C A T が低電位ライン V S S L と電氣的に連結される。

【 0 0 7 7 】

図 1 4 に図示された電極コンタクト部 C C では、オーバーホール O C H の傾斜部 O S L が位置した第 1 領域 A 及びパッシベーションホール P A C H の傾斜部 S L が位置した第 2 領域 B が表れる。前記第 1 領域 A 及び第 2 領域 B で電流パスを調べると、第 1 領域 A の第 2 電極 C A T から電流が流れて第 2 領域 B を通じて低電位ライン V S S L に流れ出す。

【 0 0 7 8 】

本発明は第 2 電極 C A T から低電位ライン V S S L に入る電流パスを広げてくれて、第 2 電極 C A T の全体抵抗及び電流密度を減少させる。具体的に、パッシベーションホール P A C H の傾斜部 S L の面積を増加させて電極コンタクト部 C C での第 2 電極 C A T の全体抵抗及び電流密度を減少させる。パッシベーションホール P A C H の傾斜部 S L の面積はパッシベーションホール P A C H の周囲の長さに比例するので、パッシベーションホール P A C H の周囲の長さを増加させることも同一な効果を示すことができる。

10

【 0 0 7 9 】

第 2 電極 C A T から低電位ライン V S S L に入る電流パスを広げてくれるために、パッシベーションホール P A C H の形状は多様になされることができる。

【 0 0 8 0 】

図 1 5 及び図 1 6 に図示したように、パッシベーションホール P A C H は横ストライプまたは縦ストライプ 平面構造からなることができ、図 1 7 に図示したように、ドット平面形状からなることもできる。しかしながら、パッシベーションホール P A C H の傾斜部 S L の面積がオーバーホール O C H の傾斜部 O S L の面積より大きく形成されるか、またはパッシベーションホール P A C H の全周囲がオーバーホール O C H の周囲より長く形成されれば、パッシベーションホール P A C H の平面形状は如何なる形状からなっても関係ない。また、図 1 5 から図 1 7 で、パッシベーションホール P A C H の平面形状を複数の三角形または四角形に図示したが、複数の円形またはランダムな形状も可能である。

20

【 0 0 8 1 】

前述したように、本発明は電極コンタクト部でパッシベーション膜のパッシベーションホールを複数に形成し、かつオーバーコート層のオーバーホールより周囲の長さを長く形成するか、またはパッシベーションホールの傾斜部の面積をオーバーホールの傾斜部の面積より大きく形成することができる。したがって、第 2 電極で低電位ラインに流れ込む電流パスを増加させて、第 2 電極の全体抵抗及び電流密度を減少させることができる。したがって、本発明は電極コンタクト部で第 2 電極の抵抗によってバークが発生することを防止することができる利点がある。

30

【 0 0 8 2 】

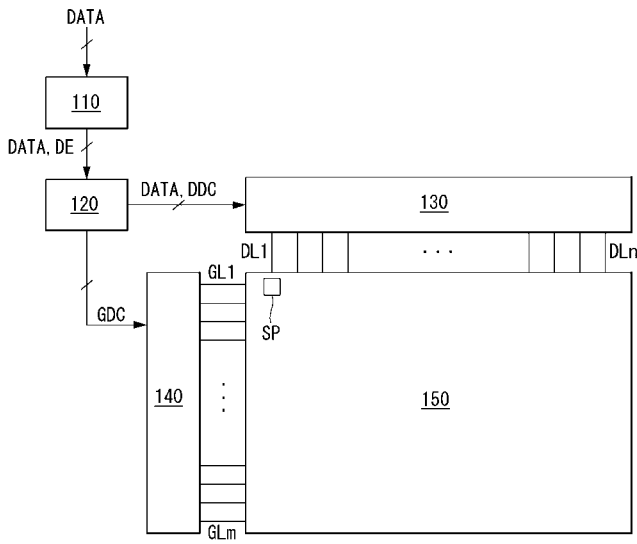
以上で説明された実施形態は本発明の構成要素と特徴が所定の形態に結合されたものである。各構成要素または特徴は別途の明示的な言及がない限り、選択的なものとして考慮されなければならない。各構成要素または特徴は、他の構成要素や特徴と結合されない形態に実施できる。また、一部の構成要素及び / 又は特徴を結合して本発明の実施形態を構成することも可能である。本発明の実施形態で説明される動作の順序は変更できる。

【 0 0 8 3 】

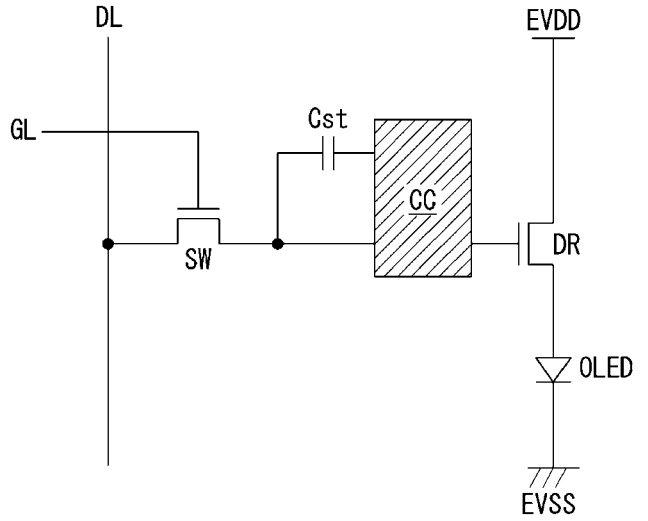
本特許出願は、2017年10月16日付けで韓国に出願した特許出願番号第10-2017-0134180号に対して優先権を主張し、その全ての内容は参考文献として本特許出願に併合される。

40

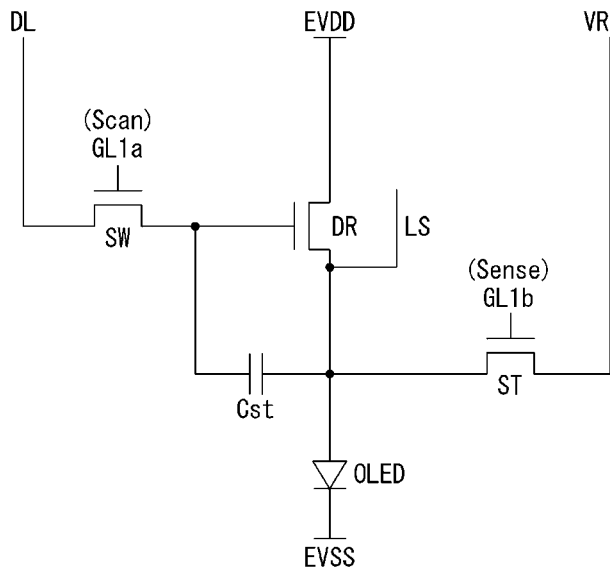
【 図 1 】



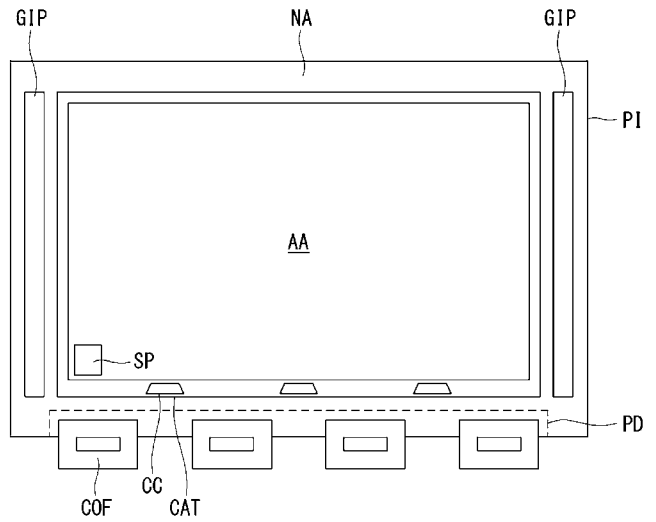
【 図 2 】



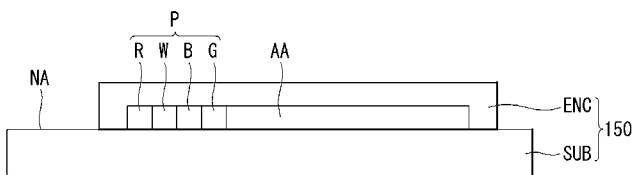
【 図 3 】



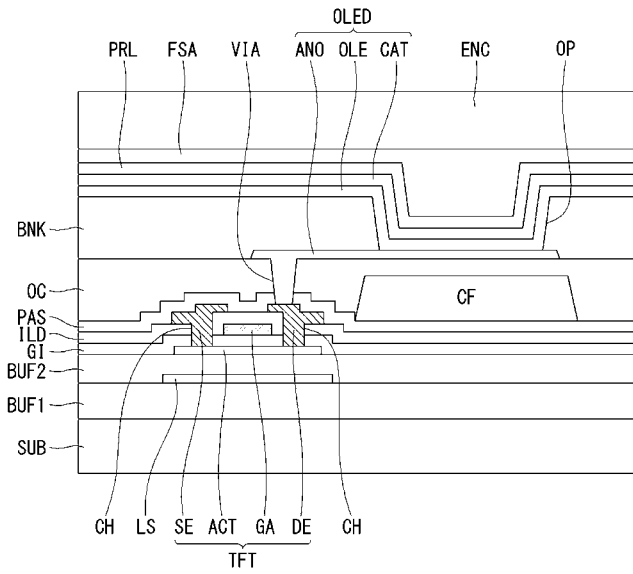
【 図 5 】



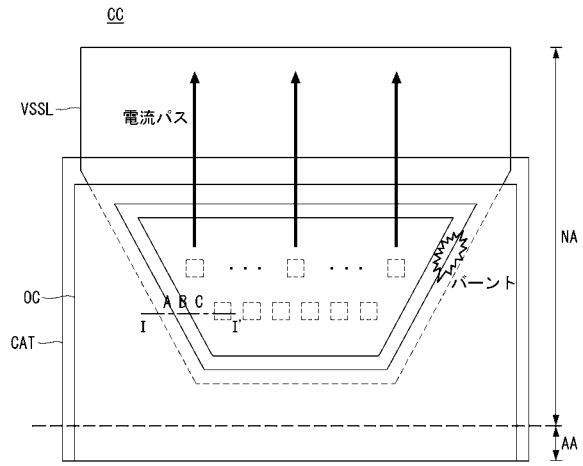
【 図 4 】



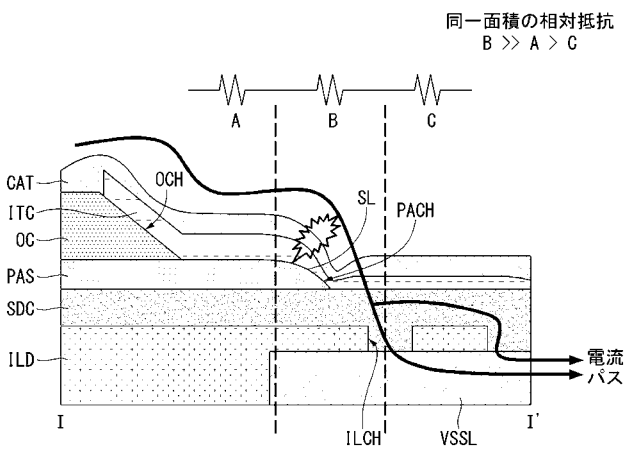
【 図 6 】



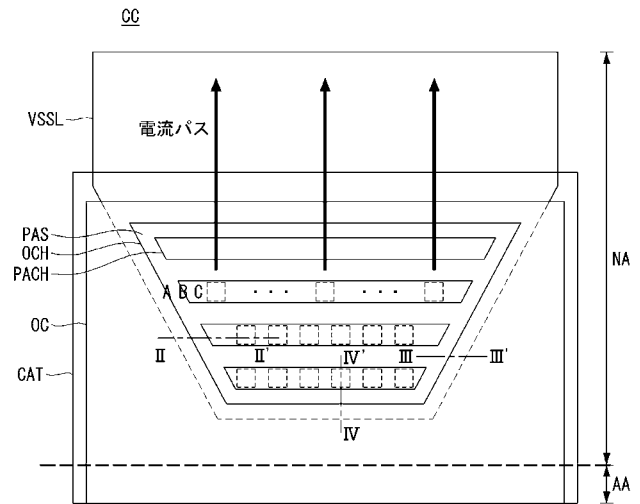
【 図 7 】



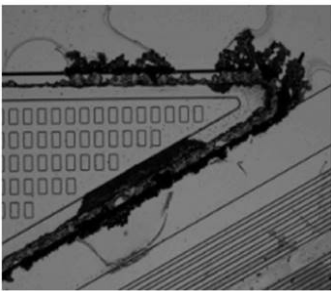
【 図 8 】



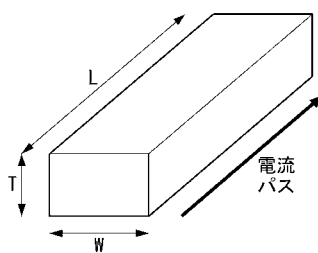
【 図 10 】



【 図 9 】

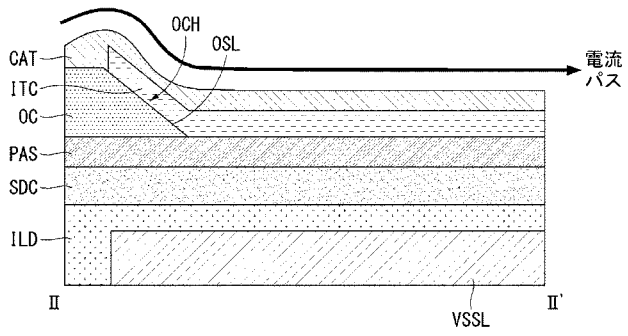


【 図 11 】

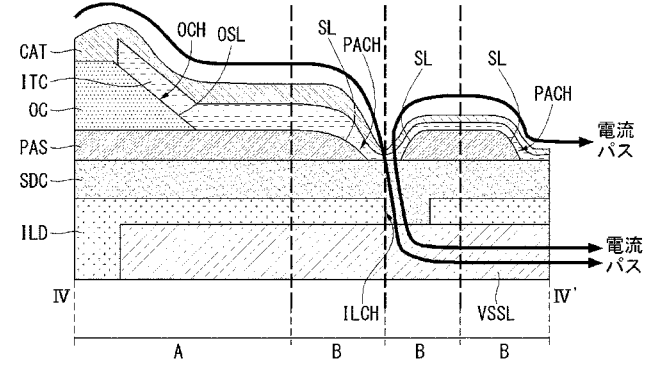


※ Resistance (R) = $\rho * L / T * W$
 ρ : 材料の抵抗率

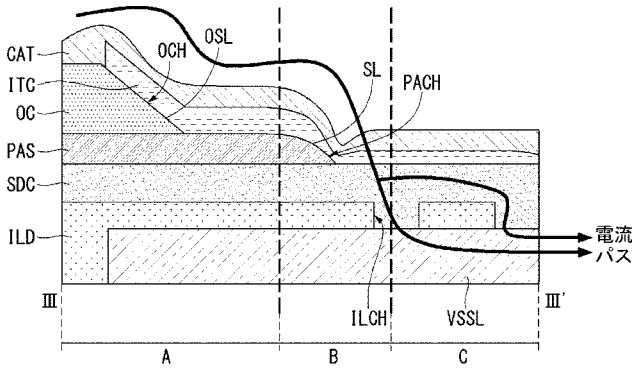
【 図 1 2 】



【 図 1 4 】



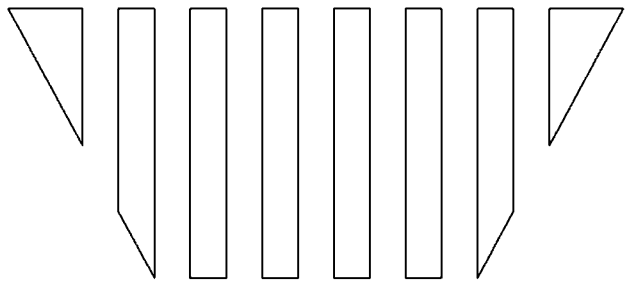
【 図 1 3 】



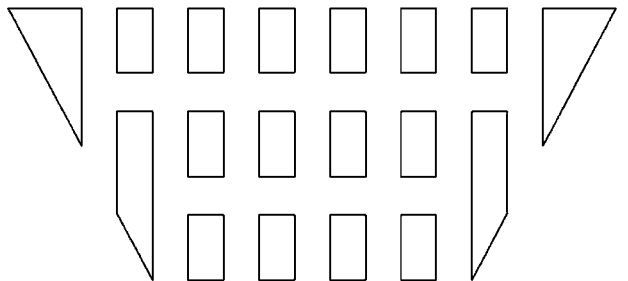
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 F 9/30 3 6 5

テーマコード(参考)

专利名称(译)	表示装置		
公开(公告)号	JP2019075370A	公开(公告)日	2019-05-16
申请号	JP2018189451	申请日	2018-10-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
发明人	パク, ゴンド		
IPC分类号	H05B33/06 H01L27/32 H01L51/50 H05B33/22 G09F9/30		
CPC分类号	G09G3/3233 H01L27/3246 H01L27/3276 H01L51/5228 H01L51/5253 G09G2310/0264 H01L51/56		
FI分类号	H05B33/06 H01L27/32 H05B33/14.A H05B33/22.Z G09F9/30.330 G09F9/30.365		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/DD38 3K107/DD39 3K107/DD90 3K107/DD91 3K107/DD92 3K107/DD93 3K107/DD95 3K107/DD96 3K107/FF15 3K107/HH05 5C094/AA32 5C094/BA27 5C094/DA14 5C094/DB02 5C094/FA01 5C094/FA02 5C094/FB15		
优先权	1020170134180 2017-10-16 KR		
其他公开文献	JP6683788B2		
外部链接	Espacenet		

摘要(译)

一种能够防止损坏电极接触部分的显示装置。包括第一电极，有机层和第二电极CAT的有机发光二极管设置在显示单元AA和显示单元AA的外部，并且第二电极CAT通过至少一个连接图案设置。一种钝化膜PAS，包括多个钝化孔PACH，所述钝化孔PACH包括非显示部分NA，所述非显示部分NA包括与低电位线VSSL连接的电极接触部分CC，并且暴露至少一个连接图案；它包括外涂层OC，包括要暴露的大修OCH。[选定图]图10

