

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-207234
(P2014-207234A)

(43) 公開日 平成26年10月30日(2014. 10. 30)

(51) Int.Cl.	F 1			テーマコード (参考)
H05B 33/04	(2006.01)	HO5B	33/04	3K107
G09G 3/20	(2006.01)	GO9G	3/20	611H
G09G 3/30	(2006.01)	GO9G	3/20	624B
H01L 27/32	(2006.01)	GO9G	3/20	641D
G09F 9/30	(2006.01)	GO9G	3/20	642A

(21) 出願番号	特願2014-99303 (P2014-99303)	(71) 出願人	000153878
(22) 出願日	平成26年5月13日 (2014.5.13)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2013-157367 (P2013-157367) の分割		神奈川県厚木市長谷398番地
原出願日	平成17年4月14日 (2005.4.14)	(72) 発明者	宮川 恵介
(31) 優先権主張番号	特願2004-134723 (P2004-134723)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成16年4月28日 (2004.4.28)		半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	木村 肇 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
F ターム (参考) 3K107 AA01 BB01 CC23 CC33 EE03 EE48			
5C080 AA06 BB05 CC03 DD05 EE29			
EE30 FF11 FF12 JJ03 JJ04			
JJ05 JJ06 KK34 KK43 KK47			
KK50			
最終頁に続く			

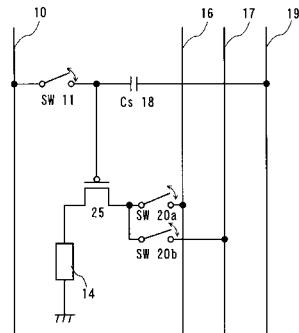
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】低階調表示を行うとき、駆動用トランジスタのしきい値電圧 (V_{th}) のバラツキの影響を低減することにより、発光素子の輝度バラツキを低減し、さらに、発光素子の劣化を抑制した表示装置を提供する。

【解決手段】半導体層と、半導体層上方の第1の絶縁層と、第1の絶縁膜上方の第1の導電層と、第1の絶縁層上方の第2の絶縁層と、第2の絶縁層上方の第2の導電層と、第2の絶縁層上方及び第2の導電層上方の第1の電極と、第1の電極上方の電界発光層と、電界発光層上方の第2の電極と、第2の電極上方の第3の絶縁層と、を有し、半導体層は、トランジスタのチャネル形成領域を有し、第1の絶縁層は、トランジスタのゲート絶縁層として機能する領域を有し、第1の導電層は、トランジスタのゲート電極として機能する領域を有し、第3の絶縁層は、窒素及び珪素を有する表示装置。

【選択図】図 2



【特許請求の範囲】

【請求項 1】

半導体層と、

前記半導体層上方の第1の絶縁層と、

前記第1の絶縁膜上方の第1の導電層と、

前記第1の絶縁層上方の第2の絶縁層と、

前記第2の絶縁層上方の第2の導電層と、

前記第2の絶縁層上方及び前記第2の導電層上方の第1の電極と、

前記第1の電極上方の電界発光層と、

前記電界発光層上方の第2の電極と、

前記第2の電極上方の第3の絶縁層と、を有し、

前記半導体層は、トランジスタのチャネル形成領域を有し、

前記第1の絶縁層は、前記トランジスタのゲート絶縁層として機能する領域を有し、

前記第1の導電層は、前記トランジスタのゲート電極として機能する領域を有し、

前記第3の絶縁層は、窒素及び珪素を有することを特徴とする表示装置。

10

【請求項 2】

半導体層と、

前記半導体層上方の第1の絶縁層と、

前記第1の絶縁膜上方の第1の導電層と、

20

前記第1の絶縁層上方の第2の絶縁層と、

前記第2の絶縁層上方の第2の導電層と、

前記第2の絶縁層上方及び前記第2の導電層上方の第1の電極と、

前記第1の電極上方の電界発光層と、

前記電界発光層上方の第2の電極と、

前記第2の電極上方の第3の絶縁層と、を有し、

前記半導体層は、トランジスタのチャネル形成領域を有し、

前記第1の絶縁層は、前記トランジスタのゲート絶縁層として機能する領域を有し、

前記第1の導電層は、前記トランジスタのゲート電極として機能する領域を有し、

前記第3の絶縁層は、ダイヤモンドカーボンを有することを特徴とする表示装置。

30

【請求項 3】

表示装置と、

アンテナ、操作スイッチ、又は外部インターフェイスと、

を有し、

前記表示装置は、請求項1又は請求項2に記載の表示装置であることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、自発光型の発光素子を有する表示装置に関する。

40

【背景技術】

【0002】

近年、発光素子（自発光素子）を用いた表示装置の研究開発が進められている。このような表示装置は、高画質、薄型、軽量などの利点を生かして、携帯電話の表示画面やコンピュータのモニターとして幅広く利用されている。特に、このような表示装置は動画表示に適した速い応答速度、低電圧、低消費電力駆動などの特徴を有しているため、新世代の携帯電話や携帯情報端末（PDA）をはじめ、幅広い用途が見込まれている。

【0003】

発光素子は有機発光ダイオード（Organic Light Emitting Diode: OLED）ともよばれ、陽極と、陰極と、当該陽極と当該陰極との間に有機化合物を有する層が挟まれた構造を有している。この発光素子に流れる電流量と、発光素子

50

の輝度は一定の関係があり、発光素子は有機化合物を有する層に流れる電流量に応じた輝度で発光を行っている。

【0004】

発光素子を用いた発光装置に多階調の画像を表示するときの駆動方法としては、大別して電圧入力方式と電流入力方式が挙げられる。電圧入力方式は、画素に入力するビデオ信号を駆動用素子に入力して、駆動用素子を用いて発光素子の輝度を制御する方式である。また電流入力方式では、設定された信号電流を発光素子に流すことにより、発光素子の輝度を制御する方式である。両方式は、アナログ駆動方式（アナログ階調方式）とデジタル駆動方式（デジタル階調方式）を適用することができる。

【0005】

電圧入力方式において、発光素子への駆動用素子に相当する、素子駆動用薄膜トランジスタの特性シフトのばらつきを緩和させるため、駆動電源と、素子駆動用薄膜トランジスタとの間に補償用薄膜トランジスタを設けた半導体装置が提案されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2002-175029号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

上記特許文献では、階調による、駆動電流制御を行うトランジスタ（駆動用トランジスタと表記する）のしきい値電圧のバラツキは考慮していなかった。しかし、本発明者らは、発光素子へ微少な電流を供給する低階調表示を行う場合、駆動用トランジスタのゲート・ソース間電圧、つまりゲート電極とソース電極との電位差（ V_{gs} ）が小さいため、そのしきい値電圧（ V_{th} ）のバラツキが顕著となってしまうことを認識した。

【0008】

そこで本発明は、低階調表示であっても、駆動用トランジスタのしきい値電圧（ V_{th} ）のバラツキの影響が低減された表示装置、及びその駆動方法を提供することを課題とする。

【課題を解決するための手段】

【0009】

上記課題を鑑み本発明は、低階調表示において、従来よりも駆動用トランジスタのゲート・ソース間電圧（ V_{gs} ）を高くすることを特徴とする。その結果、低階調表示であっても駆動用トランジスタのしきい値電圧（ V_{th} ）のバラツキの影響を受けにくくすることができる。このような本発明を達成する一態様として、低階調表示用と、高階調表示用とで異なる電源線を設け、これら電源線は異なる電位となるように決定する。このとき高階調表示用の電源線よりも低階調表示用の電源線の電位を高くすることにより、駆動用トランジスタのゲート・ソース間電圧（ V_{gs} ）を高くすることができる。この場合、所定の低階調表示を得るために、発光期間（表示期間ともいう）を制御する。このような本発明を達成する一態様として、駆動用トランジスタと電源線との接続を切断する。このような画素構成の一態様として、電源線からの電流が発光素子に供給されないようにスイッチが設けられている。

【0010】

本発明の表示装置の一態様は、アナログ信号が入力される信号線と、発光素子を駆動するための第1のトランジスタ、及び第2のトランジスタと、第2のトランジスタと電源線との接続を切断するスイッチとを有する。そして、アナログ信号に基づき第1のトランジスタを用いて、第1の電源線から発光素子へ電流を供給する。また、アナログ信号に基づき第2のトランジスタを用いて、第2の電源線から発光素子へ電流を供給し、所定期間にごとに、つまり所定期間経過後にスイッチがオフとなる。すなわち、スイッチにより第2のトランジスタと発光素子との接続を切断する。

10

20

30

40

50

【発明の効果】

【0011】

本発明により、低階調表示を行うとき、駆動用トランジスタのしきい値電圧 (V_{th}) のバラツキの影響を低減することができる。その結果、発光素子の輝度バラツキを低減することができる。

【0012】

また低階調表示において、スイッチによって発光期間を制御することにより、ゲート・ソース間電圧 (V_{gs}) を高くしたことによる輝度上昇を抑えることができ所定の輝度を得ることができる。

【図面の簡単な説明】

10

【0013】

【図1】本発明の画素回路を示した図である

【図2】本発明の画素回路を示した図である

【図3】本発明の画素回路を示した図である

【図4】本発明の画素回路を示した図である

【図5】本発明の画素回路を示した図である

【図6】本発明の画素回路を示した図である

【図7】本発明の画素構成を示した図である

【図8】本発明の画素回路を有する電子機器を示した図である

20

【図9】階調に対する駆動用トランジスタの電流のバラツキを示すグラフである

【図10】本発明のタイミングチャートを示した図である

【図11】本発明のタイミングチャートを示した図である

【図12】本発明のタイミングチャートを示した図である

【発明を実施するための形態】

【0014】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる形態で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

30

【0015】

また以下の実施の形態において、トランジスタはゲート、ソース、ドレインの3端子を有するが、特にソース電極、ドレイン電極に関しては、トランジスタの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース電極、ドレイン電極のうち一方を第1の電極、他方を第2の電極と表記する。

40

【0016】

(実施の形態1)

本実施の形態では、高階調表示用の駆動用トランジスタ、低階調表示用の駆動用トランジスタを有する画素について説明する。

40

【0017】

まず画素構成を、図1を用いて説明する。本実施の形態の画素構成は、アナログ信号が入力される信号線10、書き込み用スイッチ (SW11)、高階調表示用の第1の駆動用トランジスタ12、低階調表示用の第2の駆動用トランジスタ13、及び発光素子14を有する。第1の駆動用トランジスタ及び第2の駆動用トランジスタは、発光素子14を駆動する機能を有しており、第1の駆動用トランジスタ及び第2の駆動用トランジスタは、発光素子に電気的に接続されている。また第1の駆動用トランジスタには第1の電源線16が接続され、第2の駆動用トランジスタには、調整用スイッチ (SW20) を介して第2の電源線17が接続されている。そして例えば、第1の電源線16は高階調表示用アノード線として機能させ、第2の電源線17は低階調表示用アノード線として機能させる。

50

【0018】

また書き込み用スイッチ11には、容量素子(Cs18)を介して容量線19が接続されている。なお容量素子18は、必ずしも設ける必要がない。すなわち、第1及び第2の駆動用トランジスタのゲート容量が大きく、各トランジスタからのリーク電流が許容範囲である場合、容量素子を設ける必要はない。また容量線19は必ずしも設ける必要はない。例えば、第1の電源線又は第2の電源線が一定電位を有するならば、これらのいずれかを容量線として用いることができる。

【0019】

このような画素構成では、高階調表示用の信号線及び低階調表示用の信号線を設ける必要がなく、開口率の低下を防止できる。

10

【0020】

次いで、動作について説明する。

【0021】

信号線10にビデオ信号をアナログ信号、つまりアナログ電位で入力する(以下、この信号をビデオ信号電位と表記する)。高階調表示でのビデオ信号電位は、(高階調表示用のビデオ信号電位) (V_{th}) となるように決定する。このような高階調表示用のビデオ信号電位の決定により、高階調表示では、高階調表示用アノード線から、所定の電流が発光素子に供給される。また、低階調表示用アノード線からも微少な電流が供給されてしまうことがあるが、通常無視することができる。

20

【0022】

低階調表示でのビデオ信号電位は、(高階調表示用アノード線の電位 - 第1の駆動用トランジスタの $|V_{th}|$) $<$ (低階調表示用のビデオ信号電位) $<$ (低階調表示用アノード線の電位 - 第2の駆動用トランジスタの $|V_{th}|$) となるように決定する。このような低階調表示用のビデオ信号電位の決定により、低階調表示では、低階調表示用アノード線から、所定の電流が発光素子に供給される。一方、この状態における高階調表示では、高階調表示用アノード線から、電流は発光素子に供給されない。

【0023】

このようなビデオ信号電位に基づき、高階調表示では第1の駆動用トランジスタ12から発光素子14へ電流が供給される。具体的には、書き込み用スイッチ11がオンとなると、容量素子18に電荷が蓄積される。その後、第1の駆動用トランジスタ12のゲート・ソース間電圧($|V_{gs}|$)がしきい値電圧($|V_{th}|$)を越えると、第1の駆動用トランジスタ12がオンとなる。すると第1の電源線から所定の輝度に応じた電流が供給される。また上述したように、ビデオ信号電圧、アノード線の電圧によっては、低階調表示用アノード線からも微少な電流が供給されてしまう場合もあるが、通常無視することができる。また微少な電流を考慮して、ビデオ信号電圧、アノード線の電圧を決定することもできる。

30

【0024】

低階調表示においては、第2の駆動用トランジスタ13から発光素子14へ電流が供給される。具体的には、高階調表示と同様に、書き込み用スイッチ11がオンとなると、容量素子18に電荷が蓄積される。その後、第2の駆動用トランジスタ13のゲート・ソース間電圧($|V_{gs}|$)がしきい値電圧($|V_{th}|$)を越えると、第2の駆動用トランジスタ13がオンとなる。すると第2の電源線から所定の輝度に応じた電流が供給される。このようにして発光素子14が発光する。また容量素子に蓄積された電荷により、書き込み用スイッチ11がオフとなっても、発光状態を保持することができる。

40

【0025】

低階調表示では、調整用スイッチ20により、発光期間を短くすることができる。具体的には、所定期間経過後、調整用スイッチ20をオフとする。その結果、低階調表示用の駆動用トランジスタ13の $|V_{gs}|$ をその分高くすることができ、しきい値電圧によるバラツキの影響を低減することができる。例えば、発光期間を1/5にする場合、第2の

50

駆動用トランジスタ13には5倍の電流を供給するだけのVgsを印加することができる。そして、所定の輝度となるように、調整用スイッチ20をオフとし、発光期間を短くする。なお調整用スイッチ20は、書き込み用スイッチ11と同じ周波数による線順次走査により動作させることができる。

【0026】

本実施の形態において、書き込み用スイッチ11や調整用スイッチ20等のスイッチとして機能するものは、アナログスイッチ等により形成することができる。図4では、スイッチとして機能するものと、画素が有する各トランジスタとに多結晶シリコンを有する薄膜トランジスタ(TFT)を用いる場合の画素回路を示す。

【0027】

書き込み用スイッチ11に相当するトランジスタ40(スイッチング用トランジスタとも表記する)、及び調整用スイッチ20に相当するトランジスタ41が設けられている。そしてトランジスタ40はnチャネル型TFTとし、トランジスタ41はpチャネル型TFTとすることができる。なお、トランジスタ40は、一つの半導体膜に対して複数のゲート電極が設けられるマルチゲート構造、例えば二つのゲート電極が設けられたダブルゲート構造としてもよい。トランジスタ40のゲートは第1の走査線42に接続され、トランジスタ41のゲートは第2の走査線43がそれぞれ接続されている。またトランジスタ12及び13はpチャネル型TFTとすることができる。

【0028】

なおTFTの動作領域は、線形領域及び飽和領域に分けることができるが、スイッチとして機能させるトランジスタ40及び41は線形領域とし、発光素子14を駆動するためのトランジスタ12及び13は飽和領域で動作させると好ましい。

【0029】

トランジスタとしては、多結晶シリコン薄膜トランジスタ以外に、非晶質シリコン薄膜トランジスタ、又はその他の薄膜トランジスタを用いることができる。すなわち本実施の形態では、トランジスタの構成に限定されない。

【0030】

このような画素において、調整用スイッチに相当するトランジスタ41がオン、又はオフするタイミングを決定する。また調整用スイッチと書き込み用スイッチは、同じ駆動周波数とることができ、線順次走査でもよい。そのため、本実施の形態の画素の駆動、つまり動作は簡便なものとなる。

【0031】

図10には、トランジスタ40と、トランジスタ41のタイミングチャートを示す。1フレーム期間に、トランジスタ40及びトランジスタ41にHigh又はLowの信号が入力される。本実施の形態では、トランジスタ41にLowが入力される期間は、1フレーム期間の30%とする。すると、低階調表示における発光期間を30%とすることができます。またトランジスタ41にLowが入力される期間は、トランジスタ40にHighが入力される期間の整数倍となるようにすると、同じ駆動周波数とすることができます。

【0032】

これらスイッチにHigh又はLowの信号が入力されるタイミングは、図10に限定されるものではない。例えば、トランジスタ40と同時にトランジスタ41がオンとなつてもよい。これは、トランジスタ40のドライバと、トランジスタ41のドライバをそれぞれ設けるためである。また、トランジスタ41にLowが入力される期間は、図10に限定されるものではない。例えば、低階調表示を行う場合、第2の駆動用トランジスタ13のゲート・ソース間電圧(|Vgs|)の大きさに応じて、トランジスタ41もLowが入力される期間を決定することができる。

【0033】

このようなトランジスタ41のオン又はオフにより、低階調表示において、第2の駆動用トランジスタ13のゲート・ソース間電圧(|Vgs|)を大きくする場合であっても、所定の輝度を得ることができる。

10

20

30

40

50

【0034】

以上、本実施の形態では高階調表示と低階調表示との2つに分ける場合を説明したが、3つ以上に分けても構わない。例えば、高階調表示用アノード線、中階調表示用アノード線、低階調表示用アノード線として第1乃至第3の電源線を設け、それらに接続される各駆動用トランジスタを設けることによって、高階調表示、中階調表示、及び低階調表示の3つに分けて表示を行うことができる。

【0035】

本実施の形態により、低階調表示において駆動用トランジスタのゲート・ソース間電圧($|V_{gs}|$)をより高めることができるため、バラツキの影響を低減することができる。さらに、高階調表示用の信号線及び低階調表示用の信号線を別途設ける必要がなく、開口率の低下を防止できる。

10

【0036】

(実施の形態2)

本実施の形態では、上記実施の形態1と異なる画素構成について説明する。

【0037】

図2に示すように、本実施の形態の画素構成は一つの駆動用トランジスタ25を有し、駆動用トランジスタ25の一方の電極に接続される第1の調整用スイッチ(SW20a)、第2の調整用スイッチ(SW20b)を有する点が実施の形態1と異なっている。そして例えば、第1の電源線16は高階調表示用アノード線として機能させ、第2の電源線17は低階調表示用アノード線として機能させる。その他の画素構成は実施の形態1と同様であるため説明は省略する。また本実施の形態においても、容量線19は必ずしも設ける必要はない。例えば、第1の電源線又は第2の電源線が一定電位を有するならば、これらのいずれかを容量線として使用することができる。

20

【0038】

このような画素構成では、高階調表示用の信号線及び低階調表示用の信号線を設ける必要がなく、開口率の低下を防止できる。

【0039】

次いで、動作について説明する。

【0040】

本実施の形態において、信号線に入力されるビデオ信号電圧の決定は、実施の形態1と同様である。このようなビデオ信号電圧に基づき、第1の調整用スイッチ(SW20a)、第2の調整用スイッチ(SW20b)は、高階調表示及び低階調表示のいずれかに応じてオン又はオフとなるように決定されている。すなわち第1の調整用スイッチ(SW20a)、第2の調整用スイッチ(SW20b)は、排他的に切り換わるようになっている。その結果、駆動用トランジスタ25が、第1の電源線16又は第2の電源線17に接続されるかを選択することができる。この接続が切り換わると、駆動用トランジスタのゲート・ソース間電圧($|V_{gs}|$)が切り換わる。そして低階調表示用又は高階調表示用のビデオ信号に基づき、発光素子は発光する。なお第1及び第2の調整用スイッチ20a、20bは、書き込み用スイッチ11と同じ周波数による線順次走査により動作させることができる。

30

【0041】

例えば、低階調表示用のビデオ信号が入力される場合、駆動用トランジスタが高階調表示用の第1の電源線16に接続されていても、駆動用トランジスタ25の $|V_{gs}|$ が低いため、電流が流れない。そして、調整用スイッチの切り換えによって低階調表示用の第2の電源線17に接続されると、 $|V_{gs}|$ が高くなるため、電流が流れ、発光素子14が発光する。このようにして、低階調表示又は高階調表示を行うことができる。

40

【0042】

低階調表示では、第1の調整用スイッチ(SW20a)、第2の調整用スイッチ(SW20b)の切り換えにより、発光期間を短くすることができる。その結果、低階調表示用の駆動用トランジスタ25の $|V_{gs}|$ をその分高くすることができ、しきい値電圧によ

50

るバラツキの影響を低減することができる。

【0043】

本実施の形態において、書き込み用スイッチ11や調整用スイッチ20等のスイッチとして機能するものはアナログスイッチ等により形成することができる。図5では、スイッチとして機能するものと、画素が有する各トランジスタとに多結晶シリコン薄膜トランジスタ(TFT)を用いる場合の画素回路を示す。

【0044】

書き込み用スイッチ11に相当するトランジスタ40(スイッチング用トランジスタとも表記する)、及び調整用スイッチ20a、20bに相当するトランジスタ41a、41bが設けられている。そして、トランジスタ40はnチャネル型TFT、トランジスタ41a、及び41bはpチャネル型TFTとすることができる。なお、トランジスタ40は、一つの半導体膜に対して複数のゲート電極が設けられるマルチゲート構造、例えば二つのゲート電極が設けられたダブルゲート構造としてもよい。トランジスタ40のゲートは第1の走査線42に接続され、トランジスタ41a、41bのゲートはそれぞれ第2の走査線43a、第3の走査線43bに接続されている。なお、トランジスタ41a、41bの極性を異ならせることにより、第2の走査線43a、及び第3の走査線43bを共用することができる。その結果、画素の開口率を高めることができる。またトランジスタ25はpチャネル型TFTとすることができる。

10

【0045】

なおTFTの動作領域は、線形領域及び飽和領域に分けることができるが、スイッチとして機能させるトランジスタ40、41a、及び41bは線形領域で動作させ、発光素子14を駆動するためのトランジスタ25は飽和領域で動作させると好ましい。

20

【0046】

トランジスタとしては、多結晶シリコン薄膜トランジスタや非晶質シリコン薄膜トランジスタ、又はその他の薄膜トランジスタで形成してもよい。すなわち本実施の形態では、トランジスタの構成に限定されない。

30

【0047】

このような画素において、調整用スイッチ20a、20bに相当するトランジスタ41a、41bがオン、又はオフするタイミングを決定する。例えば、トランジスタ41aは1フレーム期間の95%がオンとなり、残りの5%ではトランジスタ41bがオンとなるように決定することができる。その結果、低階調表示では発光期間を短くすることができる。すなわち第2の駆動用トランジスタのゲート・ソース間電圧(Vgs)を大きくする場合であっても、所定の輝度となる低階調表示を行うことができる。

30

【0048】

また調整用スイッチと書き込み用スイッチは、同じ駆動周波数とすることができる、線順次走査でもよい。そのため、本実施の形態の画素の駆動、つまり動作は簡便なものとなる。

40

【0049】

図11には、トランジスタ40と、トランジスタ41a、41bのタイミングチャートを示す。1フレーム期間に、トランジスタ40及びトランジスタ41a、41bにHigh又はLowの信号が入力される。本実施の形態では、トランジスタ41a、41bの極性をpチャネル型とする場合で説明する。トランジスタ41aにHighが入力されるタイミングと、トランジスタ41bにLowが入力されるタイミングは同時である。また図5に示すようなトランジスタ41a、41bを用いる場合、トランジスタ41a、41bには、同時にHigh又はLowの信号を入力すればよい。また本実施の形態では、トランジスタ41aにHighが入力される期間、及びトランジスタ41bにLowが入力される期間は、1フレーム期間の30%とする。すると、低階調表示における発光期間を30%とすることができる。またトランジスタ41a、41bのHighの期間は、トランジスタ40にHighが入力される期間の整数倍となるようにすると、同じ駆動周波数とすることができます。

50

【0050】

これらトランジスタに H i g h 又は L o w の信号が入力されるタイミングは、図 11 に限定されるものではない。例えば、トランジスタ 40 と同時にトランジスタ 41a へ H i g h の信号、及びトランジスタ 41b へ L o w の信号を入力してもよい。これは、トランジスタ 40 のドライバと、トランジスタ 41a、41b のドライバをそれぞれ設けるためである。また、トランジスタ 41a に H i g h が入力される期間は、図 11 に限定されるものではない。例えば、低階調表示を行う場合、駆動用トランジスタ 25 のゲート・ソース間電圧 (| V g s |) の大きさに応じて、トランジスタ 41a、41b をオンとする期間を決定することができる。

【0051】

10

以上、本実施の形態では高階調表示と低階調表示との 2 つに分ける場合を説明したが、3 つ以上に分けても構わない。例えば、高階調表示用アノード線、中階調表示用アノード線、低階調表示用アノード線として第 1 乃至第 3 の電源線を設け、それらに接続される各調整用スイッチを設けることによって、高階調表示、中階調表示、及び低階調表示の 3 つに分けて表示を行うことができる。

【0052】

(実施の形態 3)

本実施の形態では、上記実施の形態 1、2 と異なる画素構成について説明する。

【0053】

20

図 3 に示すように、本実施の形態の画素構成は、第 1 の調整用スイッチ (S W 2 0 c) が容量素子 18 と電源線 26 との間に設けられ、第 2 の調整用スイッチ (S W 2 0 d) が容量素子 18 と容量線 19 との間に設けられ、トランジスタ 25 が電源線 26 に接続されている点が実施の形態 2 と異なっている。そして例えば、電源線 26 は高階調表示用アノード線として機能させ、容量線 19 は低階調表示用アノード線として機能させる。その他の画素構成は実施の形態 2 と同様であるため説明は省略する。

【0054】

本実施の形態の画素構成は、電源線の数が少ないため、開口率を高めることができる。さらに、高階調表示用の信号線及び低階調表示用の信号線を別途設ける必要がない点は、実施の形態 1 及び 2 と同様である。

【0055】

30

このような画素構成におけるビデオ信号電位の決定について説明する。高階調表示用のビデオ信号電位は、実施の形態 1 と同様に (高階調表示用のビデオ信号電位) (高階調表示用アノード線の電位 - 駆動用トランジスタの | V t h |) となるように決定する。

【0056】

40

低階調表示用のビデオ信号電位は、(容量線の電位 - 駆動用トランジスタの | V t h |) < (電源線の電位 - 駆動用トランジスタの | V t h |) < (低階調表示用のビデオ信号電位) となるように決定する。これを条件 1 と呼ぶ。又は、(電源線の電位 - 駆動用トランジスタの | V t h |) < (低階調表示用のビデオ信号電位) < (容量線の電位 - 駆動用トランジスタの | V t h |) となるように決定する。これを条件 2 と呼ぶ。また [(低階調表示用のビデオ信号電位) { (電源線の電位) - (容量線の電位) } < (電源線の電位) - (駆動用トランジスタの | V t h |)] となるように決定する。これを条件 3 と呼ぶ。このような低階調表示用のビデオ信号電位は、ビデオ信号の書き込み時に、第 1 の調整用スイッチ (S W 2 0 c) 又は第 2 の調整用スイッチ (S W 2 0 d) のいずれかをオンとするかによって選択することができる。

【0057】

低階調表示では、調整用スイッチ 20c、20d により、発光期間を短くすることができる。同時に、容量線 19 と電源線 26 との電位差による、調整用スイッチ 20c、20d の切り換えにより、駆動用トランジスタ 25 の | V g s | をその分高くすることができ、しきい値電圧によるバラツキの影響を低減することができる。なお第 1 及び第 2 の調整用スイッチ 20c、20d は、書き込み用スイッチ 11 と同じ周波数による線順次走査に

50

より動作させることができる。

【0058】

本実施の形態において、書き込み用スイッチ11や調整用スイッチ20c、20d等のスイッチとして機能するものは、アナログスイッチ等により形成することができる。図6では、スイッチとして機能するものと、画素が有する各トランジスタとに多結晶シリコンを有する薄膜トランジスタ(TFT)を用いる場合の画素回路を示す。

【0059】

書き込み用スイッチ11に相当するトランジスタ40(スイッチング用トランジスタとも表記する)、及び調整用スイッチ20c、20dに相当するトランジスタ41a、41bが設けられている。そしてトランジスタ40はnチャネル型TFT、トランジスタ41a、及び41bはpチャネル型TFTとすることができる。なお、トランジスタ40は、一つの半導体膜に対して複数のゲート電極が設けられるマルチゲート構造、例えば二つのゲート電極が設けられたダブルゲート構造としてもよい。トランジスタ40のゲートは第1の走査線42に接続され、トランジスタ41a、41bのゲートはそれぞれ第2の走査線43c、第3の走査線43dに接続されている。なお、トランジスタ41a、41bの極性を異ならせることにより、第2の走査線43c、及び第3の走査線43dを共用することができる。その結果、画素の開口率を高めることができる。またトランジスタ25はpチャネル型TFTとすることができる。

10

【0060】

なおTFTの動作領域は、線形領域及び飽和領域に分けることができるが、スイッチとして機能させるトランジスタ40、41a、及び41bは線形領域とし、発光素子14を駆動するためのトランジスタ25は飽和領域で動作させると好ましい。

20

【0061】

トランジスタとしては、多結晶シリコン薄膜トランジスタ以外に、非晶質シリコン薄膜トランジスタ、又はその他の薄膜トランジスタで形成してもよい。すなわち本実施の形態では、トランジスタの構成に限定されない。

【0062】

このような画素において、調整用スイッチ20c、20dに相当するトランジスタ41a、41bがオン、又はオフするタイミングを決定する。例えば、トランジスタ41aは1フレーム期間の95%がオンとなり、残りの5%ではトランジスタ41bがオンとなるように決定することができる。逆にトランジスタ41bは1フレーム期間の95%がオンとなり、残りの5%ではトランジスタ41aがオンとなるように決定することもできる。その結果、低階調表示では発光期間を短くすることができる。すなわち第2の駆動用トランジスタのゲート・ソース間電圧(|Vgs|)を大きくする場合であっても、所定の輝度となる低階調表示を行うことができる。

30

【0063】

また調整用スイッチと書き込み用スイッチは、同じ駆動周波数とすることができる、線順次走査でもよい。そのため、本実施の形態の画素の駆動、つまり動作は簡便なものとなる。

40

【0064】

図12(A)(B)には、それぞれ条件1、条件2の場合におけるトランジスタ40と、トランジスタ41c、41dのタイミングチャートを示す。図12(A)(B)において、1フレーム期間に、トランジスタ40及びトランジスタ41c、41dにHigh又はLowの信号が入力される。図12(A)と図12(B)は、ビデオ信号書き込み時、電源線26と、容量線19の電位のうち高い電位側に接続されるトランジスタ41c又は41dにLowの信号を入力する点は同様である。すなわち、条件1又は条件2に応じて、トランジスタ41c又は41dへHigh又はLowのどちらかを入力すればよい。

【0065】

また本実施の形態では、条件1において、トランジスタ41cにLowが入力される期間、及びトランジスタ41dにHighが入力される期間は、1フレーム期間の30%と

50

する。条件2においては、トランジスタ41cにHig hが入力される期間及びトランジスタ41dにLowが入力される期間は、1フレーム期間の30%とする。すると、低階調表示における発光期間を30%とすることができる。またトランジスタ41cにHig hが入力される期間は、トランジスタ40にHig hが入力される期間の整数倍となるよう決してすると、同じ駆動周波数とすることができます。

【0066】

これら各トランジスタにHig h又はLowの信号が入力されるタイミングは、図12(A)(B)に限定されるものではない。例えば、トランジスタ40と同時にトランジスタ41cへHig hの信号、及びトランジスタ41dへLowの信号を入力してもよい。但し、トランジスタ40のHig hの期間中に、トランジスタ41c、41dの信号を切り換えることは難しい。これは、トランジスタ41c、41dがそれぞれ容量素子18と電源線26、容量素子18と容量線19に設けられているためである。具体的には、トランジスタ40が選択されている期間に、容量素子18へビデオ信号電圧に基づく電荷を蓄積させる時には、トランジスタ41c、41dのオンオフは固定する必要があるからである。また、トランジスタ41c、41dにHig hが入力される期間は、図12(A)(B)に限定されるものではない。例えば、低階調表示を行う場合、駆動用トランジスタ25のゲート・ソース間電圧(|Vgs|)の大きさに応じて、トランジスタ41c、41dをオンとする期間を決定することができる。

10

【0067】

以上、本実施の形態では高階調表示と低階調表示との2つに分ける場合を説明したが、3つ以上に分けても構わない。例えば、第1乃至第2容量線を設け、それらに接続される各調整用スイッチを設けることによって、高階調表示、中階調表示、及び低階調表示の3つに分けて表示を行うことができる。

20

【0068】

(実施の形態4)

本実施の形態では、発光素子を有する画素構成について説明する。なお本実施の形態では、トランジスタとして多結晶シリコンを有する薄膜トランジスタ(TFT)を用いる場合で説明する。

【0069】

図7(A)に示すように、絶縁表面を有する基板300に設けられたpチャネル型の駆動用TFT(トランジスタにTFTを採用)301は、半導体膜として結晶性珪素膜を有することができる。結晶性を有する半導体膜は、レーザ照射や加熱による結晶化処理、或いはニッケル、チタンなどの金属元素の触媒作用を用いて結晶化処理により形成することができる。レーザ照射を用いる場合、連続発振型のレーザ(CWレーザ)光やパルス発振型のレーザ(パルスレーザ)光を用いることができる。レーザ光としては、Arレーザ、Krレーザ、エキシマレーザ、YAGレーザ、Y₂O₃レーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサントライドレーザ、Ti:サファイヤレーザ、銅蒸気レーザ又は金蒸気レーザのうち一種又は複数種を用いることができる。このようなレーザ光の基本波、及び基本波の第2高調波から第4高調波のレーザを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。

30

【0070】

半導体膜上にはゲート絶縁膜を介してゲート電極及びゲート線が設けられており、ゲート電極下の半導体膜がチャネル形成領域となる。また半導体膜は、ソース領域又はドレイン領域となる不純物領域を有する。不純物領域は、ゲート電極をマスクとして自己整合的にボロン等の不純物元素を半導体膜に添加して形成することができる。ゲート電極を覆うように第1の絶縁膜316が設けられており、第1の絶縁膜には不純物領域上にコンタクトホールが設けられている。コンタクトホールには配線が設けられており、配線はソース配線及びドレイン配線として機能している。絶縁膜の材料は、有機材料や無機材料を用い

40

50

10
ことができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。なお、シロキサンとは、Si-O-Si結合を含む。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成されおり、置換基としては少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。また置換基として、フルオロ基を用いてもよい。またさらに置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。またポリシラザンとは、珪素(Si)と窒素(N)の結合を有するポリマー材料を含む液体材料を出発原料として形成される。無機材料としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)(x,y=1,2,..)等の酸素、又は窒素を有する絶縁膜を用いることができる。また、絶縁膜として、これら材料の積層構造を用いてもよい。特に絶縁膜として、平坦性を高めるために有機材料を形成し、有機材料による水分や酸素の吸収を防止するため、有機材料上に無機材料を形成するとよい。

【0071】

ドレン電極と電気的に接続するように、発光素子の第1の電極311が設けられている。第1の電極311は、発光素子の陽極として機能する。そして、第1の電極311を覆うように第2の絶縁膜が設けられている。第2の絶縁膜317は、第1の電極上に開口部を有する。開口部には、電界発光層312が設けられ、電界発光層や第2の絶縁膜を覆うように発光素子の第2の電極313が設けられている。第2の電極は、発光素子の陰極として機能する。すなわち発光素子は、第1の電極311、電界発光層312、及び第2の電極313を有する。

【0072】

電界発光層312は、第1の電極311側から順に、HIL(ホール注入層)、HTL(ホール輸送層)、EML(発光層)、ETL(電子輸送層)、EIL(電子注入層)の順に積層されている。代表的には、HILとしてCuPc、HTLとして-NPD、ETLとしてBCP、EILとしてBCP:Liをそれぞれ用いる。

【0073】

また、電界発光層312として、赤色(R)、緑色(G)、青色(B)の発光を示す材料を形成することができる。その結果、フルカラー表示を達成することができる。このような赤色(R)、緑色(G)、青色(B)の発光を示す材料は、それぞれ蒸着マスクを用いた蒸着法、又は液滴吐出法(インクジェット法ともいう)などによって選択的に形成すればよい。具体的には、HILとしてCuPcやPEDOT、HTLとして-NPD、ETLとしてBCPやAlq₃、EILとしてBCP:LiやCaF₂をそれぞれ用いることができる。また例えばEMLは、R、G、Bのそれぞれの発光色に対応したドーパント(Rの場合DCM等、Gの場合DMQD等)をドープしたAlq₃を用いればよい。

【0074】

なお電界発光層312の構造は、上記積層構造に限定されるものではない。例えば電界発光層312は、単層型、積層型、また層の界面がない混合型のいずれでもよい。またシングレット材料、トリプレット材料、又はそれらを組み合わせた材料を用いることができる。例えば、赤色(R)の発光を示す材料に、トリプレット材料を用い、緑(G)や青(B)の発光を示す材料にシングレット材料を用いることができる。またさらに、低分子材料、高分子材料及び中分子材料を含む有機材料、電子注入性に優れる酸化モリブデン等に代表される無機材料、有機材料と無機材料の複合材料のいずれを用いてもよい。

【0075】

また白色の発光を示す電界発光層を形成する場合、カラーフィルター、又はカラーフィルター及び色変換層などを別途設けてもよい。その結果、フルカラー表示を行なうことができる。このカラーフィルターや色変換層は、第2の基板315に形成することができ、形成後、第1の基板と第2の基板とを張り合わせればよい。

【0076】

また第1の電極311と第2の電極313は、仕事関数を考慮して材料を選択する。

10

20

30

40

50

【0077】

例えば陽極として機能する第1の電極311は、仕事関数の大きい（仕事関数4.0eV以上）金属、合金、電気伝導性化合物、及びこれらの混合物などを用いると好ましい。具体的な材料としては、ITO(indium tin oxide)、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合したIZO(indium zinc oxide)の他、金(Au)、白金(Pt)、ニッケル(Ni)、タンゲステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、又は金属材料の窒化物(TiN)等を用いることができる。

【0078】

一方、陰極として機能する第2の電極313は、仕事関数の小さい（仕事関数3.8eV以下）金属、合金、電気伝導性化合物、及びこれらの混合物などを用いると好ましい。具体的な材料としては、元素周期律の1族又は2族に属する元素、すなわちLiやCs等のアルカリ金属、及びMg、Ca、Sr等、及びこれらを含む合金(Mg:Ag、Al:Li)や化合物(LiF、CsF、CaF₂)の他、希土類金属を含む遷移金属を用いて形成することができる。また、第2の電極は透光性を有する必要があるとき、これら金属、又はこれら金属を含む合金を非常に薄く形成し、ITO等の金属（合金を含む）との積層により形成することもできる。

10

【0079】

これら第1の電極311、及び第2の電極313は蒸着法、スパッタリング法、インクジェット法等により形成することができる。

20

【0080】

但し画素構成により、第1の電極311及び第2の電極313のいずれも陽極、又は陰極となりうる。例えば、駆動用TFTの極性をnチャネル型とする場合、第1の電極311を陰極、第2の電極313と陽極として機能させる。このように駆動用TFTをnチャネル型として形成する場合、画素が有するその他のTFTをnチャネル型として形成することができる。その結果、TFT作製工程を簡略化することができる。

【0081】

その後第2の電極313上に、窒素を含むパッシベーション膜314を設けるとよい。例えば、窒化珪素を設けることができる。またパッシベーション膜として、ダイヤモンドライクカーボン(DLC)膜を設けてもよい。このようなパッシベーション膜314は、スパッタリング法やCVD法により形成することができる。パッシベーション膜314により、劣化の要因となる水分や酸素の侵入を防止することができる。

30

【0082】

また第1の基板300と第2の基板（封止基板）315とを張り合わせた後に形成される空間には、窒素を封入し、加えて乾燥剤を配置してもよい。また窒素を封入する代わりに、透光性を有し、吸水性の高い樹脂を充填してもよい。その結果、酸素や水分の侵入を防ぐことができる。

【0083】

さらに第1の基板300と第2の基板315とを張り合わせた後、これら基板の端面を第1の電極311、第2の電極313、その他の電極、絶縁膜により覆ってもよい。その結果、酸素や水分の侵入を防ぐことができる。

40

【0084】

またコントラストを高めるため、第1の基板300の表示領域、又は第2の基板315の表示領域に、偏光板又は円偏光板を設けてもよい。その結果、黒表示の質を高め、コントラストを向上させることができる。

【0085】

このように形成された画素構成を有する表示装置は、信号線から入力されるビデオ信号に基づき発光する。具体的なビデオ信号は、電圧値を有するアナログ信号であることは上述の通りである。このスイッチング用TFTがオンとなっているときにアナログ信号が入力されると、駆動用TFTがオンとなり、駆動用TFTのゲート・ソース間電圧(Vgs)

50

)に基づき発光素子は発光する。

【0086】

例えば第1の電極311及び第2の電極313に透光性を有する材料を用いた表示装置は、図7(A)のように、発光素子に対して両方向(矢印方向)に光が射出される。このような表示装置は、非発光状態で透光性を有することができる。

【0087】

また第2の電極313に透光性を有する材料を用いた表示装置は、図7(B)に示すように光の射出方向が封止基板315側のみである。そのため第1の電極311は非透光性を有する材料を用いる。さらに第1の電極311は、反射性の高い材料とすると好ましい。その他の構成は図7(A)と同様であるため説明を省略する。画素が有するトランジスタによる開口率の低下が懸念される場合、このように封止基板315側に出射するとよい。

10

【0088】

また第1の電極311に透光性を有する材料を用いた表示装置は、図7(C)に示すように光の出射方向が基板300側のみである。そのため第2の電極313は非透光性を有する材料を用いる。さらに第2の電極313は、反射性の高い材料とすると好ましい。その他の構成は図7(A)と同様であるため説明を省略する。

【0089】

図7(B)(C)のように、光の出射方向とならない側に設けられた発光素子の電極に、反射性の高い導電膜を用いることにより光を有効利用することができる。

20

【0090】

本実施の形態において、透光性を有する電極は、非透光性を有する導電膜を、透光性を有する程度にまで薄く形成し、その上に透光性を有する導電膜、例えばITOを積層して得ることもできる。

【0091】

(実施の形態5)

上記実施の形態で示した画素構成を有する表示装置は、様々な電子機器に適用することができる。電子機器としては、携帯情報端末(携帯電話機、モバイルコンピュータ、携帯型ゲーム機又は電子書籍等)、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、表示ディスプレイ、ナビゲーションシステム等が挙げられる。これら電子機器の具体例を図8に示す。

30

【0092】

図8(A)はディスプレイであり、筐体4001、音声出力部4002、表示部4003等を含む。本発明の画素構成を有する表示装置を表示部4003に用いることができる。その結果、低階調表示であっても駆動用トランジスタのバラツキの影響を抑えた表示を行うことができる。なお表示装置は、コンピュータ用、TV放送受信用、広告表示用など全ての情報表示装置が含まれる。

【0093】

図8(B)はモバイルコンピュータであり、本体4101、スタイルス4102、表示部4103、操作ボタン4104、外部インターフェイス4105等を含む。本発明の画素構成を有する表示装置を表示部4103に用いることができる。その結果、低階調表示であっても駆動用トランジスタのバラツキの影響を抑えた表示を行うことができる。

40

【0094】

図8(C)はゲーム機であり、本体4201、表示部4202、操作ボタン4203等を含む。本発明の画素構成を有する表示装置を表示部4202に用いることができる。その結果、低階調表示であっても駆動用トランジスタのバラツキの影響を抑えた表示を行うことができる。

【0095】

図8(D)は携帯電話機であり、本体4301、音声出力部4302、音声入力部4303、表示部4304、操作スイッチ4305、アンテナ4306等を含む。本発明の画

50

素構成を有する表示装置を表示部 4304 に用いることができる。その結果、低階調表示であっても駆動用トランジスタのバラツキの影響を抑えた表示を行うことができる。

【0096】

図 8 (E) は電子ブックリーダーであり、表示部 4401 等を含む。本発明の画素構成を有する表示装置を表示部 4401 に用いることができる。その結果、低階調表示であっても駆動用トランジスタのバラツキの影響を抑えた表示を行うことができる。

【0097】

以上のように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。本発明を適用することにより、低階調表示であっても駆動用トランジスタのバラツキの影響を抑えた表示を行うことができる電子機器を提供することができる。また、アクティブマトリクス基板の絶縁基板をフレキシブル基板とすることで薄型化や軽量化を実現することができる。

10

【0098】

(参考例)

以下に、64階調 (6 bit) 表示を行った場合の、駆動用 TFT のバラツキを評価した結果を示す。

【0099】

高階調表示のうち最も高い輝度 63 での電流を $0.56 \mu A$ ($200 cd/m^2$)、駆動用 TFT のドレイン・ソース間電圧 (V_{ds}) を $-15 V$ とした。各試料の駆動用 TFT の半導体層のチャネル長方向の長さを L 、チャネル長方向と垂直な方向の長さ (幅) を W としたときの L/W の値を表 1 に示す。

20

【0100】

【表 1】

	試料1	試料2	試料3	試料4
L/W	80/4	120/4	320/4	480/4

【0101】

上記条件において、信号線ヘビデオ信号電圧を入力し、64階調 (6 bit) 表示を行ったときの、駆動用 TFT に流れる電流 (I_{ds}) のバラツキを図 9 に示す。このとき駆動用 TFT に流れる電流 (I_{ds}) のバラツキは、存在割合 3 とした。すなわち、バラツキは、バラツキ = $I_{ds} (3) / I_{ds}$ (平均) として求めた。

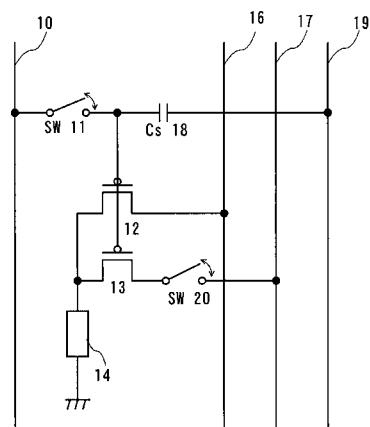
30

【0102】

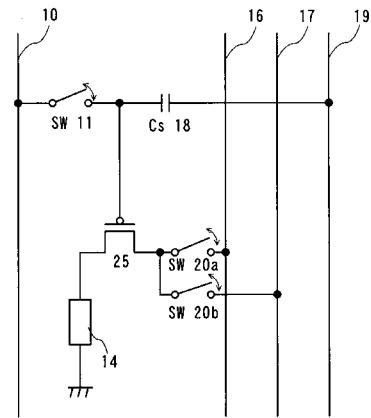
図 9 により、低階調表示では、駆動用 TFT に流れる電流 (I_{ds}) のバラツキが大きくなることがわかる。本実験により、発光素子へ微少な電流を供給する低階調表示を行う場合、駆動用 TFT のバラツキが顕著となってしまうことが認識できる。本実験により、本発明者らは低階調表示において駆動用トランジスタのバラツキが顕著になることを見出したのである。

20

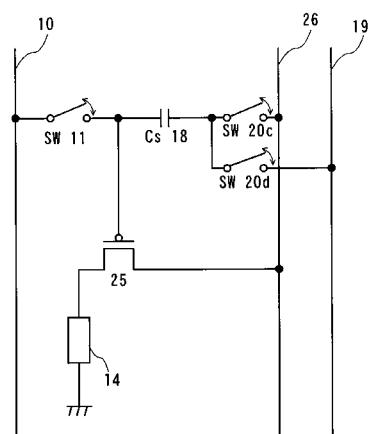
【 図 1 】



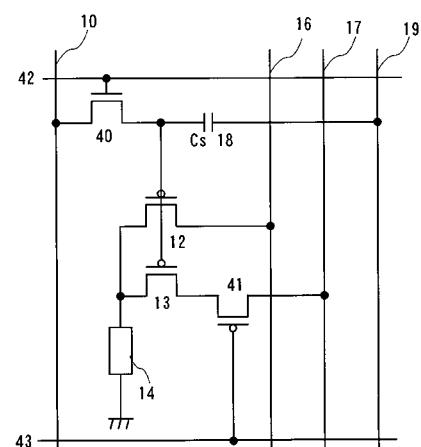
【 図 2 】



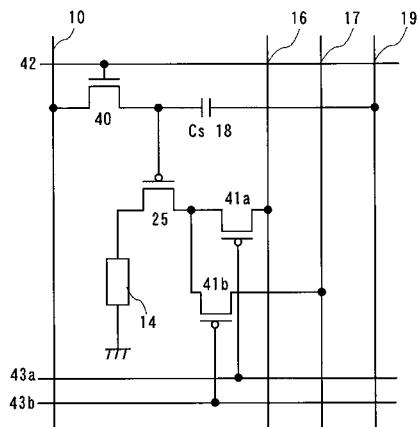
【図3】



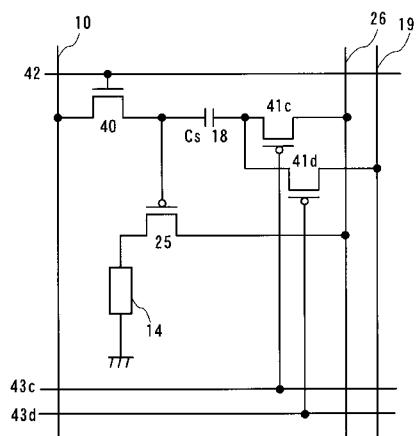
【 四 4 】



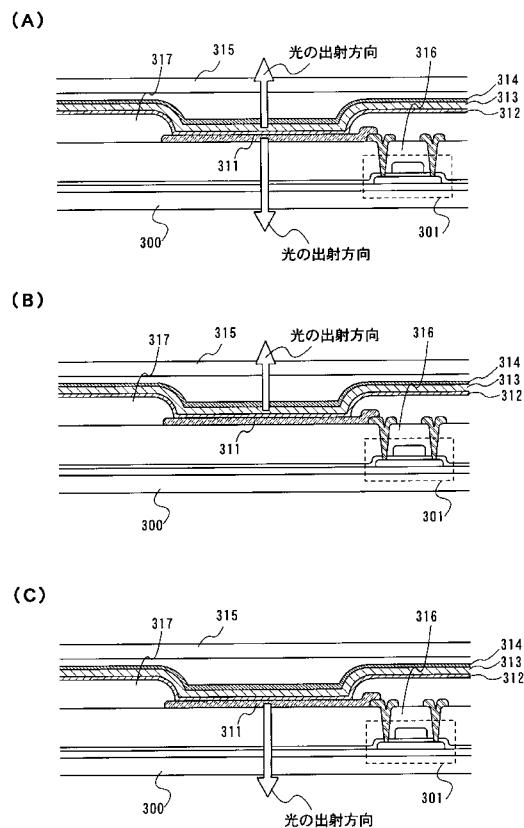
【圖 5】



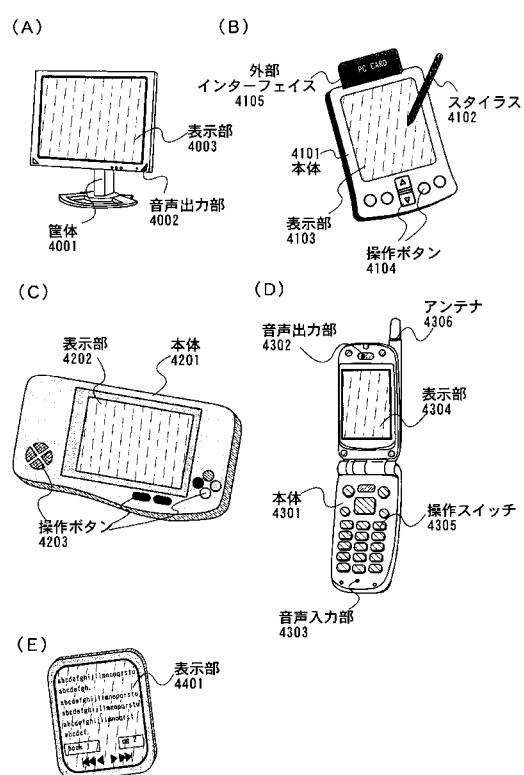
【 四 6 】



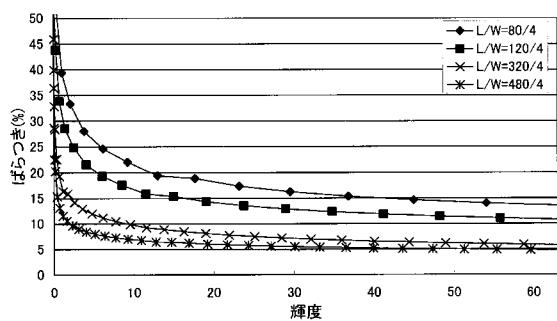
【図7】



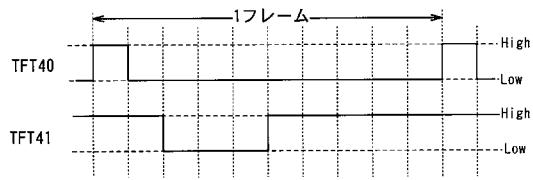
〔 四 8 〕



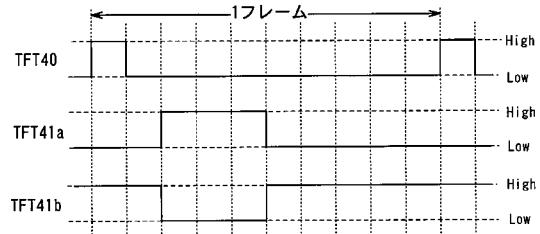
【図9】



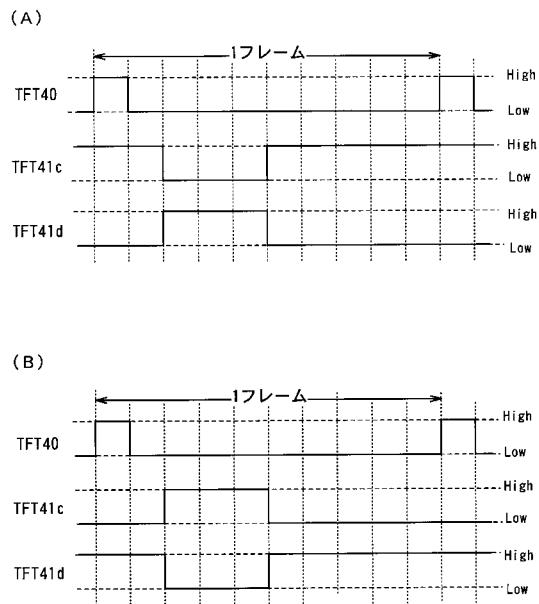
【図10】



【図11】



【図12】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
<i>H 05B 33/22</i> (2006.01)	G 09G 3/20	612U
<i>H 01L 51/50</i> (2006.01)	G 09G 3/30	J
	G 09F 9/30	365
	G 09F 9/30	338
	G 09F 9/30	348A
	H 05B 33/22	Z
	H 05B 33/14	A

F ターム(参考) 5C094 AA23 BA03 BA27 CA19 DA13 DB04 FB01 FB02 FB15 HA07
HA08
5C380 AA01 AB06 AB11 AB12 AB13 AB22 AB23 AB34 AB46 AC07
AC08 AC09 AC11 AC12 AC13 AC16 BA38 BA39 BA46 BB02
CA08 CA12 CB01 CB18 CC01 CC28 CC30 CC33 CC39 CC63
CC72 CD014 DA02 DA06 DA58

专利名称(译)	表示装置		
公开(公告)号	JP2014207234A	公开(公告)日	2014-10-30
申请号	JP2014099303	申请日	2014-05-13
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	宫川惠介 木村肇		
发明人	宫川 惠介 木村 肇		
IPC分类号	H05B33/04 G09G3/20 G09G3/30 H01L27/32 G09F9/30 H05B33/22 H01L51/50 G09G3/10 G09G3/32		
CPC分类号	G09G3/2029 G09G3/3233 G09G2300/0465 G09G2300/0842 G09G2300/0861 G09G2320/0233 G09G2320/043 G09G2330/02 G09G3/2092 G09G2320/0673 H01L27/1222 H01L27/124 H01L27/1255		
FI分类号	H05B33/04 G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.612.U G09G3/30.J G09F9/30.365 G09F9/30.338 G09F9/30.348.A H05B33/22.Z H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC23 3K107/CC33 3K107/EE03 3K107/EE48 5C080/AA06 5C080 /BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK34 5C080/KK43 5C080/KK47 5C080/KK50 5C094 /AA23 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB04 5C094/FB01 5C094/FB02 5C094/FB15 5C094/HA07 5C094/HA08 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380 /AB13 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA38 5C380/BA39 5C380/BA46 5C380 /BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB18 5C380/CC01 5C380/CC28 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC63 5C380/CC72 5C380/CD014 5C380/DA02 5C380/DA06 5C380 /DA58		
优先权	2004134723 2004-04-28 JP		
其他公开文献	JP5764696B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在执行低灰度显示时，为了减小驱动晶体管的阈值电压(V_{th})变化的影响，从而减小发光元件的亮度变化并进一步抑制发光元件的劣化。提供了一种显示装置。半导体层，在半导体层上方的第一绝缘层，在第一绝缘膜上方的第一导电层，在第一绝缘层上方的第二绝缘层以及第二绝缘层在绝缘层上方的第二导电层，在第二绝缘层上方和第二导电层上方的第一电极，在第一电极上方的电致发光层以及在电致发光层上方的第二导电层。电极和在第二电极上方的第三绝缘层，半导体层具有晶体管的沟道形成区域，并且第一绝缘层具有用作晶体管的栅极绝缘层的区域。在显示装置中，第一导电层具有用作晶体管的栅电极的区域，第三绝缘层包含氮和硅。[选择图]图2

