

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-271333

(P2009-271333A)

(43) 公開日 平成21年11月19日(2009.11.19)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 K	3K107
<b>H01L 51/50 (2006.01)</b>	H05B 33/14 A	5C080
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 H	
	G09G 3/30 J	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 1 O L (全 71 頁) 最終頁に続く		

(21) 出願番号	特願2008-121889 (P2008-121889)	(71) 出願人	302020207 東芝モバイルディスプレイ株式会社 東京都港区港南4-1-8
(22) 出願日	平成20年5月8日 (2008.5.8)	(74) 代理人	100059225 弁理士 蔦田 璋子
		(74) 代理人	100076314 弁理士 蔦田 正人
		(74) 代理人	100112612 弁理士 中村 哲士
		(74) 代理人	100112623 弁理士 富田 克幸
		(74) 代理人	100124707 弁理士 夫 世進

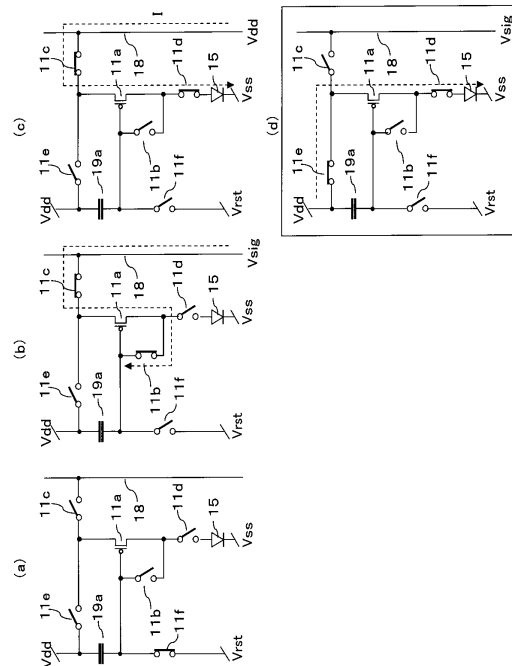
最終頁に続く

(54) 【発明の名称】 EL表示装置

(57) 【要約】

【課題】表示ムラを改善するEL表示装置を提供する。  
 【解決手段】図(a)に図示するように、リセット電圧  $V_{rst}$  を印加した後、図(b)に図示するように、ソース信号線18から映像信号電圧  $V_{sig}$  を駆動用トランジスタ11aに印加する。つぎに、図(c)に図示するように、ソース信号線18にアノード電圧  $V_{dd}$  を印加してソース信号線18に流れる電流  $I$  を測定する。測定した電流  $I$  から画素の駆動用トランジスタ11aの特性を求める。

【選択図】 図42



**【特許請求の範囲】****【請求項 1】**

EL素子を有する複数の色の画素がマトリックス状に配置された表示画面を有するEL表示装置において、

前記画素に所定電圧を印加し、前記EL素子に流れる電流を測定する測定部と、  
前記測定した電流から前記画素に印加する映像信号を補正する補正部と、  
を有するEL表示装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、EL（エレクトロルミネッセンス）素子を画素に用いたアクティブマトリクス型のEL表示装置に関するものである。

**【背景技術】****【0002】**

EL素子を用いた平面自発光型のEL表示装置の開発が近年盛んになっている。EL素子は有機薄膜に電界をかけると発光する現象を利用したデバイスである。

**【0003】**

EL素子は自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。また、EL素子の応答速度は数 $\mu$ 秒程度と非常に高速であるので、動画表示時の残像が発生しない。

**【0004】**

有機EL（PLED、OLED、OEL）パネル（有機発光素子パネル）は、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

**【特許文献1】**特開2003-255856公報

**【特許文献2】**特開2003-271095公報

**【発明の開示】****【発明が解決しようとする課題】****【0005】**

有機EL表示パネルは、低温または高温ポリシリコンからなるトランジスタアレイを用いてパネルを構成する。しかし、EL素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

**【0006】**

EL素子に電流を供給する駆動用トランジスタに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタは50%以上の特性バラツキがある。そのために、駆動用トランジスタの特性バラツキが表示ムラとして表示され、画像表示品位を低下させるという問題点があった。

**【0007】**

そこで本発明は、駆動用トランジスタの特性バラツキを補償し、特性表示ムラのない画像表示を実現できるEL表示装置の駆動方法を提供する。

**【課題を解決するための手段】****【0008】**

前記画素にソース信号線を介して所定電圧を印加し、次に、ソース信号線にアノード電圧を印加することにより、前記画素に流れる電流を測定し、測定した電流で前記画素に印加する映像信号を補正する。

**【発明の効果】****【0009】**

本発明に係るEL表示装置は、各画素の駆動用トランジスタの流す電流から特性バラツキを測定する。測定した電流から、各画素に印加する映像信号電圧 $V_{sig}$ を補正する。

10

20

30

40

50

したがって、特性表示ムラのない画像表示を実現できる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して本発明の一実施形態を詳細に説明する。

【0011】

(第1の実施形態)

本発明の第1の実施形態のEL表示装置について図1～図9に基づいて説明する。

【0012】

(1) EL表示装置の全体構成

図2は、本実施形態に係るEL表示装置の全体構成を示すブロック図である。

10

【0013】

本実施形態は、EL素子15がマトリクス状に配置された表示画面22とこれを駆動する駆動回路とからなる。すなわち、図2に示すように、EL表示装置は、表示画面22とこれを駆動するソースドライバ回路(IC)18と、ゲート端子ゲートドライバ回路12、12cとからなる。

【0014】

図2のゲートドライバ回路12は、図1のゲートドライバ回路12a、12bが組み合わせたものである。

【0015】

表示画面22は、行状のゲート信号線17と、列状のソース信号線18と、両者が交差する部分に配された行列状の画素16と、各画素16の各列に対応して形成されたアノード電源配線21を備えている。つまり、アノード電源配線21は画素列に平行に形成されている。また、キャンセル電圧 $V_r$ を供給するキャンセル電圧配線20も画素列に平行に形成されている。すなわち、ソース信号線18に平行に形成されている。

20

【0016】

(2) 画素16の構成

図1は、図2に示したEL表示装置に含まれる画素16の具体的な構成及び結線関係を示す回路図である。

【0017】

図1に示すように、画素16は、EL素子15などで代表されるEL素子15と、スイッチ用トランジスタ11b、11c、11eと、駆動用トランジスタ11aと、コンデンサ19aとを含む。

30

【0018】

スイッチ用トランジスタ11bは、そのゲート端子dがゲート信号線17aに接続し、そのドレイン端子dがソース信号線18に接続し、そのソース端子が駆動用トランジスタ11aのゲート端子gに接続する。

【0019】

駆動用トランジスタ11aは、そのドレイン端子dがアノード電源配線21に接続し、そのソース端子sがEL素子15のアノード端子に接続している。

【0020】

EL素子15のカソードは、接地電極またはカソード電極(電圧) $V_{ss}$ に接続している。なお、この接地電極またはカソード電極(電圧) $V_{ss}$ は全ての画素16に対して共通に配線されている。

40

【0021】

コンデンサ19aは、駆動用トランジスタ11aのソース端子sとゲート端子gの間に接続している。

【0022】

係る構成において、スイッチ用トランジスタ11bは、ゲート信号線17から供給された制御信号に応じて導通し、ソース信号線18から供給された信号電位をサンプリングしてコンデンサ19aに保持する。

50

## 【0023】

駆動用トランジスタ11aは、スイッチ用トランジスタ11eがオンすることにより、アノード電源配線21から電流の供給を受け、コンデンサ19aに保持された信号電位に応じて駆動電流をEL素子15に流す。

## 【0024】

(3) ゲートドライバ回路12

ゲートドライバ回路12について説明する。

## 【0025】

ゲートドライバ回路12aは、各ゲート信号線17aに順次制御信号(オン電圧またはオフ電圧)を供給して画素16を行単位で線順次走査する。

10

## 【0026】

ゲートドライバ回路12bは、この線順次操作に同期して、駆動用トランジスタ11aのドレイン端子dにキャンセル電圧 $V_r$ を印加するトランジスタ11cを制御する。すなわち、ゲートドライバ回路12bは、ゲート信号線17bにオフ電圧またはオフ電圧を順次印加する。

## 【0027】

ゲートドライバ回路12cは、この線順次走査に合わせて、駆動用トランジスタ11aのドレイン端子dにアノード電圧 $V_{dd}$ (もしくはカソード電圧 $V_{ss}$ )を印加するトランジスタ11eを制御する。すなわち、ゲートドライバ回路12cは、ゲート信号線17cにオフ電圧またはオフ電圧を順次印加する。

20

## 【0028】

なお、ゲートドライバ回路12a、12b、12cは3つのドライバから構成されるものに限定されるものではなく、図2に示すように、12a、12cで1つのゲートドライバ回路12に構成してもよい。

## 【0029】

また、各ゲートドライバ回路12がゲート信号線17に出力する電圧(オフ電圧またはオフ電圧)は異なる値とすることが好ましい。図2の実施形態では、ゲートドライバ回路12とゲートドライバ回路12cのオン電圧( $V_{GH}$ )は同一であるが、オフ電圧( $V_{GL}$ )は、ゲートドライバ回路12は、 $V_{GL1}$ とし、ゲートドライバ回路12cは、 $V_{GL2}$ として異なっている。すなわち、 $V_{GL1} < V_{GL2}$ となるようにしている。これは、 $V_r < V_{dd}$ なる関係があり、駆動用トランジスタ11aに十分に $V_r$ 電圧を印加できるように構成するためである。

30

## 【0030】

ゲートドライバ回路12には、ゲート信号線17aを選択するスタートパルス $ST1$ 、ゲート信号線17bを選択するスタートパルス $ST2$ 、スタートパルスを順次シフトするクロック信号( $CLK$ )が印加される。UDは、ゲートドライバ回路12内のスタートパルスの上下シフトレジスタ方向を切り替える信号である。

## 【0031】

ゲートドライバ回路12cには、ゲート信号線17cを選択するスタートパルス $ST3$ 、スタートパルスを順次シフトするクロック信号( $CLK$ )が印加される。

40

## 【0032】

なお、必要に応じて、ゲートドライバ回路12には、イネーブル制御端子を付加することが好ましい。ゲートドライバ回路12内には、シフトレジスタ回路が形成されており、スタートパルスをクロック信号( $CLK$ )に同期して順次シフトさせ、選択するゲート信号線17の位置を変化させる。

## 【0033】

駆動用トランジスタ11aにドレイン端子dに印加する、第1電位(キャンセル電圧)とアノード電圧 $V_{dd}$ の切り替えは、スイッチ用トランジスタ11cとスイッチ用トランジスタ11eで実現する。スイッチ用トランジスタ11cとスイッチ用トランジスタ11eとは、排他的動作する。

50

## 【 0 0 3 4 】

したがって、スイッチ用トランジスタ 1 1 c がオンしているときは、スイッチ用トランジスタ 1 1 e はオフに制御され、スイッチ用トランジスタ 1 1 c がオフしているときは、スイッチ用トランジスタ 1 1 e はオンに制御される。スイッチ用トランジスタ 1 1 c は、順次操作され、スイッチ用トランジスタ 1 1 e は、E L 素子 1 5 に電流を供給する時を主にオン状態とされる。

## 【 0 0 3 5 】

また、スイッチ用トランジスタ 1 1 e をオン/オフ制御することにより、図 1 1、図 1 2 で説明する d u t y 駆動を実現することができる。つまり、E L 素子 1 5 の点灯及び消灯は、スイッチ用トランジスタ 1 1 e を d u t y 駆動する。この d u t y 駆動は、非表示領域を発生させて、E L 素子 1 5 に流れる電流を抑制するために行う。これについては、後から詳しく説明するが、ここで簡単に説明すると、スイッチ用トランジスタ 1 1 e、スイッチ用トランジスタ 1 1 d などをオン/オフさせて、表示画面 2 2 に帯状の非表示領域を発生し、この非表示領域を画面 2 2 の上下方向に、フレーム周期に同期して画像表示させる。

10

## 【 0 0 3 6 】

## ( 4 ) 閾値電圧補正機能

ソース信号線 1 8 に信号電圧を供給するソースドライバ回路 1 8 は、スイッチ用トランジスタ 1 1 b が導通した後で、ソース信号線 1 8 に基準電位  $V_0$  を供給している間に、駆動用トランジスタ 1 1 a のドレイン端子 d に印加する電圧を第 1 電位 (キャンセル電圧) と第 2 電位 (アノード電圧  $V_{dd}$ ) との間で切換え、駆動用トランジスタ 1 1 a の閾値電圧  $V_{th}$  に相当する電圧をコンデンサ 1 9 a に保持しておく。

20

## 【 0 0 3 7 】

係る閾値電圧補正機能により、E L 表示装置は画素 1 6 にばらつく駆動用トランジスタ 1 1 a の閾値電圧の影響をキャンセルすることができる。

## 【 0 0 3 8 】

## ( 5 ) 移動度補正機能

図 1 に示した画素 1 6 は、上記した閾値電圧補正機能に加え、移動度補正機能を備えている。

30

## 【 0 0 3 9 】

ソースドライバ回路 1 8 は、スイッチ用トランジスタ 1 1 b が導通した後、第 1 のタイミングでソース信号線 1 8 を基準電位  $V_0$  から信号電位に切り換える一方、スイッチ用トランジスタ 1 1 c 及び 1 1 e を制御し、第 1 のタイミングの後、第 2 のタイミングでゲート信号線 1 7 a に対するオン電圧を解除してスイッチ用トランジスタ 1 1 b を非導通状態とし、第 1 及び第 2 のタイミングの間の期間を適切に設定することで、コンデンサ 1 9 a に信号電位を保持する際、駆動用トランジスタ 1 1 a の移動度  $\mu$  に対する補正を信号電位に加えている。

## 【 0 0 4 0 】

この場合、ゲートドライバ回路は、ソースドライバ回路 1 8 が供給する映像信号とゲートドライバ回路 1 2 b、1 2 c が供給する制御信号との相対的な位相差を調整して、第 1 及び第 2 のタイミングの間の期間 (移動度補正期間) を最適化することができる。

40

## 【 0 0 4 1 】

また、ソースドライバ回路 1 8 は、基準電位から信号電位に切り換える映像信号の立ち上がりに傾斜をつけて、第 1 及び第 2 のタイミングの間の移動度補正期間を信号電位に自動的に追従させることもできる。

## 【 0 0 4 2 】

## ( 6 ) ブートストラップ機能

図 1 に示した画素 1 6 はさらにブートストラップ機能も備えている。

## 【 0 0 4 3 】

ゲートドライバ回路 1 2 b 及び 1 2 c は、コンデンサ 1 9 a に信号電位が保持された段

50

階でゲート信号線 17 b にオフ電圧を印加し、ゲート信号線 17 c にオン電圧を印加することにより、駆動用トランジスタ 11 a のドレイン端子 d の電位を  $V_r$  から  $V_{dd}$  電圧に変化させる。また、スイッチ用トランジスタ 11 b を非導通状態にして駆動用トランジスタ 11 a のゲート端子 g をソース信号線 18 から電氣的に切り離す。この動作により、駆動用トランジスタ 11 a のソース電位  $V_s$  の変動にゲート電位  $V_g$  が連動しゲート端子 g とソース端子 s 間の電圧  $V_{gs}$  を一定に維持することができる。

【0044】

(7) 画素 16 の動作のタイミングチャート

図 3 は、図 1 に示した画素 16 の動作説明に供するタイミングチャートである。時間軸を共通にして、ゲート信号線 17 a、17 b、17 c の電位変化、ソース信号線 18 の電位変化、EL 素子 15 の発光状態と模式的に示している。

10

【0045】

このタイミングチャートは、画素 16 の動作の変化に合わせて期間を B ~ G のように便宜的に区切ってある。

【0046】

発光期間 B では EL 素子 15 が発光状態にある。この後、線順次走査の新しいフィールドに入って、最初の期間 C で、スイッチ用トランジスタ 11 b がオンし、駆動用トランジスタ 11 a のゲート電位  $V_g$  が初期化される。

【0047】

次に、期間 D に進み、スイッチ用トランジスタ 11 c がオンして駆動用トランジスタ 11 a のドレイン端子 d にキャンセル電圧  $V_r$  が印加され、駆動用トランジスタ 11 a のソース電位  $V_s$  も初期化される。このように駆動用トランジスタ 11 a のゲート電位  $V_g$  及びソース電位  $V_s$  を初期化することで、閾値電圧補正動作の準備が完了する。 $V_r$  電圧は、EL 素子 15 がオンせず（電流が流れない）、駆動用トランジスタ 11 a がオフとなる電圧である。

20

【0048】

次に、閾値補正期間 E で実際に閾値電圧補正動作が行われ、駆動用トランジスタ 11 a のゲート端子 g とドレイン端子 d との間に閾値電圧  $V_{th}$  に相当する電圧が保持される。実際には、 $V_{th}$  に相当する電圧が、駆動用トランジスタ 11 a のゲート端子 g とドレイン端子 d との間に接続されたコンデンサ 19 a に書き込まれることになる。

30

【0049】

次に、サンプリング期間 / 移動度補正期間 F に進み、映像信号の信号電位  $V_{in}$  が  $V_{th}$  に足し込まれる形でコンデンサ 19 a に書き込まれると共に、移動度補正用の電圧  $V$  がコンデンサ 19 a に保持された電圧から差し引かれる。

【0050】

次に、発光期間 G に進み、信号電圧  $V_{in}$  に応じた輝度で EL 素子 15 が発光する。そのときに信号電圧  $V_{in}$  は閾値電圧  $V_{th}$  に相当する電圧と移動度補正用の電圧  $V$  によって調整されているため、EL 素子 15 の発光輝度は駆動用トランジスタ 11 a の閾値電圧  $V_{th}$  や移動度  $\mu$  のばらつきの影響を受けない。

【0051】

なお、発光期間 G の最初でブートストラップ動作が行われ、駆動用トランジスタ 11 a のゲート - ソース間電圧  $V_{gs} = V_{in} + V_{th} - V$  を一定に維持したまま、駆動用トランジスタ 11 a のゲート電位  $V_g$  及びソース電位  $V_s$  が上昇する。

40

【0052】

(8) 画素 16 の動作

図 4 ~ 図 9 を参照して、図 1 に示した画素 16 の動作を詳細に説明する。なお、図 4 ~ 図 9 の図番は、図 3 に示したタイミングチャートの各期間 B ~ G にそれぞれ対応している。また、理解を容易にするため、図 4 ~ 図 9 は、説明の都合上、EL 素子 15 の容量成分をコンデンサ 19 b として図示してある。

【0053】

50

## (8 - 1) 発光期間 B

図4に示すように、発光期間Bでは、スイッチ用トランジスタ11eがオンし、スイッチ用トランジスタ11cがオフに制御されることにより、駆動用トランジスタ11aのドレイン端子dの電位がアノード電圧 $V_{dd}$ にあり、駆動用トランジスタ11aが駆動電流 $I_{ds}$ をEL素子15に供給している。

## 【0054】

図示する様に、駆動電流 $I_{ds}$ はアノード電圧 $V_{dd}$ から駆動用トランジスタ11aを介してEL素子15を通り、共通接地電極またはカソード電極(電圧) $V_{ss}$ に流れ込んでいる。

## 【0055】

## (8 - 2) 期間 C

次に、期間Cに入ると、図5に示すように、ゲート信号線17aの電位がアノード電圧 $V_{dd}$ 側(オン電圧が印加される)に変化することでスイッチ用トランジスタ11bがオン状態となり、駆動用トランジスタ11aのゲート電位 $V_g$ はソース信号線18の基準電位 $V_0$ に初期化(リセット)される。

## 【0056】

## (8 - 3) 期間 D

次に、期間Dに進むと、図6に示すように、駆動用トランジスタ11aのドレイン端子dの電位がアノード電圧 $V_{dd}$ からソース信号線18の基準電位 $V_0$ より十分低いキャンセル電圧 $V_r$ に変化する。

## 【0057】

これにより駆動用トランジスタ11aのソース電位 $V_s$ がソース信号線18の基準電位 $V_0$ より十分低いキャンセル電圧 $V_r$ に初期化(リセットまたはキャンセル)される。

## 【0058】

具体的には、駆動用トランジスタ11aのゲート-ソース間電圧 $V_{gs}$ (ゲート電位 $V_g$ とソース電位 $V_s$ の差)が駆動用トランジスタ11aの閾値電圧 $V_{th}$ より大きくなるように、駆動用トランジスタ11aのドレイン端子dに低キャンセル電圧 $V_r$ を設定する。

## 【0059】

## (8 - 4) 閾値補正期間 E

次に、閾値補正期間Eに進むと、図7に示すように、駆動用トランジスタ11aのドレイン端子dの電位が低キャンセル電圧 $V_r$ からアノード電圧 $V_{dd}$ に変化し、駆動用トランジスタ11aのソース電位 $V_s$ が上昇を開始する。

## 【0060】

やがて、駆動用トランジスタ11aのゲート端子-ソース端子間電圧 $V_{gs}$ が閾値電圧 $V_{th}$ となったところで電流がカットオフする。このようにして駆動用トランジスタ11aの閾値電圧 $V_{th}$ に相当する電圧がコンデンサ19aに書き込まれる。これが閾値電圧補正動作である。このとき電流が専らコンデンサ19a側に流れ、EL素子15側には流れないようにするため、EL素子15がカットオフとなるように共通接地電極またはカソード電極(電圧) $V_{ss}$ の電位を設定しておく。

## 【0061】

## (8 - 5) サンプリング期間 / 移動度補正期間 F

次に、サンプリング期間 / 移動度補正期間Fに進むと、図8に示すように、第1のタイミングでソース信号線18の電位が基準電位 $V_0$ から信号電位 $V_{in}$ に変化し、駆動用トランジスタ11aのゲート電位 $V_g$ は $V_{in}$ となる。

## 【0062】

このときEL素子15は始めカットオフ状態(ハイインピーダンス状態)にあるため駆動用トランジスタ11aのドレイン電流 $I_{ds}$ はEL素子15のコンデンサ19(寄生容量)19bに流れ込む。

## 【0063】

10

20

30

40

50

これによりEL素子15のコンデンサ19(寄生容量)19bは充電を開始する。よって駆動用トランジスタ11aのソース電位 $V_s$ は上昇を開始し、第2のタイミングで駆動用トランジスタ11aのゲート-ソース間電圧 $V_{gs}$ は $V_{in} + V_{th} - V$ となる。このようにして信号電位 $V_{in}$ のサンプリングと補正量 $V$ の調整が行われる。 $V_{in}$ が高いほど $I_{ds}$ は大きくなり、 $V$ の絶対値も大きくなる。したがって発光輝度レベルに応じた移動度補正が行える。また $V_{in}$ を一定とした場合、駆動用トランジスタ11aの移動度 $\mu$ が大きいほど $V$ の絶対値も大きくなる。換言すると移動度 $\mu$ が大きいほど負帰還量 $V$ が大きくなるので、画素16毎の移動度 $\mu$ のばらつきを取り除くことが可能である。

【0064】

(8-6)発光期間G

最後に、発光期間Gになると、図9に示すように、ゲート信号線17が低電位側に変化し、スイッチ用トランジスタ11bはオフ状態となる。これにより駆動用トランジスタ11aのゲート端子gはソース信号線18から切り離される。同時にドレイン電流 $I_{ds}$ がEL素子15を流れ始める。これによりEL素子15のアノード電位は駆動電流 $I_{ds}$ に応じて上昇する。

【0065】

EL素子15のアノード電位の上昇は、すなわち駆動用トランジスタ11aのソース電位 $V_s$ の上昇に他ならない。駆動用トランジスタ11aのソース電位 $V_s$ が上昇すると、コンデンサ19aのブートストラップ動作により、駆動用トランジスタ11aのゲート電位 $V_g$ も連動して上昇する。ゲート電位 $V_g$ の上昇量はソース電位 $V_s$ の上昇量に等しくなる。故に、発光期間中駆動用トランジスタ11aのゲート-ソース間電圧 $V_{gs}$ は $V_{in} + V_{th} - V$ で一定に保持される。

【0066】

(9)変更例

図10は、図1の変更例である。

【0067】

EL素子15のアノード端子と駆動用トランジスタ11aのドレイン端子d間に、第4のスイッチ用トランジスタ11dを形成している。スイッチ用トランジスタ11dは、ゲート信号線17dに接続され、また、ゲート信号線17dは、ゲートドライバ回路12dからオン/オフ電圧が印加される。

【0068】

(10)duty駆動

図1、図10の本実施形態において、トランジスタ11e、トランジスタ11dの少なくとも一方をオン/オフ制御することにより、図11(b)に図示するようなduty駆動を実現できる。以下、duty駆動について説明する。なお、上記したように、このduty駆動は、非表示領域を発生させて、EL素子15に流れる電流を抑制するために行う。

【0069】

図17はduty駆動時のゲート信号線17などに印加する電圧を模式的に図示している。図17は、図3に加えて、ゲート信号線17dの電圧波形を追加している。ゲート信号線17dにオフ電圧を印加することにより、EL素子15に供給する電流が停止し、EL素子15が消灯する。したがって、H期間では、EL素子15は消灯状態である。

【0070】

図11において、符号111はプログラム画素行111(映像信号を書き込んでいる画素行)である。符号113は、非表示領域(トランジスタ11eとトランジスタ11dのうち、少なくとも一方をオフさせることにより、非表示(EL素子15に電流が流れていない、または流れても小さい状態)とした画素行または画素行の群)である。符号112は表示領域(トランジスタ11eとトランジスタ11dの両方をオンさせ、EL素子15に電流が供給されている画素行または画素行の群)である。非表示領域113及び表示領域

10

20

30

40

50

1 1 2 はフレーム周期または水平同期信号に同期して、表示画面 2 2 の上下方向に走査される。

【0071】

図 1 2 ( a ) の表示では、1 つの表示領域 1 1 2 が画面の上から下方向に移動する。フレームレートが低いと、表示領域 1 1 2 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、または顔を上下に移動させた時などに認識されやすくなる。

【0072】

この課題を解決するために、図 1 1 ( b ) ( c ) に示すように、表示領域 1 1 2 を複数に分割する。分割された表示領域 1 1 2 は等しく ( 等分に ) する必要はない。例えば、表示領域を 4 つの領域に分割し、分割された表示領域 1 1 2 a が面積 1 で、分割された表示領域 1 1 2 b が面積 2 で、分割された表示領域 1 1 2 c が面積 1 で、分割された表示領域 1 1 2 d が面積 4 でもよい。

10

【0073】

数フレーム ( フィールド ) での表示領域 1 1 2 の面積が平均して目標の大きさになるように制御してもよい。例えば、表示画面 2 2 に占める表示領域 1 1 2 の面積を  $1 / 10$  にするとした時、1 フレーム ( フィールド ) 目は表示領域 1 1 2 の面積を  $1 / 10$  とし、2 フレーム ( フィールド ) 目は表示領域 1 1 2 の面積を  $1 / 20$  とし、3 フレーム ( フィールド ) 目は表示領域 1 1 2 の面積を  $1 / 20$  とし、4 フレーム ( フィールド ) 目は表示領域 1 1 2 の面積を  $1 / 5$  とし、以上の 4 フレーム ( フィールド ) で所定の表示面積 ( 表示輝度 ) の  $1 / 10$  を得る駆動方法が例示される。

20

【0074】

また、R、G、Bのそれぞれが、数フレーム ( フィールド ) で L の期間の平均が等しくなるように駆動してもよい。しかし、前記数フレーム ( フィールド ) は 4 フレーム ( フィールド ) 以下にすることが好ましい。表示画像によってはフリッカが発生する場合があるからである。

【0075】

なお、本実施形態での 1 フレームまたは 1 フィールドとは、画素 1 6 の画像書き換え周期または表示画面 2 2 が上から下まで ( 下から上まで ) 走査される周期と同義あるは類似の意味と考えてもよい。

【0076】

また、R、G、Bで、数フレーム ( フィールド ) で L の期間の平均を異ならせ、適度なホワイトバランスがとれるように駆動してもよい。この駆動方法は、R G B の発光効率が異なるときに特に有効である。また、R G B で分割数 K ( K は表示領域 1 1 2 を複数に分割する数 ) を異ならせても良い。特に G では視覚的にめだつため、G では分割数を R B に対して多くすることが有効である。

30

【0077】

なお、以上の実施形態では理解を容易にするために表示領域 1 1 2 の面積を分割して説明している。しかし、面積を分割するとは、期間 ( 時間 ) を分割することである。したがって、図 1 ではトランジスタ 1 1 d のオン期間を分割することになるから、面積を分割することは、期間 ( 時間 ) を分割することと同義または類似である。

40

【0078】

以上のように、表示領域 1 1 2 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。また、画像表示のフレームレートを低減することができ、低消費電力化を実現できる。例えば、非点灯領域 1 1 3 を一括にした場合は、フレームレート  $45 \text{ Hz}$  以下になるとフリッカが発生する。しかし、非点灯領域 1 1 3 を 6 分割以上とした場合は、 $20 \text{ Hz}$  以下までフリッカが発生しない。

【0079】

図 1 2 ( a ) は図 1 2 のように表示領域 1 1 2 が連続している場合の明るさ調整方式で

50

ある。図 1 2 ( a 1 ) の表示画面 2 2 の表示輝度が最も明るい。図 1 2 ( a 2 ) の表示画面 2 2 の表示輝度が次に明るく、図 1 2 ( a 3 ) の表示画面 2 2 の表示輝度が最も暗い。図 1 2 ( a 1 ) から図 1 2 ( a 3 ) への変化（またはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。

【 0 0 8 0 】

この際、図 1 の V d d 電圧（アノード電圧など）は変化させる必要がない。また、ソースドライバ回路 1 4 が出力するプログラム電流またはプログラム電圧の大きさも変化させる必要がない。つまり、電源電圧を変化させず、また、映像信号を変化させずに表示画面 2 2 の輝度変化を実施できる。

10

【 0 0 8 1 】

また、図 1 2 ( a 1 ) から図 1 2 ( a 3 ) への変化の際、画面のガンマ特性は全く変化しない。したがって、表示画面 2 2 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本実施形態の効果のある特徴である。

【 0 0 8 2 】

従来 of 画面の輝度調整では、表示画面 2 2 の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は 6 4 階調表示を実現できて、低輝度表示の時は、半分以下の階調数しか表示できない。これに比較して、本実施形態の駆動方法では、画面の表示輝度に依存せず、最高の 6 4 階調表示を実現できる。

20

【 0 0 8 3 】

図 1 2 ( b ) は、図 1 1 で説明したように表示領域 1 1 2 が分散している場合の明るさ調整方式である。図 1 2 ( b 1 ) の表示画面 2 2 の表示輝度が最も明るい。図 1 2 ( b 2 ) の表示画面 2 2 の表示輝度が次に明るく、図 1 2 ( b 3 ) の表示画面 2 2 の表示輝度が最も暗い。図 1 2 ( b 1 ) から図 1 2 ( b 3 ) への変化（またはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。図 1 2 ( b ) のように表示領域 1 1 2 を分散させれば、低フレームレートでもフリッカが発生しない。

【 0 0 8 4 】

さらに、低フレームレートでも、フリッカが発生しないようにするには、図 1 2 ( c ) のように表示領域 1 1 2 を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図 1 2 ( a ) の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図 1 2 ( c ) の駆動方法が適している。図 1 2 ( a ) から図 1 2 ( c ) の駆動方法の切り替えも、シフトレジスタの制御により容易に実現できる。

30

【 0 0 8 5 】

図 1 1 は非表示領域 1 1 3 が等間隔で構成されているが、これに限定するものではない。表示画面 2 2 の 1 / 2 の面積が連続して表示領域 1 1 2 をし、残りの面積が図 1 2 ( c 1 ) のように等間隔に表示領域 1 1 2 と非表示領域 1 1 3 が繰り返すように駆動してもよい。

【 0 0 8 6 】

さらに、低フレームレートでも、フリッカが発生しないようにするには、図 1 2 ( c ) のように表示領域 1 2 2 を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図 1 2 ( a ) の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図 1 3 ( c ) の駆動方法が適している。図 1 2 ( a ) から図 1 2 ( c ) の駆動方法の切り替えも、シフトレジスタ 6 1 の制御により容易に実現できる。

40

【 0 0 8 7 】

図 1 2 は非表示領域 1 1 3 が等間隔で構成されているが、これに限定するものではない。表示画面 2 2 の 1 / 2 の面積が連続して表示領域 1 1 2 をし、残りの面積が図 1 2 ( c 1 ) のように等間隔に表示領域 1 1 2 と非表示領域 1 1 3 が繰り返すように駆動してもよ

50

いことは言うまでもない。

【0088】

(11) 点灯率制御と duty 比制御

本明細書において、点灯率に応じて duty 比制御などを変化させるとして説明する。しかし、点灯率とは、一定の意味ではない。たとえば、低点灯率とは、画面 22 に流れる電流が小さいことを意味しているが、画像を構成する低階調表示の画素が多いことも意味する。つまり、画面 22 を構成する映像は、暗い画素（低階調の画素）が多い。

【0089】

したがって、低点灯率とは、画面を構成する映像データのヒストグラム処理をした時、低階調の映像データが多い状態と言い換えることができる。高点灯率とは、画面 22 に流れる電流が大きいことを意味しているが、画像を構成する高階調表示の画素が多いことも意味する。つまり、画面 22 を構成する映像は、明るい画素（高階調の画素）が多い。高点灯率とは、画面を構成する映像データのヒストグラム処理をした時、高階調の映像データが多い状態と言い換えることができる。つまり、点灯率に対応して制御するとは、画素の階調分布状態あるいはヒストグラム分布に対応して制御することと同義あるいは類似の状態を意味することがある。

10

【0090】

以上のことから、点灯率にもとづいて制御するとは、場合に応じて画像の階調分布状態（低点灯率 = 低階調画素が多い。高点灯率 = 高階調画素が多い。）にもとづいて制御すると言い換えることができる。たとえば、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがって duty 比を小さくするとは、低階調の画素数が多くなるにしたがって、基準電流比を増加させ、高階調の画素数が多くなるにしたがって duty 比を小さくすると言い換えることができる。または、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがって duty 比を小さくするとは、低階調の画素数が多くなるにしたがって基準電流比を増加させ、高階調の画素数が多くなるにしたがって duty 比を小さくするのと同じあるいは類似の意味あるいは動作もしくは制御である。

20

【0091】

また、たとえば、所定の低点灯率以下で基準電流比を N 倍し、かつ選択信号線数を N 本にすると、低階調の画素数が一定以上の時に、基準電流比を N 倍し、かつ選択信号線数を N 本にすることと同じあるいは類似の意味あるいは動作もしくは制御である。あるいは使用階調数を点灯率あるいは消費電流と連動させる。

30

【0092】

また、たとえば、通常は、duty 比 1 / 1 で駆動し、所定の高点灯率以上で段階的にあるいはスムーズに duty 比を低下させるとは、低階調あるいは高階調の画素数が一定の範囲以内の時に、duty 比 1 / 1 で駆動し、高階調の画素数が一定の以上数となった時に、段階的にあるいはスムーズに duty 比を低下させることと同じあるいは類似の意味あるいは動作もしくは制御である。

【0093】

一例として、duty 比制御は、点灯率が 1 / 10 以上 1 / 1 の範囲で実施する。duty 比 1 / 1 で、白ラスタ表示であれば、点灯率 100 % である（最大の白ラスタ表示時）。黒ラスタ表示であれば、点灯率 0 % である（完全黒ラスタ表示時）。

40

【0094】

点灯率とは、パネルのアノードまたはカソードに流れる最大電流に対する割合でもある（ただし、duty 比は 1 / 1 とする）。たとえば、カソードに流れる最大電流を 100 mA とすれば、duty 比 1 / 1 において、30 mA の電流が流れていれば点灯率は  $30 / 100 = 30\%$  (0.3) である。図 1 などの画素構成の場合は、アノードにはプログラム電流が加算されているので、点灯率の計算には考慮する必要がある。カソードは EL 素子で消費される電流のみである。したがって、EL 表示パネルの全 EL 素子 15 で消費される電流は、カソード端子を流れる電流を測定する方が好ましい。

50

## 【0095】

また、カソードに流れる最大電流を100mAとし、この時、映像データの総和の最大値とすれば、点灯率とはSUM制御もしくはAPL制御とは同義である。点灯率50%と表現すれば、カソード（アノード）に流れる電流が最大の50%と意味し、点灯率20%と表現すれば、カソードに流れる電流が最大の20%と意味するというように大きさが理解しやすいので今後は主として点灯率の用語を用いる。ただし、カソード（アノード）端子に流れる電流の最大値は、設計上、端子に流れる最大電流であり、相対的な大きさである。たとえば、設計値が小さければ最大値は小さい。

## 【0096】

点灯率は、パネルのアノードまたはカソードに流れる最大電流に対する割合であるとしたが、パネルの全EL素子に流れる最大電流の割合とも言い換えることができることは言うまでもない。

10

## 【0097】

本明細書では、点灯率と断り無く記載する時は、duty比1/1としている。もし、duty比1/3で、20mAの電流が流れていれば、点灯率は $(20\text{mA} \times 3) / 100\text{mA} = 60\%$  (0.6)である。つまり、点灯率が100%でも、duty比が1/2であれば、アノード（カソード）端子に流れる電流は最大値の1/2である。点灯率50%、アノード電流が20mA、duty比1/1であれば、duty比1/2になれば、アノード電流は10mAとなる。アノード電流が100mA、点灯率40%、duty比1/1であれば、アノード電流が200mAに変化したとすると、点灯率は80%に変化したことを意味する。以上のように、点灯率は、1画面を構成する映像データの大きさに対する割合、EL表示パネルの消費電流（電力）あるいはその割合を示している。

20

## 【0098】

以上の事項は、図1の画素構成のEL表示パネルあるいはEL表示装置だけではなく、他の画素構成のEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。

## 【0099】

一例として点灯率（点灯率）は、映像データの和から求める。つまり、映像データから算出する。入力映像信号がY、U、Vの場合は、Y（輝度）信号から求めても良い。しかし、EL表示パネルの場合は、R、G、Bで発光効率が異なるため、Y信号から求めた値が消費電力にならない。したがって、Y、U、V信号の場合も、一度R、G、B信号に変換し、R、G、Bに応じて電流に換算する係数をかけて、消費電流（消費電力）を求めることが好ましい。しかし、簡易的にY信号から消費電流を求めることは回路処理が容易になることも考慮してもよい（図31、図32などを参照のこと）。

30

## 【0100】

点灯率は、パネルに流れる電流で換算されているものであるとする。なぜなら、EL表示パネルではBの発光効率が悪いので、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データとは単純な映像データの加算値ではなく、映像データを消費電流に換算したものである。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

40

## 【0101】

点灯率にあわせてEL表示装置で表示する階調数を変化させることが好ましい。たとえば、点灯率が50%以上では、フル階調の1/2の範囲（1024階調の場合は、512階調）で、画像を表示し、50%以下では、フル階調の範囲で画像を表示する。

## 【0102】

なお、点灯率とは、duty駆動などピーク電流を抑制しないノーマルの駆動方式において、最大階調での白ラスタ表示を100%とした割合である。したがって、黒ラスタ表示では点灯率は0%である。

## 【0103】

50

## ( 1 2 ) 演算回路構成

この課題に対して、図 3 2 に図示する演算回路を使用する。図 3 2 において、3 2 1、3 2 2 乗算器である。3 2 1 は発光輝度を重み付けする乗算器である。R、G、B では視感度が異なる。NTSC での視感度は、R : G : B = 3 : 6 : 1 である。したがって、R の乗算器 3 2 1 R では、R 画像データ ( R d a t a ) に対して 3 倍の乗算を行う。また、G の乗算器 3 2 1 G では、G 画像データ ( G d a t a ) に対して 6 倍の乗算を行う。また、B の乗算器 3 2 1 B では、B 画像データ ( B d a t a ) に対して 1 倍の乗算を行う。

## 【 0 1 0 4 】

EL 素子 1 5 は RGB で発光効率が異なる。通常、B の発光効率が最も悪い。次に G が悪い。R が最も発光効率が良い。そこで、乗算器 3 2 2 で発光効率の重み付けを行う。R の乗算器 3 2 2 R では、R 画像データ ( R d a t a ) に対して R の発光効率の乗算を行う。また、G の乗算器 3 2 2 G では、G 画像データ ( G d a t a ) に対して G の発光効率の乗算を行う。また、B の乗算器 3 2 2 B では、B 画像データ ( B d a t a ) に対して B の発光効率の乗算を行う。

10

## 【 0 1 0 5 】

乗算器 3 2 1 および 3 2 2 の結果は、加算器 3 2 3 で加算され、総和回路 3 2 4 に蓄積される。この総和回路 8 7 の結果にもとづき、d u t y 比制御、点灯率制御などを実施する。図 3 2 のように制御すると、輝度信号 ( Y 信号 ) に対する d u t y 比制御、基準電流制御を実施することができる。しかし、輝度信号 ( Y 信号 ) を求めて、d u t y 制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示では EL パネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー ( B ) の視感度が低いためである。そのため、輝度信号 ( Y 信号 ) の総和 ( A P L レベル ) は小さく算出されるため、d u t y 制御が高 d u t y になる。したがって、フリッカの発生などが生じる。

20

## 【 0 1 0 6 】

この課題に対しては、乗算器 3 2 1 をスルーにして用いるとよい。消費電流に対する総和 ( A P L レベル ) が求められるからである。輝度信号 ( Y 信号 ) による総和 ( A P L レベル ) と消費電流による総和 ( A P L レベル ) は、両方を求めて加味して総合 A P L レベルを求めることが望ましい。総合 A P L レベルにより d u t y 比制御、基準電流制御を実施する。

30

## 【 0 1 0 7 】

## ( 1 3 ) 駆動回路ブロック

図 3 1 は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図

3 1 では、外部から Y / U V 映像信号と、コンポジット ( C O M P ) 映像信号が入力できるように構成されている。どちらに映像信号を入力するかは、スイッチ回路 3 1 1 により選択される。

## 【 0 1 0 8 】

スイッチ回路 3 1 1 で選択された映像信号は、デコーダおよび A / D 回路によりデコードおよび A

40

D 変換され、デジタルの RGB 画像データに変換される。RGB 画像データは各 8 ビットである。また、RGB 画像データはガンマ回路 3 1 4 でガンマ処理される。同時に輝度 ( Y ) 信号が求められる。ガンマ処理により、RGB 画像データは各 1 0 ビットの画像データに変換される。

## 【 0 1 0 9 】

ガンマ処理後、画像データは F R C 処理または誤差拡散処理が処理回路 3 1 5 で行われる。F R C

処理または誤差拡散処理により RGB 画像データは 6 ビットに変換される。この画像データは A I 処理回路 3 1 6 で A I 処理あるいはピーク電流処理が実施される。また、動画検出回路 3 1 7 で動画検出が行われる。同時に、カラーマネージメント回路 3 1 8 でカラー

50

マネージメント処理が行われる。

【0110】

A I 処理回路 3 1 6、動画検出回路 3 1 7、カラーマネージメント回路 3 1 8 の処理結果は演算回

路 3 1 9 に送られ、演算処理回路 3 1 9 で制御演算、d u t y 比制御、基準電流制御データに変換され、変換された結果が、ソースドライバ回路 1 4 およびゲートドライバ回路 1 2 に制御データとして送出される。

【0111】

d u t y 比制御データはゲートドライバ回路 1 2 b に送られ、d u t y 比制御が実施される。使用

階調制御データはソースドライバ I C 1 4 に送られ、使用階調数制御が実施される。一方、基準電流制御データはソースドライバ回路 1 4 に送られ、基準電流制御が実施される。ガンマ補正され、F R C または誤差拡散処理された画像データもソースドライバ回路 1 4 に送られる。

【0112】

E L 表示パネルは、黒表示は、E L 素子 1 5 に流れる電流が 0 の状態である。したがって、本発明

の d u t y 比駆動のように画面 2 2 に非表示領域 1 2 3 を発生させても、黒表示の輝度は 0 である。非表示領域 1 2 3 の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が 0 であるから、コントラストは無敵大である。したがって、d u t y 比駆動は、E L 表示パネルに最適な駆動方法である。以上のことは、基準電流制御においても同様である。基準電流の大きさを変化させても、黒表示の輝度は 0 である。基準電流を大きくすると白表示輝度は増加する。したがって、基準電流制御においても良好な画像表示を実現できる。

【0113】

d u t y 比制御は、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持

される。また、d u t y 比制御により画面 2 2 の輝度変化は 1 0 倍近く変化させることができる。また、変化は d u t y 比に線形の関係になるから制御も容易である。しかし、d u t y 比制御は、N 倍パルス駆動であるから、E L 素子 1 5 に流れる電流の大きさが大きく、また、画面 2 2 の輝度にかかわらず、常時 E L 素子に流れる電流の大きさが大きくなり、E L 素子 1 5 が劣化しやすいという課題がある。

【0114】

基準電流制御は、画面輝度 3 1 を高くするとき、基準電流量を大きくするものである。したがっ

て、画面 2 2 が高いときにしか、E L 素子 1 5 に流れる電流は大きくならない。そのため、E L 素子 1 5 が劣化しにくい。課題は、基準電流を変化させた時のホワイトバランス維持が困難である傾向が強い。

【0115】

本発明では、基準電流制御と d u t y 比制御の両方を用いる。画面 2 2 が白ラスタ表示に近い時

には、基準電流は一定値に固定し、d u t y 比のみを制御して表示輝度などを変化させる。画面 2 2 に黒ラスタ表示に近い時は、d u t y 比は一定値に固定し、基準電流のみを制御させて表示輝度などを変化させる。

【0116】

d u t y 比制御は、データ和 / 最大値が 1 / 1 0 以上 1 / 1 の範囲で実施する。さらに好ましくは

、データ和 / 最大値が 1 / 1 0 0 以上 1 / 1 の範囲で実施する。また、基準電流の倍率変化 ( 単位トランジスタ 8 1 2 の出力電流変化 ) は、データ和 / 最大値が 1 / 1 0 以上 1 / 1 0 0 0 の範囲で実施する。さらに好ましくはデータ和 / 最大値が 1 / 1 0 0 以上 1 / 2

10

20

30

40

50

000の範囲で実施する。基準電流制御と duty 比制御はオーバーラップしないようにすることが好ましい。

【0117】

ここでは説明を容易にするため、duty 比の最大は duty 比 1 / 1 とし、最小は duty 比 1

/ 8 とする。基準電流は、1 倍から 3 倍に変化させるとする。また、データ和は画面 2 2 のデータの総和を意味し、(データ和の) 最大値は、最大輝度での白ラスタ表示での画像データの総和であるとする。なお、duty 比 1 / 1 まで使用する必要がないことは言うまでもない。duty 比 1 / 1 は最大値として記載している。本発明の駆動方法では、最大の duty 比を 380 / 400 などと設定してもよいことは言うまでもない。なお、400 は WQVGA の表示パネルの画素行数を例示している。

10

【0118】

なお、duty 比の最大は duty 比 1 / 1 とし、最小は duty 比 1 / 16 以内にする

ことが好ましい。さらに好ましくは、duty 比 1 / 10 以内にとるとよい。フリッカの発生を抑制できるからである。基準電流の変化範囲は、4 倍以内にするのが好ましい。さらに好ましくは 2.5 倍以内にする。基準電流の倍数を大きくしすぎると、基準電流発生回路の線形性がなくなり、ホワイトバランスずれが発生するからである。

【0119】

データ和 / (データ和の) 最大値 = 1 / 100 とは、一例として 1 / 100 の白ウインドウ表示である。自然画像では、画像表示する画素のデータ和が、白ラスタ表示の 1 / 100 に換算できる状態を意味する。したがって、100 画素あたりに 1 点の白輝点表示もデータ和 / 最大値が 1 / 100 である。

20

【0120】

以下の説明では最大値とは白ラスタの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいは APL 処理などで発生する最大値である。したがって、データ和 / 最大値とは、処理を行う画面の画像データの最大値に対する割合である。

【0121】

なお、データ和は消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度(画像データ)の加算であるとして説明をする。一般的に輝度(画像データ)の加算の方式が処理は容易であり、コントローラ IC のハード規模も小さくできる。また、duty 比制御によるフリッカの発生もなく、ダイナミックレンジを広く取れることから好ましい。

30

【0122】

クロック信号 (CLK) は、選択する画素行を順次移動させるための信号である。スタートパルス信号 (ST) は、選択する画素行を指定するための信号である。スタートパルス信号 (ST) はクロック信号 (CLK) により、ゲートドライバ回路 12 のシフトレジスタ回路内を移動する。アップダウン信号は、画面の上下反転切替信号である。シフトレジスタ回路内のスタートパルス位置にしたがって、ゲート信号線 17 が選択される (ゲート信号線 17 にオン電圧 (VGL) が印加される)。

40

【0123】

一例としてカソード電圧  $V_{ss}$  は、-4.5 V ~ -1.0 V であり、アノード電圧  $V_d$  は、3.5 V ~ 7.0 V である。 $V_{ss}$ 、 $V_{dd}$ 、 $V_{GH}$ 、 $V_{GL}$  などは電源回路から供給され、必要に応じて各電圧の値は変更設定される。

【0124】

(14) モビリティの補正

図 8 などでは、駆動用トランジスタ 11a のモビリティバラツキを補正できることを説明した。つまり、図 8 は、スイッチ用トランジスタ 11a を、短期間、スイッチ用トランジスタ 11e をオンした方法である。

50

## 【 0 1 2 5 】

短時間とは、 $0.05 \mu$ 秒以上 $5 \mu$ 秒以下の時間である。前記短時間は、画素に印加する映像信号電圧  $V_{sig}$  に対応させて変化させることが好ましい。また、点灯率に対応させて変化させることが好ましい。この変化は、線形、非線形に対応させることを含むほか、ステップ状（たとえば、点灯率 $50\%$ 以上では、短時間とは $0.1 \mu$ 秒、点灯率 $50\%$ 未満では、 $2 \mu$ 秒）に対応させてもよい。

## 【 0 1 2 6 】

図35に図示するように、点灯率に相関させて、 $duty$ 比を制御あるいは変化させることが好ましい。ピーク電流を抑制し、消費電力を平均化することができるからである。点灯率が高いときは、 $duty$ 比を低下（小さく）する。したがって、ピーク電流を抑制できる。

10

## 【 0 1 2 7 】

図36に図示するように、表示画面22に占める帯状の表示領域の幅  $B$  と全表示領域の幅  $A$  との比率により表示画面の輝度（最大輝度）が決定する（制御できる）。この  $B/A$  が  $duty$  比である。表示画面22の縦方向幅  $A$  に対する表示領域の幅  $B$  で画面輝度を線形に制御できる（図36（b））。したがって、 $duty$  比制御により画面22の輝度を調整あるいは設定することができる。

## 【 0 1 2 8 】

図36は、駆動用トランジスタ11aがEL素子15に流す電流の関係を示している。図35（b）において、横軸は、図35（a）のゲート端子に印加する電圧  $V$  であり、縦軸はEL素子15に流れる電流  $I$  の関係を図示している。なお、図36では説明を容易にするため、縦軸および横軸を1で規格化している。

20

## 【 0 1 2 9 】

図36では横軸は、電圧  $V$ （比率）とし、同時に階調番号をしている。なお、階調番号はガンマ特性を考慮せずリニアとしている。

## 【 0 1 3 0 】

図36に図示するように、階調番号が増加すると、EL素子15に流れる電流が大きくなる。EL素子15は流れる電流  $I$  に比例して明るくなる。したがって、階調番号を制御することにより画面輝度を調整あるいは設定することができる。

## 【 0 1 3 1 】

1水平走査期間（ $1H$ ）に対するオン時間比率（％）（以下、オン比率と呼ぶ）は、図8の期間である。オン時間とは、スイッチ用トランジスタ11b、11eのオン時間（クローズ時間）を意味する。 $1H$ が、 $20 \mu$ 秒とすれば、 $10\%$ とは、 $2 \mu$ 秒となる。

30

## 【 0 1 3 2 】

オン比率が長いほど、駆動用トランジスタ11aのモビリティの補正効果が高くなる。しかし、コンデンサ19の電荷が放電され、駆動用トランジスタ11aのゲート端子電位が高く（アノード電圧側）の変化し、EL素子15に流れる電流が変化してしまう。

## 【 0 1 3 3 】

オフセットキャンセル駆動では、黒の階調（低階調）は、オフセットキャンセルされ、駆動用トランジスタ11aの特性バラツキは目立ちにくい。しかし、白の階調（高階調）では、オフセットキャンセル点から離れているため、駆動用トランジスタ11aの特性ばらつきが目立ちやすい。この特性バラツキはモビリティによるものである。

40

## 【 0 1 3 4 】

点灯率が低い場合は、低階調表示の画素が多い。点灯率が高い場合は、高階調表示の画素が多い。したがって、オン比率は、図35の下図の点線で示すように実施することが好ましい。つまり、低点灯率では、オン比率は0とし、高点灯率になるにしたがって、オン比率を大きくする。

## 【 0 1 3 5 】

しかし、点灯率が低い時は、低階調表示の画素が多いというのは、統計的なものであり、実際と異なることがある。また、点灯率が高い場合は、高調表示の画素が多いというの

50

も統計的なものである。実際には表示パターン、映像信号の種類により異なる。したがって、表示パターン、入力される映像信号の種類（PC映像、AV映像など）などにより、オン比率を可変できるように構成しておくことが好ましい。

【0136】

図35の下図の実線はその実施例である。点灯率が20%の時を、オン比率最大とし、点灯率が高くとも低くともオン比率を低下させている。

【0137】

なお、図35の実施例において、オン比率と点灯率の関係で説明したがこれに限定するものではない。オン比率は、比率ではなく、時間（たとえば、2μ秒など）の指定としてもよい。また、点灯率は、各階調のヒストグラムに置き換えてもよい。あるいは点灯率は消費電力に置き換えても良い。また、表示画面22に流れる電流に置き換えても良い。

【0138】

(15) 突き抜けコンデンサの形成

図1、図25に図示するように、その他、ゲート信号線17aとトランジスタ11aのゲート（G）端子間に積極的にコンデンサCxを形成し、突き抜け電圧を増加させる構成も有効である。このコンデンサCxの容量は正規のコンデンサ19aの容量の1/10以上1/2以下にすることが好ましい。さらには1/8以上1/3以下とすることが好ましい。

【0139】

突き抜け電圧発生用のコンデンサCxの容量（容量をCb（pF）とする）は、電荷保持用のコンデンサ19aの容量（容量をCa（pF）とする）と、トランジスタ11aの白ピーク電流時（画像表示で表示最大輝度の白ラスタ時）のゲート（G）端子電圧Vw（V）を黒表示での電流を流す（基本的には電流は0である。つまり、画像表示で黒表示としている時）時のゲート（G）端子電圧Vb（V）が関連する。これらの関係は、

$$C a / ( 2 0 0 C b ) \quad | V w - V b | \quad C a / ( 8 C b )$$

の条件を満足させることが好ましい。なお、 $| V w - V b |$ とは、駆動用トランジスタの白表示時の端子電圧（V）と黒表示時の端子電圧（V）との差の絶対値である（つまり、変化する電圧幅）。

【0140】

さらに好ましくは、

$$C a / ( 1 0 0 C b ) \quad | V w - V b | \quad C a / ( 1 0 C b )$$

の条件を満足させることが好ましい。

【0141】

トランジスタ11bはPチャンネルにし、このPチャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、トランジスタ11bのソース-ゲート（SDもしくはゲート-ドレイン（GD））容量（トランジスタがオンしているときの容量）の1倍以上10倍以下のコンデンサを並列に形成または配置することが好ましい。

【0142】

なお、以上の事項は、図1、図25の画素構成だけでなく、他の画素構成でも有効である。スイッチ用トランジスタ11bがオフするときに、駆動用トランジスタ11aに電流が流れないようにシフトするように、コンデンサCxを配置する。なお、スイッチングトランジスタ11bのNチャンネルはダブルゲート以上とする。リーク対策のためである。

【0143】

図1では、駆動用トランジスタ11aは、Nチャンネルトランジスタであり、映像信号を画素に印加するスイッチ用トランジスタ11bもNチャンネルトランジスタである。スイッチ用トランジスタ11bを制御するゲート信号線17aは、画素16の選択時は、高い電圧（VGH）が印加され、非選択となる場合は、低い電圧（VGL）が印加される。したがって、画素16が選択状態から非選択状態になる時は、ゲート信号線17aに電氣的に接続されたコンデンサCxの一端子はVGH電圧からVGL電圧に変化する。コンデ

10

20

30

40

50

ンサ  $C_x$  は  $V_{GH}$  電圧から  $V_{GL}$  電圧への変化をつき抜け電圧として他のコンデンサ  $C_x$  端子（駆動用トランジスタ 11 a のゲート端子に接続されている）伝達する。したがって、 $V_{GH}$  から  $V_{GL}$  電圧の変化に比例した電圧が、駆動用トランジスタ 11 a のゲート端子に印加され、駆動用トランジスタ 11 a のゲート端子電圧を低下させる。したがって、駆動用トランジスタ 11 a は電流を流しにくい方向に動作する。この動作により、より黒表示レベルが改善され、良好なコントラストを実現できる。

【0144】

同様に図 25 は、駆動用トランジスタ 11 a は、P チャンネルトランジスタであり、映像信号を画素に印加するスイッチ用トランジスタ 11 b も P チャンネルトランジスタである。つまり、駆動用トランジスタ 11 a とスイッチ用トランジスタ 11 b とは同極性のチャンネルトランジスタで構成されている。スイッチ用トランジスタ 11 b を制御するゲート信号線 17 a は、画素 16 の選択時は、低い電圧 ( $V_{GL}$ ) が印加され、非選択となる場合は、高い電圧 ( $V_{GH}$ ) が印加される。

10

【0145】

したがって、画素 16 が選択状態から非選択状態になる時は、ゲート信号線 17 a に電氣的に接続されたコンデンサ  $C_x$  の一端子は  $V_{GL}$  電圧から  $V_{GH}$  電圧に変化する。コンデンサ  $C_x$  は  $V_{GL}$  電圧から  $V_{GH}$  電圧への変化をつき抜け電圧として他のコンデンサ  $C_x$  端子（駆動用トランジスタ 11 a のゲート端子に接続されている）伝達する。そのため、 $V_{GL}$  から  $V_{GH}$  電圧の変化に比例した電圧が、駆動用トランジスタ 11 a のゲート端子に印加され、駆動用トランジスタ 11 a のゲート端子電圧を高い電圧の方向にシフトさせる。したがって、駆動用トランジスタ 11 a は電流を流しにくい方向に動作する。この動作により、より黒表示レベルが改善され、良好なコントラストを実現できる。

20

【0146】

また、突き抜け電圧用のコンデンサ  $C_x$  は、画素が変調する R、G、B で大きさ（容量）を変化させることが好ましい。R、G、B の各 EL 素子 15 の駆動電流が異なるためである。また、EL 素子 15 のカットオフ電圧が異なるためである。そのため、EL 素子 15 の駆動用トランジスタ 11 a のゲート（G）端子にプログラムする電圧（電流）が異なるからである。たとえば、R の画素のコンデンサ  $C_{xR}$  を  $0.02 \text{ pF}$  とした場合、他の色（G、B の画素）のコンデンサ  $C_{xG}$ 、 $C_{xB}$  を  $0.025 \text{ pF}$  とする。また、R の画素のコンデンサ  $C_{xR}$  を  $0.02 \text{ pF}$  とした場合、G の画素のコンデンサ  $C_{xG}$  と  $0.03 \text{ pF}$  とし、B の画素のコンデンサ  $C_{xB}$  を  $0.025 \text{ pF}$  とするなどである。このように、R、G、B の画素ごとにコンデンサ  $C_x$  の容量を変化させることによりオフセットの駆動電流を RGB ごとに調整することができる。したがって、各 RGB の黒表示レベルを最適値にすることができる。

30

【0147】

以上は、突き抜け電圧発生用のコンデンサ  $C_x$  の容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ 19 a と突き抜け電圧発生用のコンデンサ  $C_x$  との容量の相対的なものである。したがって、コンデンサ  $C_x$  を R、G、B の画素で変化することに限定するものではない。つまり、保持用コンデンサ 19 a の容量を変化させてもよい。たとえば、R の画素のコンデンサ 11 a R を  $1.0 \text{ pF}$  とした場合、G の画素のコンデンサ 11 a G と  $1.2 \text{ pF}$  とし、B の画素のコンデンサ 11 a B を  $0.9 \text{ pF}$  とするなどである。この時、突き抜け用コンデンサ  $C_x$  の容量は、R、G、B で共通の値とする。したがって、本発明は、保持用のコンデンサ 19 a と突き抜け電圧発生用のコンデンサ  $C_x$  との容量比を、R、G、B の画素のうち、少なくとも 1 つを他と異ならせたものである。なお、保持用のコンデンサ 19 a の容量と突き抜け電圧発生用のコンデンサ  $C_x$  との容量との両方を R、G、B 画素で変化させてもよい。

40

【0148】

また、画面 22 の左右で突き抜け電圧用のコンデンサ  $C_x$  の容量を変化させてもよい。ゲートドライバ 12 に近い位置にある画素 16 は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大

50

きくなる。ゲート信号線 17 端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線 17 には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ 12 との接続側に近い画素 16 の突き抜け電圧用コンデンサ  $C_x$  を小さくする。また、ゲート信号線 17 端はコンデンサ  $C_x$  を大きくする。たとえば、画面の左右でコンデンサの容量は 10 % 程度変化させる。

【0149】

同様に、画面 22 の上下で突き抜け電圧用のコンデンサ  $C_x$  の容量を変化させてもよい。画面 22 には、コンデンサ  $C_a$  と映像信号の書込みタイミングの問題から、輝度傾斜が発生するからである。コンデンサ  $C_x$  の値をまた、ソース信号線 18 に沿って変化させる。たとえば、画面の上下でコンデンサ  $C_x$  の容量は 10 % 程度変化させる。

10

【0150】

発生する突き抜け電圧は、保持用コンデンサ 19 a と突き抜け電圧発生用のコンデンサ  $C_x$  の容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ  $C_x$  の大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ  $C_x$  は画面の左右で一定にし、電荷保持用のコンデンサ 19 a の容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ  $C_x$  と、電荷保持用のコンデンサ 19 a 容量の両方を画面の左右で変化させてもよいことは言うまでもない。以上の事項は、画面 22 の上下方向に関しても同様である。

【0151】

この突き抜けコンデンサ  $C_x$  の容量は正規のコンデンサ 19 a の容量の  $1/50$  以上  $1/10$  以下にすることが好ましい。さらには  $1/40$  以上  $1/15$  以下とすることが好ましい。もしくはトランジスタ 11 b のソース - ゲート（ソース - ドレイン（SD）もしくはゲート - ドレイン（GD））容量の 1 倍以上 10 倍以下にする。さらに好ましくは、SG 容量の 2 倍以上 6 倍以下にすることが好ましい。

20

【0152】

突き抜け電圧発生用のコンデンサ  $C_x$  の容量（容量を  $C_b$  (pF) とする）は、電荷保持用のコンデンサ 19 a の容量（容量と  $C_a$  (pF) とする）と、トランジスタ 11 a の白ピーク電流時（画像表示で表示最大輝度の白ラスタ時）のゲート（G）端子電圧  $V_w$  (V) を黒表示での電流を流す（基本的には電流は 0 である。つまり、画像表示で黒表示としている時）時のゲート（G）端子電圧  $V_b$  (V) が関連する。これらの関係は、

30

$$C_a / (200 C_b) \quad | V_w - V_b | \quad C_a / (8 C_b)$$

の条件を満足させることが好ましい。なお、 $| V_w - V_b |$  とは、駆動用トランジスタの白表示時の端子電圧 (V) と黒表示時の端子電圧 (V) との差の絶対値である（つまり、変化する電圧幅）。

【0153】

さらに好ましくは、

$$C_a / (100 C_b) \quad | V_w - V_b | \quad C_a / (10 C_b)$$

の条件を満足させることが好ましい。

【0154】

トランジスタ 11 b は映像信号を駆動用トランジスタ 11 a に印加するトランジスタである。また、トランジスタ 11 b は画素 16 に映像信号を印加するトランジスタである。本発明は、トランジスタ 11 b と駆動用トランジスタ 11 a のトランジスタ極性を同じにすることに特徴がある。図 1 の実施例では、駆動用トランジスタ 11 a が N チャンネルトランジスタであり、トランジスタ 11 b が N チャンネルトランジスタである。つまり、駆動用トランジスタ 11 a とトランジスタ 11 b は同一のチャンネル極性のトランジスタである。このようにチャンネル極性を同一にすることにより突き抜けコンデンサ  $C_x$  の効果を発揮し、良好な黒表示を実現できる。

40

【0155】

なお、本発明では、 $C_x$  はゲート信号線 17 a の電圧変化を駆動用と 1 a のゲート端子

50

の電位変化をして伝達する機能を有する電圧突き抜けコンデンサをした。しかし、コンデンサC<sub>x</sub>は画素16に保持する映像信号の保持用としても機能する。また、モビリティ補正にも活用することができる。したがって、コンデンサC<sub>x</sub>の機能は電圧を突き抜けさせることのみを機能として有するものではない。他の機能も有する。

【0156】

トランジスタ11bはPチャンネルにし、このPチャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、トランジスタ11bのソース-ゲート(SDもしくはゲート-ドレイン(GD))容量(トランジスタがオンしているときの容量)の1倍以上10倍以下のコンデンサを並列に形成または配置することが好ましい。

10

【0157】

なお、以上の事項は、図1の画素構成だけでなく、本発明の他の画素構成でも有効である。スイッチングトランジスタ11cのNチャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ11c、11eをPチャンネルとし、トリプルゲート以上とする。

【0158】

(16) 点灯率制御と使用階調数

図33に図示するように、使用階調数を点灯率に相関させて変化させてもよい。図33において、ソースドライバIC14はRGB10bit(1024階調)である。使用する階調数を点灯率に対応させて変化させている。たとえば、使用階調が1024とは、1階調目から1024階調目まで使用して画像を表示できることを意味し、使用階調256とは、1階調目から256階調目まで使用して画像を表示できることを意味する(257階調目から1024階調目までは使用できない)。

20

【0159】

使用階調数は、EL素子15に流す電流に影響する。使用階調数が1024で、1024階調を使用すると最大電流をEL素子15に流すことができる。使用階調が525階調では、最大階調の525を指定しても、1024階調の1/2の輝度しかえられない(ただし、理解を容易にするため、ガンマカーブがリニアとしている)。

【0160】

図33の実線の実施例では、点灯率25%以下で、1024階調までの階調を使用して画像を表示することができる。点灯率100%では、256階調までしか使用して画像を表示できない。点灯率25%以上100%以下は1024階調から256階調までの範囲で、かつ点灯率に比例して階調表示を実現できる。

30

【0161】

点灯率に対応した使用階調数は、点灯率を求め、入力された映像信号を点灯率あるいはこれに類するデータで乗算して求める。

【0162】

図35において、変化点であるa点は可変できるように構成しておくことが好ましい。可変点は、EEPROMに格納できるように構成する。また、b点についても同様である。また、図33のd点およびe点についても同様である。また、各直線および曲線は、多数の折れ点ポイントを設けてもよいことは言うまでもない。

40

【0163】

以上の実施例では、説明を容易にするため映像信号のガンマカーブは直線であるとして説明あるいは図示した。しかし、実際にはガンマカーブは、2乗あるいは2.2乗カーブあるいはこの近傍のカーブである。

【0164】

たとえば、1024階調目を1.0の明るさとし、ガンマが2乗特性カーブであれば、0.75の明るさは887階調目、0.50の明るさは724階調目、0.25の明るさは512階調目である。ガンマが2.2乗特性カーブであれば、0.75の明るさは898階調目、0.50の明るさは747階調目、0.25の明るさは545階調目である。

50

したがって、実際には、以上の明るさ（輝度、照度）を基準として制御する階調あるいは設定する階調を決定すべきである。

【0165】

図34は、例示としてガンマ2乗カーブで階調設定を行った実施例である。図34(a)において、縦軸は最大使用階調数である。最大使用階調数とは、ある点灯率において表示する最大階調である。あるいは使用できる最大階調番号である。最大階調番号は、点灯率を係数として乗算することなどにより決定される。当然のことながら、最大階調番号を図示している

なお、説明を容易にするため、各図面では点灯率を用いているが、点灯率とは、表示画面31に流れる電流とみなすこともできる（アノード、カソード電圧が一定の場合）。アノード、カソード電圧を変化させる場合は、この変化を加味することが好ましい。つまり、点灯率は表示パネルの表示領域で使用する電力に相関する値である。したがって、電力に基づいて最大使用階調を決定してもよい。なお、前記電力、電流などは表示パネルの表示画面22に使用するものだけでなく、周辺回路部で使用される電力、電流を含めて求めても良い。

【0166】

図34の実施例は、パネルで最大表示できる輝度をピーク400 (nt)、白ラスタ表示（点灯率100%とする）で200 (nt)とした実施例である。なお、ピーク輝度（点灯率0%近傍で最大階調の画素が表示できる輝度）と最大電力時の輝度（一般的には、点灯率100%の白ラスタ表示（最大階調）の画素が表示できる輝度）との差は、6倍以下1.5倍以内にする。本明細書では、2倍として説明する。また、ピーク輝度は、点灯率0%近傍の黒表示の画素の輝度であるとする。

【0167】

輝度は最大使用階調数とduty比で決定される。duty比は、図11、図12などで説明したものである。また、映像信号は、RGBが各10bit（1024階調：1階調～1024階調）であるとしている。一例として図34では、点灯率25%以下では、階調数制御で輝度Max 400 nt（1024階調の映像信号が印加された画素が表示する輝度）であり、点灯率100%では、200 nt（1024階調の映像信号が印加された画素が表示する輝度）である。図34(a)の点灯率と最大使用階調数の関係カーブは、曲線でもよいし、また、編曲点、折れ曲がり点は複数形成（設定）してもよい。

【0168】

図34(a)は、通常表示状態であり、duty比が1/1としている。つまり、図11、図12の黒挿入表示を行っていない。この状態が、最大輝度を表示できる駆動状態である。

【0169】

図34(a)から1/4の輝度に低下させるには、図34(a)と技術的思想と同様に、表示する階調数を削減する。図34(b)において、724階調は、輝度200 ntを表示する階調である（図34(a)の右の目盛りを参照のこと）。362階調は、ガンマ2乗カーブで1/4の50 ntを表示できる階調である。同様に、512階調は、ガンマ2乗カーブで1/2の100 ntを表示できる階調であり、627階調は、ガンマ2乗カーブで200 ntの3/4の150 ntを表示できる階調である。ただし、各階調番号は、説明を容易にするために決定したものであり、本発明がこの値に限定されるものではない。

【0170】

図34(b)に図示するように、通常表示からその1/4輝度までの輝度可変は、表示する階調数の変更により行う。図34(b)に図示するように図34(a)の点灯率100%から1/4の50 ntに低下させる場合には、最大使用階調は362とする（つまり、50 ntを表示する場合に使用する階調は、1階調目から362階調目）。1/2の100 ntに低下させる場合には、最大使用階調は512とする（つまり、100 ntを表示する場合に使用する階調は、1階調目から512階調目）。150 ntに低下させる場

10

20

30

40

50

合には、最大使用階調は627とする（つまり、150ntを表示する場合に使用する階調は、1階調目から627階調目）。これ以上、画面輝度を変更する場合も、使用階調数を変更すればよい。

【0171】

以上のように、図34(b)は、通常輝度から輝度1/4までも、使用する階調数制御で行っている。

【0172】

さらに画面輝度を低下させるため、本発明では図34(c)に図示するように、duty比制御(図12、図11)により、画面輝度制御を実施している。輝度は、表示領域53または非表示領域52の面積を増減させることにより行う。duty比制御では、表示する階調数は変更しないため、良好な階調表示を実現できる。

10

【0173】

図34(c)では、200ntの輝度1/4以下から輝度1/100(2nt)までは、duty制御とした実施例である。最低輝度は、ピーク輝度4nt、白ラスタ2ntである。図34(c)において、最大使用階調数は、点灯率100%の時、362階調であり、点灯率0%近傍(完全に点灯率0%は、黒ラスタ表示となり点灯している画素がないため近傍とした)では、512階調である。

【0174】

以上の制御(図34(a)(b)(c))により、画面明るさは、1/100に調整することができる。

20

【0175】

なお、図34においても、a点、b点位置を可変できるように設定することが好ましい。a点、b点の変更は、点灯率を求め、EL表示装置に入力された映像信号電圧または映像信号データに乘算する係数を前記点灯率の値によって変更することにより実現できる。なお、変更は遅延を持たして行うことが好ましい。以上の事項は本発明の他の実施例においても適用される。

【0176】

以上のように、本発明は、最大輝度(図34(a)の状態)から、所定の輝度変化範囲(図34(a)(b)では輝度変化1/4)までは、使用する最大階調(最大使用階調数)を減らすことにより輝度を可変する。それ以上画面輝度を低下させる場合は、図34(c)に図示するように、duty比を可変することにより行う。duty比を可変する場合は、表示に使用する階調数は変化しない(維持される)。

30

【0177】

以上のように、本発明は、低輝度表示を行う場合(低輝度領域)には、duty比制御により画面輝度を変化させ、一定以上の高輝度表示を行う場合(高輝度領域)には、使用する階調数を変化させて行う。この場合は、duty比は1/1など固定にする。しかし、本発明はこれに限定するものではなく、高輝度領域で、duty比を1/2などとしてもよく、また、可変してもよい。また、低輝度領域においても、使用する階調数を変化させてもよい。

【0178】

また、図34(a)は最大階調の輝度を400ntから200ntの1/2にするとしたが、これに限定するものではなく、400ntから100ntの1/4などに設定してもよい。また、図34(b)は最大輝度を200ntから50ntの1/4にするとしたが、これに限定するものではなく、200ntから25ntの1/8などに設定してもよい。また、図34(c)は最大輝度を50ntから2ntの1/25にするとしたが、これに限定するものではなく、50ntから1ntの1/50などに設定してもよい。以上のように目標仕様のあわせて、最大使用階調数の可変範囲、可変位置をソフト的に変更、最大輝度の可変範囲、変更位置をソフト的にできるようにする。変更などは、ソースドライバIC14のコントローラ部にて容易に実現できる。入力変数は、映像信号データ、点灯率などを用いる。また、変更位置、可変位置などは、EEPROM753の外部メモリに

40

50

格納しておく。

【0179】

EL表示装置に入力される映像信号を加算あるいは重み付け処理を行うことにより、表示画面に流れる電流を求め、または予測し、前記求めた電流などにより画像画面に黒帯状の非点灯領域を発生させ、この黒帯状の非点灯領域の大きさを変化させる。または、黒帯状の非点灯領域の幅は一定にし、映像信号の振幅を変化させることにより、表示画面に流れる電流の大きさが一定以上にならないように制御する。また、この制御により、電源回路から表示画面に流れる電流を一定以下となるようにすることができ、EL表示装置の発熱を抑制できる。また、電源回路（電源IC）が出力する電圧を可変することによりEL表示装置の発熱を抑制できる。

10

【0180】

(17) duty比と表示領域113の分割数

点灯率が高くなると、黒挿入量（非表示領域112の面積）を多くする。したがって、一括の非表示領域112（非表示領域112の分割数0）で画像表示するとフリッカが目立つ。この対策としては、非表示領域112または表示領域113を分割する（図12（a）は分割数0、図12（b）は分割数2である）。

【0181】

したがって、本発明では、図65に図示するようにduty比に対応させて（基づいて）表示領域113（あるいは非表示領域112）の分割数を変化させている。分割数が多いほどフリッカは目立たなくなるが、動画表示性能は低下する。

20

【0182】

duty比と点灯率は相関する項目である。したがって、点灯率が高くなると、表示画面22に占める非表示領域112の割合を大きくする（表示領域113の割合を小さくする）。つまり、図65の横軸は、duty比としているが、点灯率に置き換えても良い。duty比が小さい時は点灯率が高い、duty比が1/1あるいはその近傍は、点灯率が0%またはその近傍である。したがって、点灯率に基づいて表示領域113（非表示領域112）の分割数を変化させる。

【0183】

(18) 他のEL表示パネルおよびEL表示装置への実施例の適用

以上の事項は、図1、図10、図18、図19、図21、図23、図25、図26、図27、28、30などの本明細書に記載のすべての画素構成についても同様に適用することができることは言うまでもない。以上の事項は、以下の本発明の他の実施例においても適用されることは言うまでもない。

30

【0184】

短時間を調整することあるいは設定することにより、駆動用トランジスタ11aのモビリティばらつきを一定量、補償できる。短時間は、パネルの駆動用トランジスタ11aの特性に適合させて設定することが好ましい。

【0185】

(19) 応用例

本実施形態の駆動方式を実施するEL表示装置を表示ディスプレイとして用いた本実施形態の表示機器（EL表示装置）について説明をする。

40

【0186】

(19-1) 第1の応用例

図14は、EL表示装置の一例である情報端末装置の携帯電話の平面図である。筐体143にアンテナ141などが取り付けられている。142aは、表示画面22の明るさを变化させる切換キー、142bは電源オン/オフキー、142cがゲートドライバ回路12bの動作フレームレートを切り替えるキーである。145はホトセンサである。ホトセンサ145は、外光の強弱にしたがって、duty比などを变化させて、表示画面22の輝度を自動調整する。

【0187】

50

## ( 1 9 - 2 ) 第 2 の 応 用 例

図 1 5 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 1 5 3 とビデオカメラ本体 1 4 3 と具備している。本実施形態の E L 表示パネルは表示モニター 1 4 4 としても使用されている。表示画面 2 2 は支点 1 5 1 で角度を自由に調整できる。表示画面 2 2 を使用しない時は、格納部 1 5 3 に格納される。

【 0 1 8 8 】

## ( 1 9 - 3 ) 第 3 の 応 用 例

本実施形態の E L 表示パネルまたは E L 表示装置などはビデオカメラだけでなく、図 1 6 に示すような電子カメラにも適用できる。本実施形態の E L 表示装置はカメラ本体 1 6 1 に付属されたモニター 2 2 として用いる。カメラ本体 1 6 1 にはシャッタ 1 6 3 の他、

10

【 0 1 8 9 】

## ( 2 0 ) 他 の 実 施 形 態 へ の 適 用

以上の本発明の実施例で説明した事項および内容は、以下に説明する他の実施形態にも適用できる。また、以上に説明した応用例、電源回路などに関する事項は、以下に説明する他の実施形態にも適用できる。

【 0 1 9 0 】

## ( 第 2 の 実 施 形 態 )

第 2 の実施形態の E L 表示装置について図 1 8 に基づいて説明する。図 1 8 は、本実施形態に係る E L 表示装置を示す模式的な回路図である。なお、以降に記載する実施制においては、以前に説明した事項（たとえば、図 1 1、図 1 2 の点灯率制御、図 3 5 のオン時間比率に関する事項、図 3 3、図 3 4 の点灯率制御と d u t y 比制御、図 1 4、図 1 5、図 1 6 の応用例など）に適用される。また、各事項が組み合わされて実施される。

20

【 0 1 9 1 】

第 1 の実施形態と異なる点は、第 1 の実施形態が N チャンネル型のトランジスタを用いて画素回路を構成しているのに対し、本実施形態は P チャンネル型のトランジスタを用いて画素回路を構成していることである。図 1 8 の画素回路も、図 1 に示した画素回路とまったく同様に閾値電圧補正動作、移動度補正動作及びブートストラップ動作を行うことができる。また、トランジスタ 1 1 c をオンオフ制御することにより、図 1 1、図 1 2 などで説明した d u t y 制御を実現できる。また、後に説明する点灯率制御を実現できる。

30

【 0 1 9 2 】

図 1 9 は、図 1 8 の画素構成に対して、図 1 0 と同様にスイッチ用トランジスタ 1 1 d を追加した構成である。

【 0 1 9 3 】

なお、以上の実施形態では、画素行は 1 画素行ずつ選択し、映像信号の書込み、キャンセルを実施するとしたが、これに限定するものではない。例えば、複数画素行を同時に選択し、映像信号の書込み、キャンセルをしてもよい。図 1 9 の実施例では、トランジスタ 1 1 d をオンオフ制御することにより、図 1 1、図 1 2 などで説明した d u t y 制御を実現できる。また、後に説明する点灯率制御を実現できる。

40

【 0 1 9 4 】

図 2 0 は、図 1 9 の画素構成は P チェンネルトランジスタで構成したのに対して、N チャンネルトランジスタで構成した実施例である。他の構成および動作は以前に説明した構成と同様であるので説明を省略する。

【 0 1 9 5 】

## ( 第 3 の 実 施 例 )

## ( 1 ) 画 素 構 成

図 2 1 は本発明の第 3 の実施例の説明図である。なお、以前の実施例で説明した事項で共通することは説明を省略する。以下の説明では差異点を中心に説明をする。

【 0 1 9 6 】

図 2 1 において、ソースドライバ I C 1 4 は、リセット電圧 V r s t および映像信号電

50

圧  $V_{sig}$  を出力する。1 水平走査期間の最初にリセット電圧  $V_{rst}$  を出力し、その後、映像信号電圧  $V_{sig}$  を出力する。一例として、リセット電圧  $V_{rst}$  は、5 V である。また、映像信号電圧  $V_{sig}$  は 1 ~ 5 V である。つまり、リセット電圧  $V_{rst}$  は、映像信号電圧  $V_{sig}$  の最大値か以上の高い電圧である。イニシャル電圧  $V_L$  は、10 V である。つまり、リセット電圧  $V_{rst}$  より大きな電圧である。

【0197】

(2) 各トランジスタの動作

図 22 は、各トランジスタの動作 (ON、OFF) を示している。なお、説明を容易にするため、ソースドライバ IC 14 には、スイッチ SW1 のオンオフにより映像信号電圧  $V_{sig}$  が印加されることとし、スイッチ SW2 のオンオフによりリセット電圧  $V_{rst}$  が印加されるものとする。実際には、DA 変換回路、オペアンプなどから構成されている。

10

【0198】

リセット期間では、トランジスタ 11b がオンすることにより、リセット電圧  $V_{rst}$  が駆動用トランジスタ 11a のゲート端子に印加される。また、スイッチ用トランジスタ 11c がオンすることにより駆動用トランジスタ 11a のソース端子にイニシャル電圧  $V_L$  が印加される。このとき、スイッチ用トランジスタ 11d は、オフである。

【0199】

次のオフセットキャンセル期間では、トランジスタ 11b がオン状態を継続し、リセット電圧  $V_{rst}$  が駆動用トランジスタ 11a のゲート端子に印加される。また、スイッチ用トランジスタ 11c がオフすることにより駆動用トランジスタ 11a のソース端子にイニシャル電圧  $V_L$  が印加されることは停止される。このとき、スイッチ用トランジスタ 11d は、オフである。このオンオフ状態に制御することにより、コンデンサ 19a にオフセット電圧が保持される。

20

【0200】

次の映像信号の書込み期間では、トランジスタ 11b がオン状態を継続し、また、スイッチ SW2 がオフしてスイッチ SW1 がオンし、映像信号電圧  $V_{sig}$  が駆動用トランジスタ 11a のゲート端子に印加される。スイッチ用トランジスタ 11c およびスイッチ用トランジスタ 11d はオフ状態である。このオンオフ状態に制御することにより、駆動用トランジスタ 11a に電圧プログラムが実施される。つまり、コンデンサ 19a に映像信号電圧 + オフセット電圧が保持される。

30

【0201】

保持 (発光期間) は、スイッチ用トランジスタ 11d をオンさせる。非発光期間は、スイッチ用トランジスタ 11d をオフさせる。スイッチ用トランジスタ 11d をオンオフ制御することにより、図 11、図 12 の duty 比制御、図 34、図 33 などの点灯率制御が実現される。

【0202】

(第 4 の実施例)

(1) 画素構成

図 23 は本発明の第 4 の実施例の説明図である。第 4 の実施例では、画素 16 を構成するトランジスタは、P チャンネルおよび N チャンネルトランジスタで構成している。駆動用トランジスタ 11a および映像信号を画素 16 に印加するスイッチ用トランジスタ 11b は N チャンネルトランジスタで形成され、duty 比制御などを実現するスイッチ用トランジスタ 11d を P チャンネルトランジスタで形成している。

40

【0203】

図 23 において、ソースドライバ IC 14 は、リセット電圧  $V_{rst}$  および映像信号電圧  $V_{sig}$  を出力する。1 水平走査期間の最初にリセット電圧  $V_{rst}$  を出力し、その後、映像信号電圧  $V_{sig}$  を出力する。一例として、リセット電圧  $V_{rst}$  は、2.5 V である。また、映像信号電圧  $V_{sig}$  は 1 ~ 5 V である。つまり、リセット電圧  $V_{rst}$  は、映像信号電圧  $V_{sig}$  の最大値以下最低値以上のア間にある電圧である。

50

## 【0204】

## (2) 各トランジスタの動作

図24は、各トランジスタの動作(ON、OFF)を示している。なお、説明を容易にするため、ソースドライバIC14には、スイッチSW1のオンオフにより映像信号電圧Vsigが印加されることとし、スイッチSW2のオンオフによりリセット電圧Vrstが印加されるものとする。

## 【0205】

リセット期間では、トランジスタ11bがオンすることにより、リセット電圧Vrstが駆動用トランジスタ11aのゲート端子に印加される。スイッチ用トランジスタ11dがオフ状態である。

10

## 【0206】

リセット電圧Vrstは、最初最大値を印加し、次に所定値に変化させることが好ましい。たとえば、リセット電圧Vrstは、5Vを駆動用トランジスタ11aのゲート端子に印加し、次に2.5Vに変化させる。この変化により、コンデンサ19aによるつきぬけ電圧により、駆動用トランジスタ11aのドレイン端子の電位が低電位側にシフトする。したがって、次のキャンセル期間のキャンセル動作が良好になる。

## 【0207】

次のオフセットキャンセル期間では、トランジスタ11bがオン状態を継続し、リセット電圧Vrstが駆動用トランジスタ11aのゲート端子に印加される。なお、スイッチ用トランジスタ11bをオフであってもよい。スイッチ用トランジスタ11dは、オフ状態である。

20

## 【0208】

この状態では、駆動用トランジスタのチャンネル間に電流がながれ、コンデンサ19aにオフセット電圧が保持される。

## 【0209】

次の映像信号の書き込み期間では、トランジスタ11bがオン状態を継続し、また、スイッチSW2がオフしてスイッチSW1がオンし、映像信号電圧Vsigが駆動用トランジスタ11aのゲート端子に印加される。スイッチ用トランジスタ11cおよびスイッチ用トランジスタ11dはオフ状態である。このオンオフ状態に制御することにより、駆動用トランジスタ11aに電圧プログラムが実施される。つまり、コンデンサ19aに映像信号電圧+オフセット電圧が保持される。

30

## 【0210】

保持(発光期間)は、スイッチ用トランジスタ11dをオンさせる。非発光期間は、スイッチ用トランジスタ11dをオフさせる。スイッチ用トランジスタ11dをオンオフ制御することにより、図11、図12のduty比制御、図34、図33などの点灯率制御が実現される。

## 【0211】

## (3) 第4の実施例の変更例1

図25は、図23の実施例につき抜けコンデンサCxを追加した構成である。図25は、駆動用トランジスタ11aは、Nチャンネルトランジスタであり、映像信号を画素に印加するスイッチ用トランジスタ11bもNチャンネルトランジスタである。つまり、駆動用トランジスタ11aとスイッチ用トランジスタ11bとは同極性のチャンネルトランジスタで構成されている。スイッチ用トランジスタ11bを制御するゲート信号線17aは、画素16の選択時は、低い電圧(VGL)が印加され、非選択となる場合は、高い電圧(VGH)が印加される。

40

## 【0212】

したがって、画素16が選択状態から非選択状態になる時は、ゲート信号線17aに電氣的に接続されたコンデンサCxの一端子はVGL電圧からVGH電圧に変化する。コンデンサCxはVGL電圧からVGH電圧への変化をつき抜け電圧として他のコンデンサCx端子(駆動用トランジスタ11aのゲート端子に接続されている)伝達する。そのため

50

、VGLからVGH電圧の変化に比例した電圧が、駆動用トランジスタ11aのゲート端子に印加され、駆動用トランジスタ11aのゲート端子電圧を高い電圧の方向にシフトさせる。したがって、駆動用トランジスタ11aは電流を流しにくい方向に動作する。この動作により、より黒表示レベルが改善され、良好なコントラストを実現できる。

【0213】

(4) 第4の実施例の変更例2

図26は、モビリティ補正用のコンデンサ19bを形成した構成である。コンデンサ19bにより、図8で説明したように補正用の電流 $I_{ds}$ が流れる。他の構成および動作は、図23と同様である。この構成により、図8、図35で説明した方式が実現でき、また、図8、図35で説明した効果が期待できる。詳細は図8、図35で説明しているので説明を省略する。

10

【0214】

(5) 第4の実施例の変更例3

図27は、駆動用トランジスタ11a、スイッチ用トランジスタ11bをNチャンネルトランジスタとし、EL素子15に流す電流の経路をオンオフするトランジスタ11eの位置を変更した構成である。駆動用トランジスタ11aをNチャンネルトランジスタで形成することにより、ソース信号線18に印加する映像信号電圧 $V_{sig}$ の電圧を0~5Vと低くすることができる。

【0215】

電圧 $V_r$ 、アノード電圧 $V_{dd}$ をオンオフさせるスイッチ用トランジスタ11e、11cをPチャンネルトランジスタで形成している。スイッチ用トランジスタ11c、11eをPチャンネルトランジスタで形成することにより、トランジスタ11c、11eの駆動電圧を低減できる。

20

【0216】

なお、図27にも図25の突き抜けコンデンサ $C_x$ 、図26のモビリティ補正用コンデンサ19bを形成してもよいことは言うまでもない。

【0217】

(第5の実施例)

(1) 画素構成

図28は本発明の第5の実施例の説明図である。なお、以前の実施例で説明した事項で共通することは説明を省略する。以下の説明では差異点を中心に説明をする。

30

【0218】

図28において、ソースドライバIC14は、映像信号電圧 $V_{sig}$ を出力する。トランジスタ11cは、イニシャル電圧 $V_L$ を駆動用トランジスタ11aのドレイン端子に印加する。一例として、映像信号電圧 $V_{sig}$ は1~5Vである。イニシャル電圧 $V_L$ は0V以下の電圧である。つまり、イニシャル電圧 $V_L$ は、映像信号電圧 $V_{sig}$ の最低値以下の電圧である。

【0219】

スイッチ用トランジスタ11cは、コンデンサ19aの一端子にリセット電圧 $V_{sd}$ を印加するものである。リセット電圧 $V_{sd}$ を印加することにより、オフセットキャンセル動作を良好に実現できる。

40

【0220】

(2) 各トランジスタの動作

図29は、各トランジスタの動作(ON、OFF)を示している。リセット期間では、トランジスタ11cがオンすることにより、イニシャル電圧 $V_L$ が駆動用トランジスタ11aのドレイン端子に印加される。スイッチ用トランジスタ11b、および $duty$ 比制御用のトランジスタ11dはオフ状態である。

【0221】

次のオフセットキャンセル期間では、トランジスタ11b、11c、11dがオフ状態

50

に制御される。このオンオフ状態に制御することにより、コンデンサ 19 a にオフセット電圧が保持される。

【0222】

次の映像信号の書込み期間では、トランジスタ 11 b がオン状態を制御され、映像信号電圧  $V_{sig}$  が駆動用トランジスタ 11 a のゲート端子に印加される。スイッチ用トランジスタ 11 c およびスイッチ用トランジスタ 11 d はオフ状態である。このオンオフ状態に制御することにより、駆動用トランジスタ 11 a に電圧プログラムが実施される。つまり、コンデンサ 19 a に映像信号電圧 + オフセット電圧が保持される。

【0223】

保持（発光期間）は、スイッチ用トランジスタ 11 d をオンさせる。非発光期間は、スイッチ用トランジスタ 11 d をオフさせる。スイッチ用トランジスタ 11 d をオンオフ制御することにより、図 11、図 12 の  $duty$  比制御、図 34、図 33 などの点灯率制御が実現される。

10

【0224】

(3) 第5の実施例の変更例

図 30 は、スイッチ用トランジスタ 11 c のドレイン端子を駆動用トランジスタ 11 a のゲート端子に接続した実施例である。他の動作は同様であるので説明を省略する。スイッチ用トランジスタ 11 c をオンすることにより、リセット電圧  $V_L$  を駆動用トランジスタ 11 a のゲート端子に印加することができる。

【0225】

なお、図 30 にも図 25 の突き抜けコンデンサ  $C_x$ 、図 26 のモビリティ補正用コンデンサ 19 b を形成してもよいことは言うまでもない。

20

【0226】

(画素特性の測定と補正)

(1) 画素構成

図 41 において、画素 16 は、1つのコンデンサ 19 a と5つのスイッチ用トランジスタ (11 b、11 c、11 d、11 e、11 f) と1つの駆動用トランジスタ 11 a で構成される。トランジスタ 11 b は、トランジスタ 11 a をダイオード接続 (Diode-connected) させて、しきい値電圧を補償するためのしきい値電圧補償トランジスタである。トランジスタ 11 f は、コンデンサ 19 a を初期化させるためリセット電圧  $V_{rst}$  を印加するための初期化トランジスタである。トランジスタ 11 d は、EL 素子 15 の発光を制御するためのトランジスタである。

30

【0227】

スイッチ用トランジスタ 11 b、11 f はオフリークと小さくするため、ディアルゲート以上の複数ゲート構成にする。ただし、スイッチ用トランジスタ 11 b、11 f のオフ特性が十分である場合は、シングルゲート構成であってもよい。

【0228】

コンデンサ 19 a は、駆動トランジスタ 11 a のゲート端子の電位を保持する保持用のコンデンサである。

【0229】

スイッチ用トランジスタ 11 c は、ゲート信号線 17 a にゲート電極が接続され、ソース信号線 18 にソース電極が接続され、ゲートドライバ回路 12 a からの選択信号によりオンオフ制御される。

40

【0230】

駆動トランジスタ 11 a は、トランジスタ 11 c のドレイン電極にソース電極が接続される。しきい値電圧補償トランジスタ 11 b のソースまたはドレイン電極と、コンデンサ 19 a の第1の端子が共通接続され、駆動用トランジスタ 11 a のゲート電圧が決定される。したがって、駆動用トランジスタ 11 a は、ゲート電極に印加された電圧に相当する駆動電流を生成する。

【0231】

50

しきい値電圧補償トランジスタ 11 b は、前記駆動トランジスタ 11 a のゲート電極とソース電極との間に接続され、ゲート信号線 17 c に印加されるスキャン信号にตอบสนองして駆動用トランジスタ 11 a をダイオード接続させる。したがって、前記スキャン信号によって駆動用トランジスタ 11 a は、ダイオードのような状態になり、駆動用トランジスタ 11 a のゲート端子に電圧  $V_{data} - V_{th}$  [V] が印加され、これは、前記駆動用トランジスタ 11 a のゲート電圧となる。なお、電圧  $V_{data}$  は、ソースドライバ IC 14 がソース信号線 18 に出力された映像信号である。また、 $V_{th}$  では、駆動用トランジスタ 11 a にしきい値電圧である。

【0232】

初期化トランジスタ 11 f は、リセット電圧ライン  $V_{rst}$  とコンデンサ 19 a の第 1 の端子との間に接続され、ゲート信号線 17 d のスキャン信号にตอบสนองして、前記コンデンサ 19 a に充填された電荷は前記リセット電圧ライン  $V_{rst}$  を介して放電させることによって、前記コンデンサ 19 a を初期化させる。

10

【0233】

トランジスタ 11 e は、第 1 の電源電圧ライン  $V_{dd}$  と駆動用トランジスタ 11 a のソース電極との間に接続され、ゲート電極に接続したゲート信号線 17 b を介して伝達される発光制御信号によりオンとなり、第 1 の電源電圧  $V_{dd}$  を前記駆動用トランジスタ 11 a のソース電極に印加する。

【0234】

トランジスタ 11 d は、駆動用トランジスタ 11 a と EL 素子 15 との間に接続され、ゲート電極に接続した前記ゲート信号線 17 b を介して伝達される発光制御信号にตอบสนองして前記駆動用トランジスタ 11 a で生成される前記駆動電流を前記 EL 素子 15 に伝達する。

20

【0235】

コンデンサ 19 a は、第 1 の電源電圧ライン  $V_{dd}$  と駆動用トランジスタ 11 a のゲート電極との間に接続され、第 1 の電源電圧  $V_{dd}$  と前記駆動用トランジスタ 11 a のゲート電極に印加される電圧  $V_{data} - V_{th}$  [V] の電圧差に該当する電荷を 1 フレームの間に維持する。

【0236】

なお、ゲート信号線 17 に印加される電圧は、オフ電圧 ( $V_{GH}$ ) とオン電圧 ( $V_{GL}$ ) であり、 $V_{GH}$  電圧の印加により、スイッチ用トランジスタ 11 (11 b、11 c、11 d、11 e、11 f) がオフし、 $V_{GL}$  電圧の印加により、スイッチ用トランジスタ 11 (11 b、11 c、11 d、11 e、11 f) がオンする。ただし、図 3 に図示するように、 $V_{GH}$  電圧は、ゲートドライバ回路 12 a とゲートドライバ回路 12 b で共通である。 $V_{GL}$  電圧は、ゲートドライバ回路 12 a では、 $V_{GL1}$  とし、ゲートドライバ回路 12 b では、 $V_{GL2}$  としている。つまり、ゲートドライバ回路 12 a と 12 b では、オン電圧を異ならせている。

30

【0237】

したがって、ゲート信号線 17 a、ゲート信号線 17 c に印加されるオン電圧は  $V_{GL1}$  であり、ゲート信号線 17 b、ゲート信号線 17 d に印加されるオン電圧は  $V_{GL2}$  である。また、 $V_{GL1} > V_{GL2}$  なる関係となるように設定されている。なお、ゲート信号線 17 a に印加される  $V_{GH}$  とゲート信号線 17 d に印加される  $V_{GH}$  とを異ならせてもよい。

40

【0238】

なお、本発明実施例において、駆動用トランジスタ 11 a は P チャンネルトランジスタだがこれに限定するものでなく、N チャンネルトランジスタであってもよい。この場合は、オン電圧が  $V_{GH}$  となり、オフ電圧が  $V_{GL}$  となる。また、また、駆動用トランジスタ 11 a のソース端子はアノード電圧  $V_{dd}$  と接続されているとして説明するが、これに限定するものではない。たとえば、カソード電圧  $V_{ss}$  あるいはグランド電圧  $GND$  に接続されていてもよい。また、コンデンサ 18 a は、トランジスタ 11 のゲート絶縁膜容量に

50

よるコンデンサで代用してもよい。

【0239】

(2)画素16に流れる電流回路

本発明は、ゲートドライバ回路12を制御し、順次ゲート信号線17aを選択し、選択した画素行の駆動用トランジスタ11aあるいはEL素子15に流れる電流を順次測定する点にも特徴がある。つまり、画素行を選択し、規定の定電流をソース信号線18に印加し、選択した画素行あるいは画素の駆動用トランジスタなどに流れる電流を測定する。測定は十分時間をかけて行われる。測定した電流から前記駆動用トランジスタのV-I特性(図37を参照のこと)を推定する。映像信号は、推定されたV-Iカーブからプログラム電圧に変換され、前記プログラム電圧が画像表示時にソース信号線に印加される。

10

【0240】

図38は本発明のEL表示装置およびその駆動方法の説明図である。図38において、スイッチ $S_x$ ( $x=1\sim n$ )は、各ソース信号線18に形成され、スイッチ $S_x$ は主としてアナログスイッチで形成される。スイッチ $S_x$ は、微弱な電流の検出だけであり、電流はほとんど流れないから高インピーダンスのもので十分である。

【0241】

また、スイッチ $S_x$ で入出力するのは電流だけでなく、電圧、電荷であってもよいことは言うまでもない。また、スイッチ $S_x$ およびスイッチ $S_x$ を選択する選択回路383は、はソースドライバ回路(IC)14内に形成することに限定されるものではなく、ソースドライバ回路(IC)14外に形成してもよい。また、アレイ基板に直接に形成してもよい。また、プローブ針を各ソース信号線18に接続し、各プローブ針をリレー回路などにより選択することにより、各ソース信号線18に電圧を印加したり、電圧を出力したり、また、電流を印加したり、電流を取り出したりする構成が例示される。

20

【0242】

スイッチ $S_x$ は各ソース信号線18に形成するとしたが、これに限定するものではなく、たとえば、奇数番目のソース信号線18のみに形成してもよい。また、たとえば4の倍数に位置するソース信号線18に形成してもよい。また、表示パネルの構成によっては、ゲート信号線17にスイッチあるいはそれに類するものを形成もしくは接続してもよい。

【0243】

本発明の構成は、各画素16あるいは選択した画素16に印加する電圧あるいは出力される電圧もしくは電流(EL素子15に流れる電流、EL素子15に流れ込む電流など)もしくはこれらに類する電流あるいは電圧を、検出あるいは出力もしくは選択して処理できるように構成するものであればいずれの構成であってもよい。

30

【0244】

図38の構成図は、ソースドライバ回路(IC)14内にA/D変換(アナログ-デジタル変換回路)、メモリ(フラッシュメモリなど)381などを形成または配置するとしたが、これに限定するものではない。たとえば、ソースドライバ回路(IC)14に出力端子を設け、ここからソース信号線18に印加あるいは出力されている電圧を出力し、この電圧を外部に配置または構成したA/D変換回路382に印加するように構成してもよい。メモリ381は外付け部品を用いてもよい。

40

【0245】

選択回路383は外部クロックによりスイッチ回路 $S$ ( $S_1\sim S_n$ 、 $n$ は画素行数)を順次選択し、出力端子83に印加されている電圧をアナログ-デジタル変換回路(A/D変換回路)382と接続する。

【0246】

A/D変換回路382は各ソース信号線18に印加された電流を一例として抵抗 $R$ で電圧に変換し、デジタル化して、ソースドライバ回路(IC)14のメモリ381に保持する。各メモリのビット数は8ビットであり、メモリ381は、画素数分が作製または形成されている。

【0247】

50

電流 - 電圧変換は、よく知られているオペアンプによる電流 - 電圧変換回路などを採用してもよい。

【0248】

また、本発明の電源回路（図43など）を用いることにより、電流測定が容易に実現できる。電流測定の方法および方式は、図58、図59、図60などを用いて後に説明を行う。

【0249】

なお、画素の電流を測定するためには、ソースドライバIC14からソース信号線18に一定値の所定電圧（たとえば、階調250番目の電圧）を印加し、この所定電圧に対する画素からの出力電流（駆動用トランジスタ11aまたはEL素子15に流れる電流）を測定する。好ましくは、所定電圧は複数（たとえば、所定電圧が2であれば、階調127番目と255番目など）とする。この複数の所定電圧から画素16の特性を導き出し（求め）、画素に印加するプログラム電圧を求める。求められた複数の電圧が異なる場合は平均などの処理を行う。また、複数の所定電圧（図37では階調番号）から、図37（b）のV-Iカーブを求め、求めたV-Iカーブからプログラム電圧を求める。

10

【0250】

A/D変換回路382により、出力端子83に印加されている電圧（ソース信号線18に流れる電流 = 駆動用トランジスタ11aに流れる電流）をデジタル化するとしたが、これに限定するものではない。アナログ信号をサンプルホールドし、アナログ信号から電圧階調データを生成できる場合は、A/D変換回路382は不要である。なお、説明に不要な箇所は省略している。また、本発明の他の実施例と組みあわせることができることもいうまでもない。

20

【0251】

スイッチ $S_x$ （ $x = 1 \sim n$ ）をクローズすることによりプログラム電圧がソース信号線に出力される。スイッチ $S_i$ をクローズすることにより画素16を流れる電流が出力される。

【0252】

以上のことから、所定の階調電流 $I_1$ を流すプログラム電圧 $V_1$ を測定できることになる。前記プログラム電圧 $V_1$ は駆動用トランジスタ11aの特性カーブ（ゲート電圧 - 出力電流（V-I）カーブ）の一点である。この $V_1$ から、特性カーブを推定できることになる。なお、プログラム電圧 $V_1$ は特性カーブの任意の一点でよい。階調0番目の電圧 $V_0$ であってもよい。ただし、階調0番目の定電流は0である。 $V_0$ は電流0のときの駆動用トランジスタ11aのゲート端子電圧である。

30

【0253】

表示画面34の画素16はレーザーアニール特性ムラなどにより特性がばらついている。しかし、画素16を流れる電流 $I_1$ を測定し、測定した電流から大きさから各画素の特性を把握することができる。したがって、 $V_1$ 電圧の大きさから各画素16の特性カーブを求めることができる。特性カーブは、 $V_1$ データからマトリックステーブルあるいはルックアップテーブル931による変換によりリアルタイムに求める。また、単項あるいは多項の演算式により求めることもできる。

40

【0254】

以上により電圧階調プログラムデータが求まる。つまり、映像階調データは推定あるいは求められたV-Iカーブで電圧階調プログラムデータに変換される。変換は画素16ごとに行われる。電圧階調データの精度を高めるためには、電流階調回路154から複数の定電流を発生させ、各定電流を各表示画面34の画素16に流し、ソース信号線18の電位を測定すればよい。

【0255】

電流を測定するときは、ソースドライバIC14からソース信号線18に所定電圧を流し、ゲートドライバ回路12aを選択し、選択された画素16行の駆動用トランジスタ11aから $I_1$ 電流を供給する。前記状態で、セレクト回路383は、スイッチ $S_1$ から $S$

50

nを順次選択し、A/D変換回路382でソース信号線18の電位を測定する。A/D変換回路382でデジタル変換された8ビットの電圧データは図94(a)に図示するように、マトリックス状の配置されたSRAMに格納される。なお、8ビットに限定されるものではない。少なくとも4ビット以上あればいずれのビット数であってもよい。

【0256】

以上の動作あるいは方式は、図43～図60などで説明する本発明の電源回路または駆動方式を用いることにより容易に実現できる。V<sub>dd</sub>発生回路のスイッチSW2、V<sub>ss</sub>発生回路のスイッチSW1を制御(オープン、クローズ)することにより、容易に画素16に流れる電流を測定できるからである。また、電流の測定で求めた各画素16の特性データは、図58などで説明しているフラッシュメモリ582に格納し(保持し)、格納したデータからプログラム電圧を求める(発生させる)。

10

【0257】

スイッチS<sub>1</sub>～S<sub>n</sub>を順次選択し、1画素行の画素16の駆動用トランジスタ11aの特性の測定を完了すると、ゲートドライバ回路12aを制御して選択位置を1画素行シフトさせ、次の画素行の画素16の特性を測定する。

【0258】

なお、以上の実施例では、表示画面22のすべての画素に対応する所定電圧を印加し、それぞれの画素に流れる電流を測定あるいは取得あるいは検出するとしたが、これに限定するものではない。すべての画素を測定せずとも、任意の画素の周辺の画素の特性は類似しているからである。また、検出などする画素の電流は、電流値の絶対値である必要はない。電流は画素の特性を示すものであれば何でもよい。電流は相対的な値であればよく、電流と類するものであればよい。たとえば、電荷あるいは電荷の移動量、電圧の変化率などである。また、電流は最終の定常値でなくともよい。測定中の変化から最終値を予測して求める値としてもよい。

20

【0259】

たとえば、図62(a)に1画素置き画素(斜線部に対応する画素)16を測定し、測定していない画素16は隣接した画素から作成する。図62(b)で図示するように、画素16cの駆動電圧を求めるには、隣接した画素16aと画素16bに定電流を流し、対応するソース信号線18の電位を測定する。今、測定されたデータが画素16aは8、画素16bは12であるとする。画素16cは $(8 + 12) / 2 = 10$ として求まる。以上のように電流は画素16のそれぞれをすべて測定する必要はない。

30

【0260】

また、画素16は1画素ずつ測定する必要はない。たとえば、2画素行(複数画素行)を同時に選択して、2画素が加算された電流を測定してもよい。2画素を同時に測定する場合においても、画素に印加する所定電圧は同一の電圧を同時に印加すればよい。

【0261】

複数画素行を選択する場合は、測定する画素行は隣接する必要はない。また、連続した10画素行程度(つまり、ブロック的)にゲート信号線17aを選択し、ソース信号線18に所定電圧を印加すればよい。

【0262】

また、画素16は1画素ずつ測定する必要はない。たとえば、2画素行(複数画素行)を同時に選択して、2画素が加算された電流を測定してもよい。2画素を同時に測定する場合においても、画素に印加する所定電圧は同一の電圧を同時に印加すればよい。

40

【0263】

複数画素行を選択する場合は、測定する画素行は隣接する必要はない。また、連続した10画素行程度(つまり、ブロック的)にゲート信号線17aを選択し、ソース信号線18に所定電圧を印加すればよい。

【0264】

以上の事項は、図38、図39、図40、図42などの方式においても適用される。

【0265】

50

## (3) 画素を流れる電流の測定方法

図42は電流の測定方法の説明図である。画素構成は、図41の構成を例示している。

## 【0266】

図42(a)に図示するように、初期化トランジスタ11fは、リセット電圧ラインV<sub>rst</sub>とコンデンサ19aの第1の端子との間に接続され、ゲート信号線17dのスキャン信号に応答して、前記コンデンサ19aに充填された電荷は前記リセット電圧ラインV<sub>rst</sub>を介して放電させることによって、前記コンデンサ19aを初期化させる。

## 【0267】

次に、図42(b)に図示するように、ソースドライバIC14から映像信号電圧V<sub>sig</sub>はソース信号線18を介して画素16に印加される。この際、スイッチ用トランジスタ11c、11bはオン状態である。この動作により、画素16には所定電圧(映像信号電圧V<sub>sig</sub>)が画素16に印加される(電圧プログラムされる)。コンデンサ19aは、第1の電源電圧ラインV<sub>dd</sub>と駆動用トランジスタ11aのゲート電極との間に接続され、第1の電源電圧V<sub>dd</sub>と前記駆動用トランジスタ11aのゲート電極に印加される電圧V<sub>data</sub>-V<sub>th</sub>[V]の電圧差に該当する電荷を所定期間の間保持する。

10

## 【0268】

次に、図42(c)に図示するように、ソース信号線18にアノード電圧V<sub>dd</sub>を印加する。アノード電圧V<sub>dd</sub>は、スイッチ用トランジスタ11cがオンし、かつスイッチ用トランジスタ11bがオープン状態であるため、駆動用トランジスタ11aからEL素子15に電流Iが流れる。この状態は、スイッチ用トランジスタ11cがオフでスイッチ用トランジスタ11eがオンされた状態と一致する。

20

## 【0269】

つまり、映像信号電圧V<sub>sig</sub>が印加されたとき、画素16の駆動用トランジスタ11aの特性に応じた電流Iが図42(c)の状態でも測定できることになる。この電流Iを図38で説明した回路構成で測定する。したがって、各画素16の駆動用トランジスタの特性ばらつきを容易に測定できる。なお、電流Iの測定の際、図43~図60などで説明する電源回路を用い、V<sub>GH</sub>、V<sub>GL</sub>電圧の大きさあるいは値を調整、設定する。

## 【0270】

図42(c)において、ソース信号線18にV<sub>dd</sub>電圧を印加するとしたが、これに限定するものではない。V<sub>dd</sub>電圧は、駆動用トランジスタ11aがEL素子15に電流を流せる電圧であればよい。たとえば、V<sub>dd</sub>電圧が5Vの場合、図42(c)でソース信号線18に印加する電圧(図42(c)ではV<sub>dd</sub>電圧としている)は、4.5Vであってもよい。また、5.5Vでもよい。

30

## 【0271】

つまり、図42(c)で用いる電圧は、各画素16に一定の電圧を印加し、電流Iを測定できればよい。また、図42(c)のV<sub>dd</sub>電圧を可変し、それぞれの電圧に対する電流Iを測定あるいは検出してもよい。検出された電流Iは平均化処理、V-I特性カーブの求めるなどを行う。また、一定の電圧を印加し、それぞれの電流Iを測定して平均処理をして精度を向上させることも好ましい方式である。

## 【0272】

図42(b)の電圧書込み動作と、図42(c)の電流読み出し動作は、図61のいずれの方法でもよい。

40

## 【0273】

図61(a1)は、全画面22に図42(b)の映像信号電圧V<sub>sig</sub>書込み動作を行っている。映像信号電圧V<sub>sig</sub>を書き込む画素行を電圧書込み画素行と表示している。図61(a2)は、図61(a1)の処理後、全画面22に図42(c)の電流検出(測定)動作を行っている状態を示している。電流を測定する画素行を電流読み出し画素行と表示している。

## 【0274】

図61(a1)(a2)は、全画面22に画素行を順次選択し、映像信号電圧V<sub>sig</sub>

50

を画素行に書込み、次のフレームで、画素行を順次選択し、電流  $I$  を測定する方式である。

【0275】

図61(b1)(b2)は、全画面22に図42(b)の映像信号電圧  $V_{sig}$  書込み動作を行いつつ、電流読み出しを行っている。映像信号電圧  $V_{sig}$  を書き込む画素行を電圧書込み画素行と表示している。電流  $I$  を測定する画素行を電流読み出し画素行と表示している。

【0276】

図61(b1)(b2)は、全画面22に画素行を順次選択し、映像信号電圧  $V_{sig}$  を画素行に書込み、また、画素行を順次選択し、電流  $I$  を測定する方式である。

10

【0277】

なお、EL素子15を発光させ画像を表示する状態は図42(d)の状態である。スイッチ用トランジスタ11e、11dをオンさせ、スイッチ用トランジスタ11f、11b、11cをオフさせる。スイッチ用トランジスタ11e、11dの一方または両方をオンオフ制御することにより、 $duty$ 比制御、点灯率制御を実現できる。

【0278】

(4)他の実施例

図39は図38の変形例である。図39ではスイッチ  $S_x$ 、 $M_x$  ( $x = 1 \sim n$ の整数)を具備している。スイッチ  $M_x$ を制御することにより、各画素16あるいはソース信号線18を流れる電流を選択して測定することができる。スイッチ  $S_x$ をオンオフ制御することによりソースドライバIC14からの映像信号電圧  $V_{sig}$ を各ソース信号線18に印加できる。

20

【0279】

(5)他の画素構成に対応する実施例

図38の実施例は、画素42に対応するものであった。他の構成であっても本発明が適用できる。図40はその実施例である。図40の画素16は、図25の画素構成の場合を例示している。なお、スイッチ用トランジスタ11dは削除することがかのである。

【0280】

アノード電圧  $V_{dd}$  はゲート信号線17aから供給される。図40のゲートドライバ回路12bにはスイッチ  $S_x$ 、 $M_x$  ( $x = 1 \sim n$ の整数)を具備している。スイッチ  $S_x$ を制御することにより、各画素16あるいはゲート信号線17bを流れる電流を選択して測定することができる。スイッチ  $M_x$ をオンオフ制御することによりゲートドライバ回路12bのシフトレジスタ回路401からのゲート信号線選択電圧を各ゲート信号線17bに印加できる。他の構成は、図38、図39と同様であるので説明を省略する。

30

【0281】

(電源回路)

図43は、本発明のEL表示装置の電源回路の説明図である。本実施形態の電源回路を用いることにより、検査、エージング、輝度調整などが容易に実現できるようになる。また、図40、42、63などの駆動方式、調整方式が容易に実現できる。

【0282】

電源回路432の  $V_{in}$  端子には、バッテリーから  $V_{in}$  電圧(電圧2.3V以上4.6V以下)が印加される。電源回路432は、EL表示装置に必要な電圧を発生させる。EL素子に供給する電圧(アノード電圧  $V_{dd}$ 、カソード電圧  $V_{ss}$ )及びその電流は、DCDC回路により発生させる。

40

【0283】

DCDC回路において正極性の電圧  $V_{dd}$  は、コイル  $L_p$  を用いる。負極性の電圧  $V_{ss}$  は、コイル  $L_n$  を用いる。すなわち、コイルを用いて共振させることにより必要な電圧値を発生させる。

【0284】

$V_{dd}$  は、ソースドライバ回路14のアナログ電圧  $A_{vdd}$  と共通である ( $V_{dd} = A$

50

v d d )。A v d d 電圧は、ソースドライバ回路 1 4 の電源電圧である。アナログ電圧 A v d d は、映像信号の基準電圧としている。駆動用トランジスタ 1 1 a は、P チャンネルトランジスタであるため、アノード端子はアノード電極 ( 電圧 V d d ) と接続されている。すなわち、駆動用トランジスタ 1 1 a の基準電圧位置は、アノード電圧 V d d である。ソースドライバ回路 3 9 のアナログ電圧を A v d d とし、A v d d を基準 ( 映像信号電圧が A v d d 電圧の時、映像信号の振幅電圧は、0 V である ) とする。

【 0 2 8 5 】

また、A v d d = V d d することにより、駆動用トランジスタ 1 1 a を映像信号でプログラム設定することが容易になる。また、E L 表示装置で使用する電源数も削減できる。

【 0 2 8 6 】

画素 1 6 の駆動用トランジスタ 1 1 a は P チャンネルトランジスタである。V d d = A v d d とすることにより、階調電圧の電位とアノード電位 V d d が連動して変化するので、良好な階調表示を実現できる。電源回路 ( I C ) 4 3 2 で発生するアノード電圧 V d d がバラツキにより変化しても、駆動用トランジスタ 1 1 a に印加する振幅電圧の基準位置は連動して変化する。したがって、駆動用トランジスタ 1 1 a を映像信号でプログラム設定する精度が良好になる。

【 0 2 8 7 】

なお、画素 1 6 の駆動用トランジスタ 1 1 a が N チャンネルトランジスタの場合は、映像信号の基準電圧をグランド ( G N D ) 電圧にする。

【 0 2 8 8 】

また、電源回路 4 3 2 は、リニアレギュレータ回路により、ソースドライバ回路のロジック電圧 D v d d を発生する。D v d d = 1 . 8 5 V である。また、チャージポンプ回路により、ゲートドライバ回路 1 2 の電源 ( V G H 、 V G L ) を発生する。チャージポンプ回路は、正極性の電圧 V G H には、コンデンサ C p を使用する。チャージポンプ回路は、負極性の電圧 V G L には、コンデンサ C n を使用する。すなわち、コンデンサと発振回路で、チャージポンプ回路を構成し、必要な電圧値を発生させる。

【 0 2 8 9 】

なお、V G H 、 V G L など、ゲートドライバ回路 1 2 で使用する電圧は、ソースドライバ回路 1 4 に形成したチャージポンプ回路で発生させてもよい。この場合は、ソースドライバ回路 1 4 の V G H 、 V G L 出力回路に、オフスイッチを形成する ( ソースドライバ回路 1 4 に出力オフ機能を持たせる ) 。

【 0 2 9 0 】

以下の実施形態では、電源回路 4 3 2 に V G H 、 V G L 、 V r s t 電圧発生回路 4 3 1 を具備するとして説明する。V G L 、 V G H 、 V r s t 電圧発生回路 4 3 1 がソースドライバ回路 1 4 に具備される場合は、ソースドライバ回路 1 4 と電源回路 4 3 2 とを同期を取っても本実施形態を実施すればよい。

【 0 2 9 1 】

A v d d 、 D v d d 電圧は、レギュレータ回路で発生させてもよい。バッテリー電圧 V i n がレギュレータ回路に入力され、D v d d 電圧を発生させる。また、バッテリー電圧 V i n がレギュレータ回路に入力され、A v d d 電圧を発生させる。

【 0 2 9 2 】

本実施形態は、エージング工程、欠陥検査、輝度調整などの調整対応するため、出力オープン機能を有する。

【 0 2 9 3 】

出力オープン機能はスイッチから構成する。図 4 3 に示すように、各電圧発生回路 4 3 1 の出力段にスイッチ ( S W 1 、 S W 2 、 S W 3 、 S W 4 、 S W 5 、 S W 6 、 S W 7 ) が形成されている。

【 0 2 9 4 】

出力オープン機能とは、スイッチ S W をオフ ( ハイインピーダンス ) にすることにより、電源回路 4 3 2 の出力端子に、別電圧を印加できる。例えば、V d d = 5 V とし、V d

10

20

30

40

50

d 出力端子のスイッチ S W 2 をオフにすることにより、V d d 出力端子に 7 V の電圧を印加できるようになる。V s s = - 3 V とし、V s s 出力端子のスイッチ S W 1 をオフにすることにより、V s s 出力端子に - 5 V の電圧を印加できるようになる。

**【 0 2 9 5 】**

各端子のスイッチ S W をオフさせることにより、各端子に外部電圧を印加したとき、オフリーク電流は 1 0  $\mu$  A 以下となるように構成されている。この構成は、各スイッチ S W を構成する F E T のゲート端子にバッファ回路を介して電圧を印加する回路構成を採用することにより実現できる。

**【 0 2 9 6 】**

スイッチ S W 1 は、V s s 電圧をオフ（ハイインピーダンス）にする機能を有する。スイッチ S W 2 は、V d d 電圧をオフ（ハイインピーダンス）にする機能を有し、スイッチ S W 3 は、A v d d 電圧をオフ（ハイインピーダンス）にする機能を有する。スイッチは、アナログスイッチ、M O S スイッチなどで構成される。

10

**【 0 2 9 7 】**

同様に、スイッチ S W 4 は、ソースドライバ回路 1 4 で使用するロジック電圧 D v d d をオフ（ハイインピーダンス）にし、スイッチ S W 5 は、V G H 電圧をオフ（ハイインピーダンス）にする。スイッチ S W 6 は、V G L 電圧をオフ（ハイインピーダンス）、スイッチ S W 7 は、V r s t 電圧をオフ（ハイインピーダンス）にする機能を有する。

**【 0 2 9 8 】**

なお、スイッチ（S W 1 ~ S W 7）は、明確にスイッチ回路を形成する必要はない。例えば、V d d 発生回路 4 3 1 b に印加する発振電圧を停止することにより、等価的に、V d d 出力がオフとなる場合は、スイッチ S W 2 の物理的構成は不要である。つまり、スイッチ S W とは、各電圧発生回路 4 3 1 の動作を停止させる機能と考えるも良い。

20

**【 0 2 9 9 】**

電源電圧の出力回路にはトランジスタ（F E T）を具備しており、この F E T からなるスイッチ、ダイオードと外付けコイル（L n、L p）で共振させて所定の電圧を発生させる。この共振させる F E T のゲート端子にオフ電圧を印加する、またはオフにすることにより F E T から電圧は出力されないようになる。結果的に、該当電源回路 4 3 2 の出力端子はオフ（ハイインピーダンス）になる。また、電源回路 4 3 2 に内蔵のダイオードに逆バイアスを印加して、ダイオードをオフさせてもよい。また、図 4 4 に示すように、電源回路 4 3 2 の外部に、スイッチ回路 4 4 1 を外付け配置してもよい。スイッチ S W はリレー回路などで構成することもできる。

30

**【 0 3 0 0 】**

また、電源回路 4 3 2 の出力段のトランジスタのゲート端子にオフ電圧を印加し、前記トランジスタのチャンネル間をハイインピーダンスにする。なお、電源回路 4 3 2 の出力段には保護ダイオードを形成し、保護ダイオードはリークが発生しないように十分に高い電圧に接続してオフ状態を維持する。

**【 0 3 0 1 】**

なお、出力オープン機能は、電源回路 4 3 2 に内蔵させることに限定されるものではない。例えば、図 4 4 に示すように、S W の部分をスイッチ回路 4 4 1 として別途設けてもよい。スイッチ回路 4 4 1 は、シリコンチップで形成し、フレキシブル基板 7 5 5 などに実装する。スイッチ回路 4 4 1 は M O S - F E T などで構成する。

40

**【 0 3 0 2 】**

すなわち、本実施形態のオフ（ハイインピーダンス）にする機能とは、等価的に、電源回路 4 3 2 の端子を外部から見たとき、ハイインピーダンス状態にする機能であれば足りる。また、ハイインピーダンス状態にした時、またはハイインピーダンス状態になった時、電源回路 4 3 2 の端子を外部に別の電圧を印加できる構成であれば足りる。

**【 0 3 0 3 】**

本実施形態の電源回路は、負電源側のダイオード、F E T を内蔵している。また、S M B u s などの標準データバスを具備し、標準データバスに伝送するコマンドにより、出力

50

電圧などを設定できる。

【0304】

コマンドにより設定できる電圧は、VGH電圧、VGL電圧、Vss電圧、Vrst電圧である。これらの電圧は、0.5Vキザミで設定できるように構成されている。なお、VGHはVGH1、VGH2と2種類の電圧を発生させ、VGLはVGL1、VGL2と2種類の電圧を発生させてもよい。

【0305】

電圧の可変は、電源回路432内部に、DA変換回路を設けることにより容易に実現できる。また、出力オープン機能もコマンドで制御することができる。例えば、標準データバス(SMBus、I2Cバスなど)を介したコマンド制御により、Vss電圧端子をオフにできる。コマンドにより、どのスイッチをオンさせるかオフさせるかを指定する。

10

【0306】

図45は、VGH電圧、VGL電圧、Vdd電圧、Vss電圧、Vrst電圧、Avdd電圧の設定値である。設定値は、コマンドの'値'により、0.5Vキザミで設定されている。VGH電圧の設定値は、Avdd電圧の設定値よりも1.0V以上(少なくとも0.5V以上)高く設定できるように構成する。VGL電圧の設定値は、Vss電圧と同一の値を設定できるように構成する。

【0307】

なお、図45の各電圧の値は、EEPROM583(図58)に格納しておき、使用状態に合わせて変更できるように構成しておくことが好ましい。例えば、図45では、VGHの値0では、5.0Vであるが、この値をEEPROM583から読み出し、4.5Vに変更する。キザミ値もEEPROM583に格納されたデータにより変更できるように構成しておくことが好ましい。

20

【0308】

VGH電圧、VGL電圧、Vdd電圧、Vss電圧、Vrst電圧、Avdd電圧は、本実施形態のパネルの調整工程で、可変して用いる。また、ピーク電流抑制駆動で可変して用いる。

【0309】

VGH電圧は、5.0V以上9V以下であり、この範囲を0.5Vキザミで設定可能である。また、必要に応じて10mVキザミで設定できるように構成することもできる。以上の事項は他の電圧に対しても同様である。なお、本実施形態では、説明を容易にするため、基本的には電圧のキザミは0.5Vであるとする。しかし、これに限定するものではない。

30

【0310】

一例として、VGL電圧は、-6.0V以上-0.5V以下であり、この範囲を0.5Vキザミで設定可能である。Vss電圧は、-6.0V以上-0.5V以下であり、この範囲を0.5Vキザミで設定可能である。

【0311】

出力オープン機能は、ハード端子による制御でオン/オフしてもよい。例えば、電源回路432の1番ピンはTEST1、2番ピンをTEST2とする。TEST1を'H'とすることにより、Vdd端子とVss端子が出力オフにする。また、'L'とすることにより、Vdd端子とVss端子を電圧出力状態にする。TEST2を'H'とすることにより、VGH端子とVGL端子が出力オフにする。'L'とすることにより、VGH端子とVGL端子を電圧出力状態にする。

40

【0312】

なお、出力オープン機能とは、主として電圧出力端子を外部から切り離された状態を意味し、前記端子などに他の電源からの電圧または電流を印加しても、前記電源IC432などに前記他の電源からの電流が、前記電源IC432などに流入しない、または、前記他の電源からの電流が流出しない状態、またはこれと類する状態を意味する。また、これらに類する技術的思想である。

50

## 【0313】

また、複数のピンにロジック電圧設定することにより、VGH電圧を5.0Vから8.0Vのいずれかの電圧を設定し、端子から出力できるように構成する。なお、図46にTESTモードの出力電圧と、放電回路(図47)の関係を図示している。

## 【0314】

各電源の出力には、放電回路(ディスチャージ回路)が形成されている。ディスチャージ回路を図47に示す。図47は、一例としてVssの出力段であるが、他の出力段Vdd、Avdd、VGH、VGL、Vrstにも形成されている。オフスイッチSW1がオフの場合に、スイッチS1をオンさせて、抵抗Rと介して、Vss端子に充電された電荷を放電する。抵抗Rの抵抗値は、DCDC回路に関連する出力(Vss、Vdd)は、30~100とする。チャージポンプ回路に関連する出力(VGH、VGL)は、200~1kとする。以上のように抵抗Rの値は、DCDC回路による発生させる電圧よりもチャージポンプ回路で発生させる電圧の方を大きくする。

10

## 【0315】

ディスチャージ回路を構成するスイッチS1も、コマンド設定により動作するように構成されている。すなわち、ディスチャージ動作をさせるか否かは、コマンドで設定できる。

## 【0316】

また、図48のように、TEST=3の時、Avddは放電なしとしてもよい。放電回路は、ディスチャージ回路とも呼ぶ。図46では、MODE0で、全電圧(Avdd~Vss)の出力端子をディスチャージ状態に保持している。このことはEL表示装置を外部ノイズから保護する上でも重要である。また、MODE1のON1コマンドのみが指定されているときは、Vdd端子とVss端子とディスチャージ状態に保持しておくことも重要である。

20

## 【0317】

ON1コマンドのみの場合は、ソースドライバ回路14及びゲートドライバ回路12に使用する電圧(Avdd、VGH、VGL、Vrst)の端子にはディスチャージせず、EL素子35に印加する電圧端子はディスチャージさせる。ON1及びON2コマンド発生時(MODE3)では、すべての電圧端子はディスチャージしない。

30

## 【0318】

なお、電源回路(電源IC)432の起動はソフトスタート回路の動作あるいは作用によりラッシュ電流が流れないように制御される。ソフトスタート時間は、3msec以上20msec以下の時間に設定される。

## 【0319】

また、電源回路(電源IC)432には、過電流防止回路およびサーマルシャットダウン回路が形成されている。過電流防止回路が動作する時間は、50msec以上200msec以下の時間に設定される。

## 【0320】

以上のように、図48のTEST状態でも、ディスチャージ(放電)を動作させる。TEST0は、通常の動作状態である。Avdd、VGH、VGL、Vrst、Vdd、Vssの出力は、図50のMODEに従って放電回路が動作する(放電回路ON)。TEST1、TEST2、TEST3では放電回路が動作しない(放電回路OFF:非動作状態)。なお、図51に示すように、TEST3で、放電回路を動作可能状態にしてもよい。

40

## 【0321】

放電回路は、図47に示すように、スイッチS1、放電抵抗Rから構成される。放電抵抗Rは、端子または配線(図47では一例としてVss端子またはVss配線)に充電された電荷を放電するのに使用される。スイッチS1は電源回路432の出力電圧を停止する時、電源電圧の値を変化させる時に動作する。

## 【0322】

本実施形態の電源回路432は、DCDC回路の発振周波数もソースドライバ回路14

50

からのコマンドで設定できる。

【0323】

発振周波数は、0.6MHz、1.2MHz、1.8MHzの複数から1つを選択する。発振周波数は、0.6MHz、1.2MHz、1.8MHzと整数倍に設定できるようにする。発振周波数の1つは、1.0～1.5MHz内に設定する（本実施形態では、1.2MHzが該当する）。

【0324】

発振周波数は、図49に表で示す。発振周波数も電源回路に内蔵する複数の抵抗から1つを選択することにより容易に実現できる。発振周波数は、FLコマンドの設定により、発振周波数が変更できる。発振周波数が低いと、電源回路の外付けコイル(Lp、Ln)のサイズが大きくなる。変換効率は高くなる。電源回路の外付けコイルのサイズが大きくなる。変換効率は高くなる。発振周波数が高いと、電源回路の外付けコイルのサイズが小さくなる。変換効率は低くなることが多い。

10

【0325】

本実施形態の電源回路は携帯電話に用いる。本実施形態は、携帯電話の通信方式により、発振周波数を切り替えて使用する。CDMA方式の場合は、DCDCの発振周波数を0.6MHzとする。GSM方式の場合は、1.2MHzで使用する。本実施形態は、CDMA方式で使用する場合と、GSM方式で使用する場合とで、コマンドにより、発振周波数を変更する。すなわち、携帯の受信方式に対応させて発振周波数を切り替える。

【0326】

図46は、本実施形態の電源回路の動作モードであるテストモード(TEST)で、ディスチャージ(放電)回路の動作の有無を記載している。図46において、「」は、対応する電圧が出力されることを示し、「x」は、出力されていないことを示す。ONは、放電回路が動作していること(図47でスイッチS1がオンしていること)を示し、OFFは、放電回路が非動作状態であること(図47でスイッチS1がオフしていること)を示している。

20

【0327】

例えば、TESTモードの値が1(設定値1)では、Avdd、VGH、VGL、Vdd、Vrst、Vssが出力されており、放電回路がONしていることを示している。TESTモードの値が2(設定値2)では、Avdd、VGH、VGLが出力されており、放電回路がOFFしていることを示している。

30

【0328】

本実施形態の電源回路432には、図50に示すように、MODEがある。

【0329】

MODEとは、電源回路432の立ち上げ及び立ち下げシーケンスを行うものである。シーケンスを行うのに、ON1とON2がある。

【0330】

MODE=0(MODEコマンドの値0、MODE0)では、ON1及びON2がともに0(オフ)である。

【0331】

MODE=1(MODEコマンドの値1、MODE1)では、ON1=1(オン)で、ON2=0(オフ)である。

40

【0332】

MODE=2(MODEコマンドの値2、MODE2)では、ON1=0(オフ)であり、ON2が1(オン)である。MODE=3(MODEコマンドの値3、MODE3)では、ON1及びON2がともに1(オン)である。なお、図50において、は、該当する電圧が出力されていることを、xは、該当する電圧が出力されていないことを示している。

【0333】

ON1=1は、ソースドライバ回路14及びゲートドライバ回路12の電源電圧(Av

50

$V_{dd}$ 、 $V_{GH}$ 、 $V_{GL}$ 、 $V_{rst}$ )の立ち上げをする。 $ON2 = 1$  (オン)は、アノード電圧 $V_{dd}$ 、カソード電圧 $V_{ss}$ をEL表示装置に供給する。

【0334】

立ち上げシーケンスでは、本実施形態は、 $ON1$ を設定し、次に $ON2$ を設定する。立ち上げシーケンスでは、まず、ゲートドライバ回路12及びソースドライバ回路14を動作した後に、EL素子35に供給するアノード電圧などを印加する。この状態が反転すると、EL表示装置が不要な発光状態が発生する。

【0335】

立ち下げシーケンスでは、本実施形態は、 $ON2$ を解除し( $ON2 = 0$ )、次に $ON1$ を解除する( $ON1 = 0$ )。立ち下げシーケンスでは、まず、アノード電圧 $V_{dd}$ 、カソード電圧 $V_{ss}$ を切断してから、ゲートドライバ回路12及びソースドライバ回路14の電圧をオフにしないと、アノード端子からのソースドライバ回路14への逆流により、ソースドライバ回路などが破壊される場合がある。

10

【0336】

以上により、 $MODE = 2$ の状態は発生してはならない。立ち上がりシーケンスにおいて、ノイズなどにより、 $MODE = 3$ が最初となった場合は、まず、 $MODE 1$ を設定し、 $MODE 3$ を実行する。また、立ち上がりシーケンスにおいて、ノイズなどにより、まず、最初に $MODE = 3$ となった場合は、まず、 $MODE 1$ を設定し、 $MODE 3$ を実行する。以上のように、本発明は、各動作が異常状態から動作した場合に、自己修正するロジックを内蔵している。

20

【0337】

立ち下げシーケンスの場合は、 $MODE 3$ の状態から、 $ON2 = 0$ となる、 $MODE 1$ の状態となり、最後に $MODE 0$ の状態となる。

【0338】

$MODE 0$ では、全出力電圧がオフである。 $MODE 1$ では、ソースドライバ回路14のアナログ電圧 $A_{vdd}$ 、ゲートドライバ回路12の電圧( $V_{GH}$ 、 $V_{GL}$ )がオン状態、アノード電圧 $V_{dd}$ 、カソード電圧 $V_{ss}$ がオフ状態である。 $MODE 2$ 、 $MODE 3$ では、ソースドライバ回路14のアナログ電圧 $A_{vdd}$ 、ゲートドライバ回路12の電圧( $V_{GH}$ 、 $V_{GL}$ )がオン状態、アノード電圧 $V_{dd}$ 、カソード電圧 $V_{ss}$ がオン状態である。しかし、 $MODE 2$ は、設定禁止状態である。

30

【0339】

図51は、 $MODE$ に対するディスチャージ動作(図47を参照のこと)の設定状態を示している。図51において、「」が、ディスチャージ動作をおこなっていること(図47のように、対応するスイッチ $S$ (図47では、スイッチ $S1$ )がオンしていること)を示している。「」は、スイッチ $S$ がオフであること(ディスチャージ動作していないこと)を示している。

【0340】

$MODE 0$ では、全出力電圧がオフであるため、全端子が、ディスチャージ状態である。 $MODE 1$ では、ソースドライバ回路14のアナログ電圧 $A_{vdd}$ 、ゲートドライバ回路12の電圧( $V_{GH}$ 、 $V_{GL}$ )がオン状態、アノード電圧 $V_{dd}$ 、カソード電圧 $V_{ss}$ がオフ状態であるため、アノード電圧 $V_{dd}$ 、カソード電圧 $V_{ss}$ のみが、ディスチャージ状態である。 $MODE 2$ 、 $MODE 3$ では、ソースドライバ回路14のアナログ電圧 $A_{vdd}$ 、ゲートドライバ回路12の電圧( $V_{GH}$ 、 $V_{GL}$ )がオン状態、アノード電圧 $V_{dd}$ 、カソード電圧 $V_{ss}$ がオン状態である。したがって、全出力のディスチャージは非動作である。 $MODE 2$ は、設定禁止状態である。

40

【0341】

以上のように、電圧出力されていない端子を、ディスチャージ状態にすることにより、EL表示装置の不要な動作または誤動作を防止するとともに、EL表示装置が電氣的に破壊されることを防止できる。

【0342】

50

オン/オフ端子は、電源回路を起動させる端子である。オン/オフ端子にクロック信号が印加されると、D v d d 電圧を出力する。クロック信号は、信号の立ち上がりまたは立ち下げを検出し、複数回のクロック信号の立ち上がりまたは立ち上がりエッジを検出するとロジック電圧 D v d d を出力する（図 5 2 を参照）。

【 0 3 4 3 】

クロック信号は、本実施形態の E L 表示装置に印加される映像信号クロックまたは水平同期信号 H D を用いる。映像信号は、本実施形態の E L 表示装置が組み込まれた機器のグラフィックコントローラが発生する。

【 0 3 4 4 】

図 5 2 に示すように、クロック ( C L K ) 信号の立ち上がりを検出し、電源回路 4 3 2 内のカウンタ 5 3 1 をカウントアップする（図 5 2、図 5 3、図 5 5 を参照のこと）。クロックが 3 クロック入ると D v d d 電圧が出力される。この電源立ち上がりまでに必要なクロック数は、コマンドで設定できるように構成されている。図 5 2 では、a 点で 3 クロックであるため、D v d d を出力する。もちろん、クロック信号の検出は、クロックの立ち下げを検出してよい。また、クロックの両エッジを検出してよい。クロック間隔が一定以上短いとカウントはしない。この設定は、電源回路 4 3 2 に内蔵するローパスフィルタで設定する。

【 0 3 4 5 】

クロックが一定期間、遮断されると、D v d d 電圧の出力を停止する。図 5 2 では、T 1 期間が 30 m s e c 以上であると出力を停止する。同時に、カウンタ 5 3 1 のカウント値はクリアされる。したがって、カウンタ 5 3 1 のカウントは 0 から開始する。

【 0 3 4 6 】

なお、図 5 2 の実施形態では、D v d d 電圧をクロックでオン/オフ（出力、停止）させるとしたが、これに限定するものではない。例えば、V d d、V s s 電圧、V G H、V G L 電圧をオン/オフ制御してもよい。また、3 クロック目で V G H、V G L 電圧などゲートドライバ回路 1 2 で必要なチャージポンプで出力する電圧を出力させ、30 クロック目で V d d、V s s など E L 素子 3 5 に供給する D C D C 電圧を出力するように構成してもよい。

【 0 3 4 7 】

立ち下げも同様である。30 m s e c で、V d d、V s s など E L 素子 3 5 に供給する D C D C 電圧を停止し、同時に放電回路（図 4 7、図 5 1 を参照）を動作させ、100 m s e c 後に、V G H、V G L 電圧などゲートドライバ回路 1 2 で必要なチャージポンプで停止（同時に放電回路を動作）するように構成してもよい。すなわち、クロックの個数またはクロックの間隔で電圧出力を制御する。

【 0 3 4 8 】

D v d d 電圧は、ソースドライバ回路 1 4 のロジック電圧である。D V d d 電圧が立ち上がると、I 2 C バス（または S M b u s ）の電源が供給され、ソースドライバ回路 1 4 と電源回路 4 3 2 間のコマンド通信が可能になる。ソースドライバ回路 1 4 は、I 2 C バス（または S M b u s ）を介して電源回路 4 3 2 にオンシーケンスコマンド（オンコマンド）を伝送し、電源回路 4 3 2 は、他の電圧（V G H、V G L、V s s、V d d など）を出力する。

【 0 3 4 9 】

電源回路 4 3 2 の立ち下げ（電圧出力の停止）は、ソースドライバ回路 1 4 から電源回路 4 3 2 へのオフシーケンスコマンド（オフコマンド）により行われる。なお、図 5 2 に示すクロック信号（C L K）が中断することによっても電源回路 4 3 2 はオフ状態になる。

【 0 3 5 0 】

D v d d 電圧は、ソースドライバ回路 1 4 で使用されるロジック電圧である。まず、最初にロジック電圧が入力されないと、ソースドライバ回路 1 4 のロジック動作が開始せず、E L 表示装置の開始シーケンスが実施されない。しかし、常時（E L 表示装置を使用し

10

20

30

40

50

ないときも)、D V d d の電圧発生回路 4 3 1 c を起動しておく、電力を使用する。図 5 2、図 5 3 のように、クロックで D v d d 発生回路を起動させるように構成すれば、不要な電力消費はない。また、クロックが一定期間入力されないと、D v d d 回路を非動作状態になるように構成すれば、不要な電力消費はない。

【 0 3 5 1 】

なお、図 5 2 の実施形態ではクロックの入力により、D V d d 電圧が立ち上がるとしたが、本実施形態はこれに限定するものではなく、A v d d 電圧など他の出力電圧を立ち上げるように構成しても良い。また、電圧が立ち上がるクロック数はコマンドなどにより設定できるように構成することが望ましい。立ち下げの時間 T 1 もコマンドなどにより設定できるように構成することが好ましい。

10

【 0 3 5 2 】

また、カウンタの値は、クロックが一定時間以上ない場合はクリアされるように構成することが好ましい。例えば、2 のクロック信号 ( C L K ) が入力されても、3 番目のクロック信号 ( C L K ) までの間隔が 2 0 m s e c 以上あると、電源回路 4 3 2 内のカウンタがクリアされ、カウンタを 0 に戻すように構成する。また、電源回路 4 3 2 がオフシーケンスを受けつけた場合も、カウンタはクリアされる。クリアされるまでの時間は、コマンドにより設定できるように構成されている。

【 0 3 5 3 】

クリアされるまでの時間 T 1 は、クロックとして垂直同期信号を使用することを想定される。したがって、3 0 フレームの場合、3 5 m s e c 以上にする必要がある。また、ノイズによるカウントアップの誤動作を防止するため、1 0 0 m s e c 以下 ( 0 . 1 H z ) にする必要がある。また、映像信号のメインクロックで動作するように構成する。表示装置の画像クロックが 3 M H z であれば、3 M H z で動作するように構成する。しかし、余り高速なクロックで動作するように構成すると、外部ノイズで簡単に誤動作する。したがって、1 0 M H z 以下にする。したがって、クロックは、0 . 1 H z 以上 1 0 M H z 以下にする。クロックは、水平同期信号 ( H D ) を使用することが好ましい。水平同期信号は、8 K H z 以上 3 0 K H z 以下程度である。したがって、クロックは、8 K H z 以上 1 0 M H z 以下で動作するように構成する。

20

【 0 3 5 4 】

また、短時間で異常なクロック ( 外部ノイズ ) 入力による誤動作を防止するため、コンデンサなどによるローパスフィルタを形成しておく。

30

【 0 3 5 5 】

カウンタ 5 3 1 は、電源 I C 4 3 2 がオフされると、クリアされる。また、E L 表示装置のソフトウェアリセットまたはハードウェアリセットが入力されるとクリアされる。また、電源 I C 4 3 2 がオンされるときに、初期クリアされる。

【 0 3 5 6 】

また、D v d d 電圧は、3 クロック信号 ( C L K ) で出力し、図 5 5 に示すように、A v d d 電圧は、5 クロック信号 ( C L K ) で出力するように構成しても良い。すなわち、クロック信号 ( C L K ) 数により、立ち上がる電圧を指定できるように構成する。立ち下げ電圧においても同様に構成しても良い。カウント設定するクロック数は、2 以上 5 以下が好ましい。ノイズによる誤動作防止と起動時間を短くするためである。

40

【 0 3 5 7 】

また、一度、カウントが規定値に達した後は、ソースドライバ回路 1 4 からリセット信号が電源回路 4 3 2 に入力されない限り電圧出力を停止しないように構成してもよい。

【 0 3 5 8 】

D v d d 電圧は、レギュレータを用いて発生する。レギュレータは、動作状態であると、リーク電流が流れ電力を消費してしまう。図 5 2、図 5 3 のように、クロックを検出してレギュレータを起動するように構成すれば、リーク電流の発生はない。したがって、E L 表示装置が非動作状態では、電力を消費しない。

【 0 3 5 9 】

50

本実施形態の電源回路432は、クロック信号(CLK)が入力されている時に、オンコマンドが入力されることにより、電圧が出力されるように構成されている。また、クロック信号(CLK)が入力されている時に、オフコマンドが入力されることにより、電圧出力を停止する。また、出力端子をオフにする。

【0360】

但し、本実施形態はこれに限定するものではない。例えば、図56に図示しているように、強制的に電圧を出力されるオン/オフ端子(ハードピン)を設けても良い。図54も同様である。

【0361】

次に、立ち上がりシーケンスについて図58を用いて説明をする。

10

【0362】

電源回路432に、水平同期信号(HD)またはメインクロック(CLK)が入力されると、Dvd発生回路431c(図53)により、クロックをカウントし、規定のクロック数をカウントすると、Dvd発生回路のレギュレータが動作する。レギュレータ回路は、入力されたバッテリー電圧Vinをレギュレータして1.85V(1.8V系)を出力する。

【0363】

以上のように、電源回路432にコネクタ581から供給される信号または電圧は、CLKまたはHDと、Vinだけである。パネル34とフレキシブル基板756とはACF755で電氣的に接続が取られている。したがって、電源回路432から出力される電源電圧数が多くてもコストが高くなることはない。なお、電源回路432は、フレキ基板あるいはプリント基板586にプリップチップ実装(COF実装)されている。フレキ基板586などは接続部585でパネルと接続されている。

20

【0364】

なお、アノード電圧Vddはレギュレータ(REG)IC587で電圧を低下させてVdd電圧としている。つまり、ソースドライバIC14のアナログ電源電圧AVddをアノード電圧Vddより高くしている。AVdd-Vddは1.0V以下0.1V以下とする。

【0365】

1.85Vはソースドライバ回路14などのロジック電圧である。ロジック電圧Dvdは、SMBusの電源であり、また、EEPROM583、フラッシュメモリ582の電源電圧である。したがって、Dvd電圧が発生することにより、EL表示装置のロジック系が起動状態になる。

30

【0366】

ソースドライバ回路14は、ロジック電圧Dvdが入力され、外部3線シリアルバスから、リセット信号コマンドが入力されると、立ち上がりシーケンスを開始する。

【0367】

リセット信号コマンドをソースドライバ回路14が受信し、電源回路432の初期化が完了(図50において、MODE0)すると、ソースドライバ回路14は、SMBusを介して、電源回路432にオンコマンド(ON1、ON2:図50)を送る。基本的にオンシーケンスは、MODE0(ON1、ON2はオフ) MODE1(ON1のみオン) MODE3(ON1、ON2はオン)である。

40

【0368】

ON1コマンドにより、AVdd電圧(ソースドライバ回路14のアナログ電圧)、VGH、VGLが出力される。AVddとアノード電圧Vddは同一電圧である(図44なども参照のこと)が、AVddはON1で出力されるが、アノード電圧Vddは、SW2がオフ状態であるため、出力されない。SW2はON2コマンドでオン状態となる。ON1コマンドにより、VGHはSW5がオンすることにより、VGLはSW6がオンすることにより、出力される。

【0369】

50

ソースドライバ回路 14 に A V d d 電圧が印加されることにより、階調電圧などが出力できるようになる。V G H、V G L 電圧は、ゲートドライバ回路 12 に印加される。V G H、V G L 電圧によりゲートドライバ回路 12 のゲート信号線 17 の電位が設定される。また、ソースドライバ回路 14 は、ゲートドライバ回路 12 にスタート ( S T ) 信号、クロック ( C L K ) 信号を印加し、また、ソースドライバ回路 14 は、ソース信号線 18 に黒階調の映像電圧信号などを印加し、ゲートドライバ回路 12 は画素 16 を黒表示状態に制御する。

【 0 3 7 0 】

ON 1 コマンド ( 図 5 0 の M O D E 1 ) から ON 2 コマンド ( 図 5 0 の M O D E 3 ) までの移行時間は、1 フレーム期間以上とする。好ましくは 2 フレーム期間以上とする。表示画面 31 を黒表示状態にしてから、アノード電圧 V d d、カソード電圧 V s s を印加するようにするためである。表示画面 31 を黒表示状態にしてから、アノード電圧 V d d、カソード電圧 V s s を印加しないと、不要な画像表示がされることがあるためである。

10

【 0 3 7 1 】

次に、ソースドライバ回路 14 は、入力された映像信号 ( R G B )、水平同期信号 ( H D )、垂直同期信号 ( V D )、クロック ( C L K ) に対応させてソース信号線 18 に映像信号を出力する。

【 0 3 7 2 】

ソースドライバ回路 14 は、電源回路 432 に ON 2 コマンドを送出する。ON 2 コマンドにより、S W 1、S W 2 がオンし、表示画面 31 にアノード電圧 V d d、カソード電圧 V s s が印加される。アノード電圧 V d d、カソード電圧 V s s の印加により、E L 表示装置に画像が表示される。

20

【 0 3 7 3 】

以降、ソースドライバ回路 14 は、映像信号から、表示画面 31 に流れる電流を演算などにより、点灯率求め、ピーク電流をオーバーしないように、d u t y 比駆動を実施する。また、必要に応じて、電源回路 432 にコマンドを送り、アノード電圧 V d d、カソード電圧 V s s を変化させる。

【 0 3 7 4 】

なお、図 5 0 に示すように、誤動作により、M O D E 2 から開始される場合は、M O D E 1 を実行し、次に M O D E 3 を実行させる。誤動作により、M O D E 3 から開始される場合は、M O D E 1 を実行し、次に M O D E 3 を実行させる。

30

【 0 3 7 5 】

オフシーケンス ( 立ち下げシーケンス ) では、M O D E 1 が実行される。M O D E 1 の実行前に、ソースドライバ回路 14 は、表示画面 31 を黒表示にする。黒表示は、ソース信号線 18 に黒の階調信号 ( 低階調 ) を印加し、この信号を画素 16 に書き込むことにより実現する。黒表示後に、ソースドライバ回路 14 は電源回路 432 にコマンドを送り、M O D E 1 ( ON 2 をオフ ) にする。

【 0 3 7 6 】

ON 2 コマンドのオフ指令により、S W 1、S W 2 がオフし、表示画面 31 へのアノード電圧 V d d、カソード電圧 V s s の印加が停止される。

40

【 0 3 7 7 】

次に、ソースドライバ回路 14 は、電源回路 432 に M O D E 0 にすべく、ON 1 をオフにするコマンドを送る。

【 0 3 7 8 】

図 5 0 の M O D E 1 から図 5 0 の M O D E 0 までの移行時間は、1 フレーム期間以上とする。好ましくは 2 フレーム期間以上とする。アノード電圧 V d d、カソード電圧 V s s を完全に端子などから放電させてからゲートドライバ回路 12 を停止させるためである。ON 2 コマンドをオフ ( 0 ) にすることにより、S W 2、S W 1 がオフになる。この際、図 4 7、図 5 1 に示すように放電回路を動作させる。アノード電圧 V d d、カソード電圧 V s s を完全に放電させてからでないと、不要な画像表示がされることがあるためである

50

。

#### 【0379】

ON1コマンドをオフすることにより、SW5、SW6がオフになり、AVdd電圧（ソースドライバ回路14のアナログ電圧）、VGH、VGLが停止される。最後に、電源回路432に印加されているCLKまたはHDが停止し、Dvddが停止する。

#### 【0380】

図44、図56などの実施形態では、シャットダウン端子（SHDN）を配置している。SHDN端子は、クロック信号（CLK）が入力されていない状態でも、オン/オフコマンドが入力されると電圧を出力させる端子である（または、電圧を出力しないようにする端子である）。SHDN端子へのロジック電圧がLレベルにときは、図52、図55で説明した電源動作が実施される。

10

#### 【0381】

SHDN端子へのロジック電圧がHレベルの時は、クロック信号（CLK）がない状態でも、オン/オフコマンドを受けつけるようになる。シャットダウン端子（SHDN）は0（GND）が通常状態で、外部クロックによりDvdd出力状態に設定されており、シャットダウン端子（SHDN）はHで、クロックが入力されずとも、Dvddが出力されている状態である。

#### 【0382】

シャットダウン端子（SHDN）を配置したことは、本実施形態の電源回路432を検査工程で用いる場合に有効である。検査工程（点欠陥検出、特性評価）では、フレームレートを低減する必要がある場合がある。また、テストランジスタ584を用いて画像を表示する。そのため、クロックとして用いる映像信号（メインクロック、水平同期信号クロック）がない場合がある。また、クロックの周期が非常に長く、図52に示すT1期間以上となって、電圧出力が停止してしまう。この場合には、当然クロックを使用して電圧出力をオン/オフさせることができない。そのため、本実施形態では、シャットダウン端子（SHDN）を用いて、電圧出力を強制的に制御する。

20

#### 【0383】

図44、図56などでは、Dvdd発生回路のみにシャットダウン端子（SHDN）を配置しているが、これに限定するものではなく、他の電圧発生回路431にシャットダウン端子（SHDN）を配置してもよい。また、電源回路432全体がシャットダウン端子（SHDN）により、オン/オフ制御できるように構成してもよい。

30

#### 【0384】

図57に示すように、Vss電圧の発生回路がない構成でもよい。この場合は、EL表示装置のカソード電圧は、GND電圧である。Dvdd電圧発生回路431cの出力にはスイッチは配置されていない。Dvddは、CLKまたはSHDNのロジック信号により出力/非出力の制御ができるからである。また、各SWの制御は、ソースドライバ回路14が行うが、Dvdd電圧の供給がないと、ソースドライバ回路14のロジックが動作せず、SWの制御コマンドを発生することができないからである。

#### 【0385】

また、本実施形態では、電源回路432は、ICとして説明するが、これに限定するものではない。例えば、ディスクリート部品で電源回路432を構成してもよい。リセット電圧Vrstは、図57の画素構成を有するEL表示装置などで使用する。

40

#### 【0386】

Dvddが起動すると、ソースドライバ回路14のロジック回路部が起動すると共に、SMBusなどの標準データバスにデータを送ることが可能になる。ソースドライバ回路14は、標準データバス（SMBusなど）を用いて、電源回路が出力する電圧（VGH、VGL、Vss）の値を設定する。また、発振周波数を設定する。また、Avdd（Vdd）、VGH、VGLを電源回路432から出力させる。

#### 【0387】

電源回路432は、図58に示すように、フレキシブル基板（2層構成）756に実装

50

されている。

【0388】

電源回路432の各出力端子には、金バンプが形成されており、ACF（異方導電フィルムによる接続）によりフリップチップ実装されている。

【0389】

図58の584はテストトランジスタ群である。テストトランジスタ584が各ソース信号線18に形成されている。テストトランジスタ584は、図59、図60に示すように、ソースドライバ回路14が実装された反対側（B位置）に形成してもよい。なお、ソースドライバ回路14は、ICに限定するものでなく、低温ポリシリコン技術などで形成されたソースドライバ回路であってもよい。3選択回路481を形成してもよい。

10

【0390】

スイッチSW3、SW4、SW6は実際には形成されていない。または省略できる。映像信号のクロック信号により、 $V_{dd} = 1.85V$ が出力される。したがって、スイッチは必要でない。また、 $V_{dd}$ もDCDC回路の発振と同時に出力される。 $V_{dd}$ は、ソースドライバ回路14のアナログ電源であると同時に、ゲートドライバ回路12の内部シフトレジスタの電源電圧ともなる。

【0391】

ソースドライバ回路14からSMBus、I2Cbusなどの標準データバスにより、各電源のオン/オフ制御信号が電源回路432に送られる。なお、SMBus、I2Cbusの動作速度は、10kHz以上10MHz以下に構成されている。

20

【0392】

コマンドのON1により、VGHのスイッチSW5とVGLのスイッチSW6がオンする。スイッチSW5、SW6、SW7がオンすることにより、VGH、VGL（VGL1）、Vrstが出力され、ゲートドライバ回路12が同時する。ゲートドライバ回路12に印加するスタートパルス（ST1、ST2）、クロック（CLK1、CLK2）、アップダウン（UD）は、ソースドライバ回路14により制御される。特に、ゲートドライバ回路12bの内部シフトレジスタは、クリアされ、すべてのゲート信号線17bは非選択状態とされる。

【0393】

次に、コマンドのON2により、 $V_{dd}$ のスイッチSW2と $V_{ss}$ のスイッチSW1がオンする。スイッチSW1、SW2がオンすることにより、アノード電圧 $V_{dd}$ 、カソード電圧 $V_{ss}$ が出力される。

30

【0394】

電源回路432には、本体のバッテリーからの電圧 $V_{in}$ が供給される。 $V_{in}$ 電圧は、コネクタ581を介して電源回路432に供給される。電源回路432は、1つの $V_{in}$ 電圧から、EL表示パネルに必要な電圧（アノード電圧 $V_{dd}$ 、カソード電圧 $V_{ss}$ 、VGH、VGL、 $V_{dd} = 1.85V$ ）を発生させる。フレキシブル基板756とアレイ基板755はACF（異方向性導電フィルム）接続される。すなわち、フレキシブル基板756とアレイ基板755は接着されるから、当然のことながら電源回路432が出力する電圧をEL表示パネル755に印加するのにコネクタは必要でない。

40

【0395】

図58の本実施形態では、電源回路をフレキシブル基板756に実装し、電源回路432を動作させて、輝度調整、ホワイトバランス調整などを実施する。したがって、電源回路432の発生電圧が個々でバラツキが発生してもバラツキを考慮してEL表示パネルの調整を実施するから問題とならない。また、エージングなどにおいても、実際に使用する電圧VGH、VGLなどを使用することにより、良好にエージングを実施できる。但し、エージング時は、通常表示時よりも、VGH - とVGLの絶対値（電位差）を大きくする。

【0396】

本実施形態のEL表示装置の動作の検査には、電流リミット機能（カレント電流リミッ

50

ト機能)を使用する。

【0397】

電流リミット機能は、 $V_{SS}$ または $V_{DD}$ の最大出力電流を設定する機能である。例えば、 $V_{SS}$ 電圧のリミット電流が0.5Aであれば、 $V_{SS}$ の出力電流が0.5Aを越えると、内部の発振周波数が低下し、出力電流が0.5A以上にならないように調整される。一般にこの状態の場合は、出力電圧 $V_{SS}$ が低下する。 $V_{SS}$ 電圧のリミット電流が1.0Aに設定されておれば、 $V_{SS}$ の出力電流が1.0Aを越えると、内部の発振周波数が低下し、出力電流が1.0A以上にならないように調整される。一般にこの状態の場合は、出力電圧 $V_{SS}$ が低下する。

【0398】

本実施形態の電源回路432は、 $V_{SS}$ 電圧と $V_{DD}$ 電圧とが、2段階の電流リミット設定できるように構成されている。2段階は、一例として0.5Aと、1.0Aである。電流リミットの値は、エージング工程、モジュール最終検査工程で切り替えて設定する。

【0399】

コマンドIMNが0の時は、 $V_{SS}$ 電圧の電流リミット機能によるリミット電流(A)は、0.5Aであり、コマンドIMNが1の時は、 $V_{SS}$ 電圧の電流リミット機能によるリミット電流(A)は、1.0Aである。

【0400】

コマンドIMPが0の時は、 $V_{SS}$ 電圧の電流リミット機能によるリミット電流(A)は、0.5Aであり、コマンドIMPが1の時は、 $V_{SS}$ 電圧の電流リミット機能によるリミット電流(A)は、1.0Aである。

【0401】

以上のように、リミット電流は、 $V_{DD}$ と $V_{SS}$ とで個別に設定することができる。また、実施例では、リミット電流の設定値は、0.5Aと1.0Aの2段階であるが、これに限定するものではなく、3段階以上であってもよい。

【0402】

電流リミット機能は、EL表示装置を検査または調整する工程で使用する。例えば、EL表示装置を出荷検査において、リミット電流を0.5Aに設定する。通常動作の設定値は、1.0Aとする。リミット電流を0.5Aに設定し、調整画像をEL表示装置に表示する。

【0403】

EL表示装置は、表示画像に対応して点灯領域に流れる電流が変化する。例えば、黒ラスタ表示では、表示画面に流れる電流は理想的には0Aである。白ラスタ表示で、かつピーク電流抑制駆動が設定されていない場合は、最大電流が流れる。ピーク電流抑制駆動が動作している場合は、設定電流以上の電流は流れない。

【0404】

EL表示装置では、画像の種類により、表示画面に流れる電流の大きさが変化する。したがって、EL表示装置の検査構成において、既知の電流がわかっている画像を順次、EL表示装置に表示することにより、電流リミット機能が動作しているかを判断できる。

【0405】

リミット電流を通常より、小さい値(本実施形態では、0.5A)に設定すると、例えば、画像1では、表示画面に流れる電流が0.6A、画像2では、表示画面に流れる電流を0.4Aとする。

【0406】

画像1をEL表示装置に表示した時、電流リミット機能が動作しなければ、電流リミット機能が動作不良判断できる。一方、画像2をEL表示装置に表示した時、電流リミット機能が動作すれば、電流リミット機能の異常または、他の箇所での動作不良が発生している可能性があることを判断できる。また、ピーク電流抑制駆動が正常に動作しているかを判断できる。電流リミットの値は、コマンドにより変更設定することができる。コマンドにより、検査中に、電流リミットの値を可変し、EL表示装置の動作状態を検査できる。

10

20

30

40

50

すなわち、複数あるリミット設定値を電源 I C 4 3 2 に形成し、複数のリミット値から 1 つの電流リミット値を設定し、流れる電流が既知の画像を表示して、電流リミット機能の動作を見定める。

【 0 4 0 7 】

d u t y 比を大きくすれば、電源回路 4 3 2 に流れる電流が大きくなり、d u t y 比を小さくすれば、電源回路 4 3 2 に流れる電流が小さくなり、また変化する。

【 0 4 0 8 】

特に、本実施形態は、電源回路 4 3 2 と E L 表示パネルを一体として動作させ（同時に動作させ）、調整、エージングなどを行う。本実施形態の E L 表示装置は、電源回路 4 3 2 と E L 表示パネルが一体化（接続完了）したものである。このように構成することにより、コネクタ 5 8 1 のピン数が少なくなり低コスト化を実現できる。また、理想的に輝度バラツキ、ホワイトバランス調整を実現できる。この実現のために、本実施形態は電源回路 4 3 2 の出力オープン機能を有効に利用している。

10

【 0 4 0 9 】

以上の実施形態では、電源回路 4 3 2 に出力オープン機能を搭載するとしたが、本実施形態はこれに限定するものではない。例えば、電源回路 4 3 2 のアノード出力端子と E L 表示パネルのアノード配線 5 9 1 間にアナログスイッチ、リレー回路を配置してもよい。すなわち、電源回路 4 3 2 の外部にスイッチ回路などを配置または形成してもよい。

【 0 4 1 0 】

ソースドライバ回路 1 4 は、ゲートドライバ回路 1 2 に印加するスタートパルス（S T 1、S T 2）、クロック（C L K 1、C L K 2）、アップダウン（U D）を制御し、画像が表示される。ゲートドライバ回路 1 2 a は、1 フレーム期間に 1 つのスタート信号 S T 1 が印加され、ゲートドライバ回路 1 2 b は、d u t y 駆動に対応するように、スタートパルス S T 2 が印加される。

20

【 0 4 1 1 】

アレイ基板 7 5 5（E L 表示パネル）に、フレキシブル基板 7 5 6 を A C F 接続することにより E L 表示装置は完成する（図 5 8 も参照のこと）。フレキシブル基板 7 5 6 には、電源回路 4 3 2、E E P R O M 5 8 3、フラッシュメモリ 5 8 2 などが実装される。テストトランジスタ 5 8 4 をオフさせる電圧 V G H（テストトランジスタ 5 8 4 が N チャンネルトランジスタである場合は、電圧 V G L）は、電源回路 4 3 2 から供給される。

30

【 0 4 1 2 】

図 5 9、図 6 0 は、本実施形態の電源回路の出力オープン機能を用いた E L 表示装置の検査、調整方法の説明図である。また、画素 1 6 の駆動用トランジスタ 1 1 a の特性を測定するための、電流測定方式である。以下の実施形態においても、画素構成は図 3 を例示して説明するが、これに限定するものではなく、電流駆動方式の画素構成、電圧駆動などのいずれの画素構成のいずれであってもよい。

【 0 4 1 3 】

図 5 9 は、E L 表示装置の輝度及びホワイトバランス、コントラストの調整方法である。図 5 9 では、電源回路 4 3 2 の出力オープン機能を用いてスイッチ S W 1 をオフにしている。すなわち、カソード電圧 V s s は、出力されず、出力端子はハイインピーダンス状態となる。カソード電圧 V s s の出力端子のパッド P 1 に、プローブ 5 9 4 でプロービングしている。プローブ 5 9 4 を外部電源 V s s t 間には、電流を測定する電流計 5 9 3 を配置している。なお、調整時のカソード電圧 V s s t = 画像表示時のカソード電圧 V s s とする。

40

【 0 4 1 4 】

画素 1 6 の駆動用トランジスタ 1 1 a が P チャンネルトランジスタの場合は、カソード電極をオフにして、カソード配線 5 9 2 の電流を測定する。画素 1 6 の駆動用トランジスタ 1 1 a が N チャンネルトランジスタの場合は、アノード電極をオフにして、アノード配線 5 9 1 の電流を測定する。

【 0 4 1 5 】

50

ソースドライバ回路 14 は、ゲートドライバ回路 12 を制御し、画像表示状態にする。基準電流  $I_c$  の大きさは、通常の 1 倍とする。なお、基準電流の大きさに比例して、表示画面 31 の発光輝度が変化する。基準電流の大きさが 1 から 2 に変化すると、表示画面 31 の輝度は、2 倍になる。表示画面 31 で使用する電力も 2 倍となる。

【0416】

EL 表示装置において、表示画面 31 のカソード電流  $I_s$  はカソード配線 592 に流れる。表示画面 31 のアノード電流はアノード配線 591 に流れる。

【0417】

図 59 の構成では、電源回路 432 のカソード電圧の出力端子は、オフであり、外部カソード電圧  $V_{sst}$  が接続されているため、カソード配線 592 を流れる電流は、プローブ 594、電流計 593 を経由して外部カソード電圧  $V_{sst}$  に流れる。したがって、電流計 593 で、表示画面 31 で使用する電流を測定することができる。カソード電流  $I_s$  を測定するのは、カソード配線 592 を流れる電流は、表示画面 31 を流れる電流であるからである。アノード配線 591 を流れるアノード電流  $I_p$  の一部は、ソースドライバ回路 14 にプログラム電流及び出力段回路を流れる。

10

【0418】

なお、 $V_{ddt}$ 、 $V_{sst}$  は、検査またはエージング構成で外部から設定または外部で発生機器からの電圧である。 $V_{ddt}$ 、 $V_{sst}$  は、電圧値を可変する機能を有する。

【0419】

EL 表示装置は、カソード電流  $I_s$  の大きさを発光輝度は比例の関係になる。したがって、カソード電流を測定することにより、表示画面 31 の発光輝度を把握することができる。以上のことから、カソード電流を所定の電流となるように調整することにより、表示画面 31 の発光輝度を調整することができる。

20

【0420】

なお、カソード電流など表示画面に流れる電流は、電流が流れる配線にピックアップ抵抗を配置して、前記ピックアップ抵抗の両端の電圧を測定できるように構成してもよい。以上の事項は、本発明の他の電流を測定する方式においても同様に適用できる。

【0421】

図 59 の実施形態では、表示画面 31 全体に流れるカソード電流を測定するとしたが、本実施形態はこれに限定するものではない。例えば、表示画面 31 の一部または所定面積に含まれる画素のカソード電流を測定するようにしてもよい。このカソード電流で表示画面 31 全体に流れるカソード電流を推定することができる。また、白ラスタ表示では、画面全体が同一輝度で表示されるため、一部であっても表示画面 31 全体の推定は容易だからである。

30

【0422】

また、表示画面 31 を所定面積で分割し、各分割した領域でのカソード電流を測定することにより、表示画面 31 の特性分布を測定することができる。分割とは、画素列、画素行、マトリクス状が例示される。

【0423】

画素 16 が電圧プログラム方式の場合について説明する。カソード電流の大きさの調整（表示輝度の調整）は、表示画面 31 に印加する映像信号の階調番号（映像信号の大きさ）を一定値に設定し、ソースドライバ IC 14 の振幅調整レジスタを制御させることにより行う。

40

【0424】

電源（回路）IC 12 は  $A_{vdd}$  電圧、 $V_{GH}$ 、 $V_{GL}$ 、 $V_{rst}$  電圧などを適正に設定する。また、カソード電圧を測定できるように、カソード電圧  $V_{ss}$  端子をオフにする。

【0425】

振幅調整レジスタの制御により、上電圧と下電圧の階調アンプを変化させる。上電圧を設定する階調アンプを高く（ $V_{dd}$  電圧に近く）すると、低階調が対応する黒レベルを調

50

整することができる。下電圧を設定する階調アンプを低く（GND電圧に近く）すると、高階調が対応する白レベルを調整することができる。本実施形態では、出力階調を最大階調に設定し、下電圧の階調アンプを変化させる。カソード電流の値が、所望値となるように下電圧の階調アンプの値を調整する。

【0426】

下電圧を設定する階調アンプの出力電圧を低くすれば、カソード電流  $I_s$  も大きくなり、発光輝度も高くなる。したがって、カソード電流の大きさを電流計 593 で測定し、電流が所定値となったときに、調整完了とする。以上のことを、RGBで行うことにより、ホワイトバランスの調整が可能になる。

【0427】

なお、電源回路 432 が出力する電圧  $V_{GH}$ 、 $V_{GL}$ 、 $V_{dd}$  は通常表示時の電圧にする。また、本実施形態では、ゲートドライバ回路 12a は、 $V_{GH1}$ 、 $V_{GL1}$  電圧で動作させ、ゲートドライバ回路 12b は、 $V_{GH2}$ 、 $V_{GL2} = GND$  電圧で動作させ、 $V_{GH1} = V_{GH2}$  とする。

【0428】

以上の調整により、ホワイトバランス調整を実現でき、また、表示画面 31 の発光輝度調整を実現できる。EL表示装置のコントラスト調整は、黒表示時に流れるカソード電流を調整することにより実現できる。

【0429】

カソード電流  $I_s$  の大きさの調整（表示輝度の調整）は、表示画面 31 に印加する最低階調番号に設定し、図 10 で説明した振幅調整レジスタ 101 を制御させることにより行う。振幅調整レジスタ 101 の制御により、階調アンプ 102H を変化させる。上電圧を設定する階調アンプの出力電圧を高く（ $V_{dd}$  電圧に近く）すると、黒レベルでのカソード電流  $I_s$  が減少する。上電圧を設定する階調アンプの出力電流を低くすると、カソード電流が増大する。カソード電流  $I_s$  の値が、所望値となったときに、調整完了とする。

【0430】

次に、画素 16 が電流プログラム方式の場合について説明する。カソード電流  $I_s$  の大きさの調整（表示輝度の調整）は、表示画面 31 に印加する映像信号の階調番号（映像信号の大きさ）を一定値に設定し、基準電流の大きさを変化させることにより行う。映像信号の階調番号（映像信号の大きさ）を一定値とは、通常最大階調番号である。基準電流の大きさを大きくすれば、カソード電流  $I_s$  も大きくなり、発光輝度も高くなる。したがって、カソード電流  $I_s$  の大きさを電流計 593 で測定し、電流が所定値となったときに、調整完了とする。

【0431】

以上の動作を画素単位で実施することにより、画素 16 の駆動用トランジスタ 11a の特性を測定することができる。

【0432】

以上のことを、RGBで行うことにより、ホワイトバランスの調整が可能になる。ホワイトバランス調整（輝度調整）を完了した基準電流を  $I_k$  とする。基準電流  $I_k$  は、RGBで個別設定（赤（R）は  $I_{kr}$ 、緑（G）は  $I_{kg}$ 、青（B）は  $I_{kb}$ ）する。

【0433】

カソード電流  $I_s$  の大きさの調整（表示輝度の調整）は、表示画面 31 に印加する映像信号の階調番号（映像信号の大きさ）を一定値に設定する。

【0434】

基準電流の大きさは、ホワイトバランスを調整した設定値  $I_k$ （赤（R）は  $I_{kr}$ 、緑（G）は  $I_{kg}$ 、青（B）は  $I_{kb}$ ）を維持（保持）したまま行う。

【0435】

黒レベルでの映像信号の階調番号（映像信号の大きさ）は最低階調である。電流駆動では、最低階調では、プログラム電流は 0 である。黒レベルの調整は、ソースドライバ IC 14 の電圧発生回路から最低階調の電圧を画素 16 に印加する。最低階調の電圧は、上電

10

20

30

40

50

圧を発生する階調アンプが出力する電位を変化させて行う。この状態で、カソード電流の大きさを電流計 593 で測定し、電流が所定値となったときに、調整完了とする。

【0436】

以上の動作を画素単位で実施することにより、画素 16 の駆動用トランジスタ 11a の特性を測定することができる。

【0437】

(カソード電流の測定)

図 39、図 38 はソース信号線 18 に流れる電流を測定する方式であった。しかし、本発明はこれに限定するものではない。図 59、図 60 でも説明したが、本発明の電源回路を用いることにより、画素に流れる電流を容易に測定できることは言うまでもない。

10

【0438】

また、図 63 に図示するように、カソード電極に、図 38 と同様に、抵抗 R、アナログ-デジタル変換回路 382 などを接続することにより、各画素 16 に流れる電流を測定できる。

【0439】

電流 I を測定する 1 つの画素を指定するには、図 64 のように行う。

【0440】

図 64 は、測定する対象画素 16 を斜線で示している。他の画素には、ソース信号線 18 から、黒電圧 (駆動用トランジスタ 11a が EL 素子 15 に電流を流さない電圧) を印加し、非点灯状態にする。測定対象の斜線部の画素には、映像信号電圧  $V_{sig}$  (駆動用トランジスタ 11a が EL 素子 15 に電流を流す電圧) を印加する。したがって、斜線部の画素のみが電流を流すように構成することができる。

20

【0441】

なお、図 63 では、カソード電流を測定するとしたが、本発明はこれに限定するものではなく、アノード電流を測定してもよい。

【0442】

(他の画素構成への適用)

以上のことより、図 38、図 39、図 40 により、図 1、図 10、図 18、図 19、図 21、図 23、図 25、図 26、図 27、28、30 などの本明細書に記載のすべての画素構成についても同様に適用することができる。

30

【0443】

以上の事項は、以下の本発明の他の実施形態においても適用できる。

【図面の簡単な説明】

【0444】

【図 1】本実施形態の EL 表示装置の画素構成の説明図である。

【図 2】本実施形態に係る EL 表示装置の全体構成を示すブロック図である。

【図 3】図 1 に示した実施形態の動作説明に供するタイミングチャートである。

【図 4】同じく動作説明に供する回路図である。

【図 5】同じく動作説明に供する回路図である。

【図 6】同じく動作説明に供する回路図である。

40

【図 7】同じく動作説明に供する回路図である。

【図 8】同じく動作説明に供する回路図である。

【図 9】同じく動作説明に供する回路図である。

【図 10】本実施形態の EL 表示装置の画素構成の説明図である。

【図 11】本実施形態の EL 表示装置の駆動方法の説明図である。

【図 12】本実施形態の EL 表示装置の駆動方法の説明図である。

【図 13】本実施形態の EL 表示装置の駆動方法の説明図である。

【図 14】本実施形態の EL 表示装置の説明図である。

【図 15】本実施形態の EL 表示装置の説明図である。

【図 16】本実施形態の EL 表示装置の説明図である。

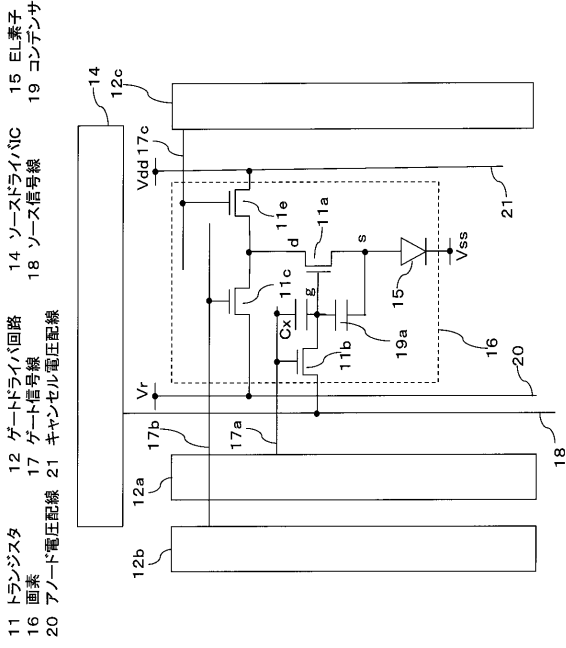
50

- 【図 17】図 10 に示した実施形態の動作説明に供するタイミングチャートである。
- 【図 18】本実施形態の E L 表示装置の画素構成の説明図である。
- 【図 19】本実施形態の E L 表示装置の画素構成の説明図である。
- 【図 20】本実施形態の E L 表示装置の画素構成の説明図である。
- 【図 21】本実施形態の E L 表示装置の画素構成の説明図である。
- 【図 22】本実施形態の E L 表示装置の説明図である。
- 【図 23】本実施形態の E L 表示装置の画素構成の説明図である。
- 【図 24】本実施形態の E L 表示装置の説明図である。
- 【図 25】本実施形態の E L 表示装置の画素構成の説明図である。
- 【図 26】本実施形態の E L 表示装置の画素構成の説明図である。 10
- 【図 27】本実施形態の E L 表示装置の画素構成の説明図である。
- 【図 28】本実施形態の E L 表示装置の画素構成の説明図である。
- 【図 29】本実施形態の E L 表示装置の説明図である。
- 【図 30】本実施形態の E L 表示装置の画素構成の説明図である。
- 【図 31】本実施形態の E L 表示装置の説明図である。
- 【図 32】本実施形態の E L 表示装置の説明図である。
- 【図 33】本実施形態の E L 表示装置の駆動方法の説明図である。
- 【図 34】本実施形態の E L 表示装置の駆動方法の説明図である。
- 【図 35】本実施形態の E L 表示装置の駆動方法の説明図である。
- 【図 36】本実施形態の E L 表示装置の駆動方法の説明図である。 20
- 【図 37】本実施形態の E L 表示装置の駆動方法の説明図である。
- 【図 38】本実施形態の E L 表示装置の駆動方法の説明図である。
- 【図 39】本実施形態の E L 表示装置の駆動方法の説明図である。
- 【図 40】本実施形態の E L 表示装置の駆動方法の説明図である。
- 【図 41】本実施形態の E L 表示装置の駆動方法の説明図である。
- 【図 42】本実施形態の E L 表示装置の駆動方法の説明図である。
- 【図 43】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 44】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 45】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 46】本実施形態の E L 表示装置の電源回路の説明図である。 30
- 【図 47】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 48】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 49】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 50】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 51】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 52】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 53】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 54】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 55】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 56】本実施形態の E L 表示装置の電源回路の説明図である。 40
- 【図 57】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 58】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 59】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 60】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 61】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 62】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 63】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 64】本実施形態の E L 表示装置の電源回路の説明図である。
- 【図 65】本実施形態の分割数と d u t y 比のグラフである。
- 【符号の説明】 50

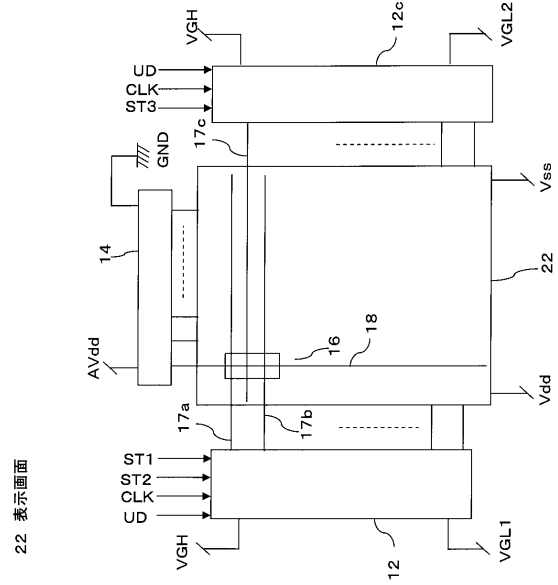
## 【 0 4 4 5 】

1 1	トランジスタ	
1 2	ゲートドライバ回路	
1 4	ソースドライバ回路 ( I C )	
1 5	E L 素子	
1 6	画素	
1 7	ゲート信号線	
1 8	ソース信号線	
1 9	コンデンサ	
2 0	アノード電圧配線	10
2 1	キャンセル電圧配線	
2 2	表示画面	
3 1 1	スイッチ	
3 1 2	デコーダ	
3 1 4	ガンマ回路	
3 1 5	F R C、誤差拡散回路	
3 1 6	ピーク処理回路	
3 1 7	動画検出回路	
3 1 8	カラーマネージメント回路	
3 1 9	制御回路 ( 演算回路 )	20
3 2 1、3 2 2	乗算器	
3 2 3	加算器	
3 2 4	総和回路	
3 8 1	メモリ	
3 8 2	アナログ - デジタル変換回路	
3 8 3	選択回路	
4 0 1	シフトレジスタ回路	
4 3 1	電圧発生回路	
4 3 2	電源 I C	
4 4 1	スイッチ回路 ( オープン回路 )	30
5 3 1	カウンタ	
5 8 1	I Fコネクタ	
5 8 2	フラッシュメモリ	
5 8 3	E E P R O M	
5 8 4	テストトランジスタ群	
5 8 5	フレキ基板 ( 接続部 )	
5 8 6	プリント基板 ( フレキ基板 )	
5 8 7	レギュレータ I C	
5 9 1	アノード配線	
5 9 2	カソード配線	40
5 9 3	電流計	
5 9 4	プローブ	

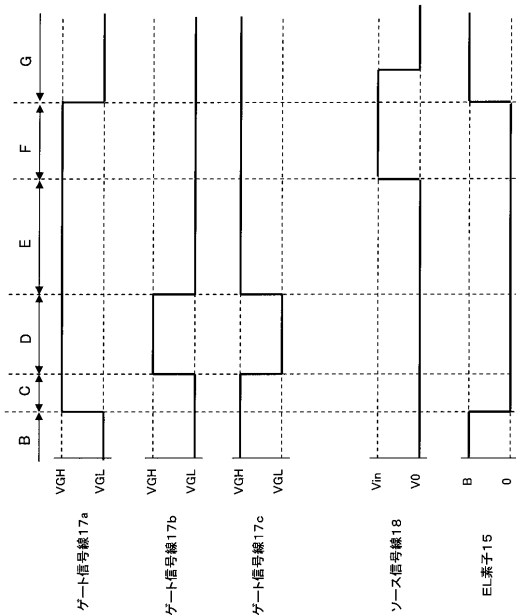
【 図 1 】



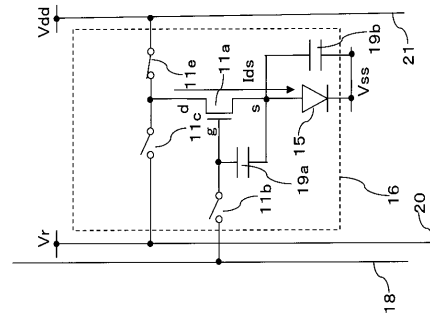
【 図 2 】



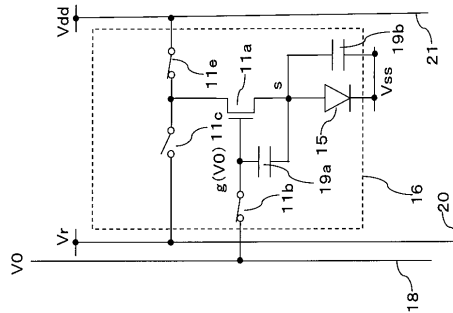
【 図 3 】



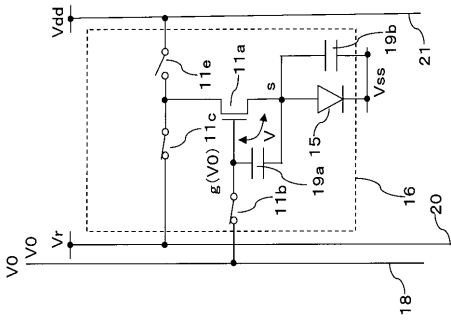
【 図 4 】



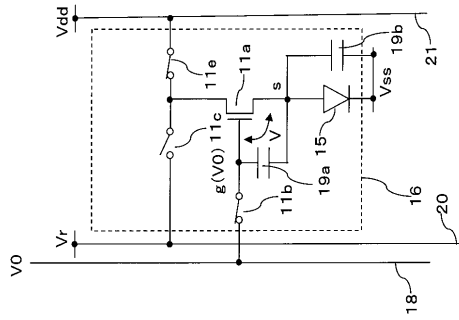
【 図 5 】



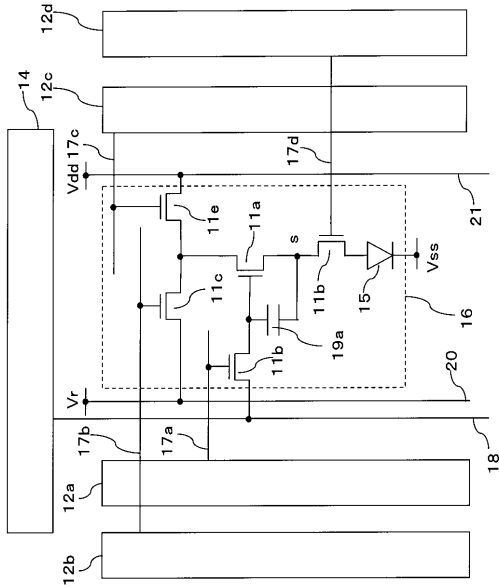
【 図 6 】



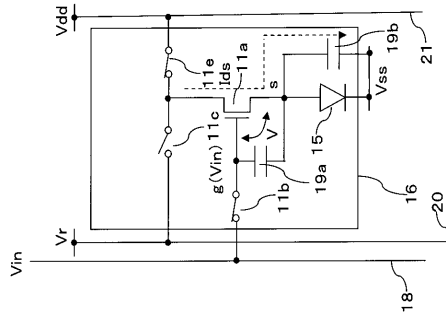
【 図 7 】



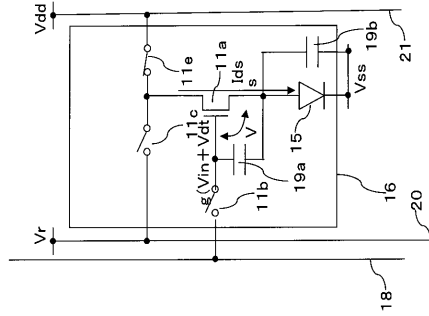
【 図 10 】



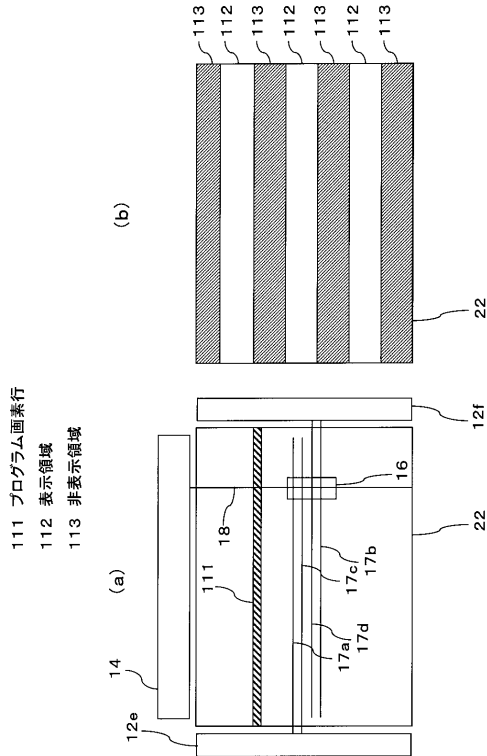
【 図 8 】



【 図 9 】



【 図 11 】

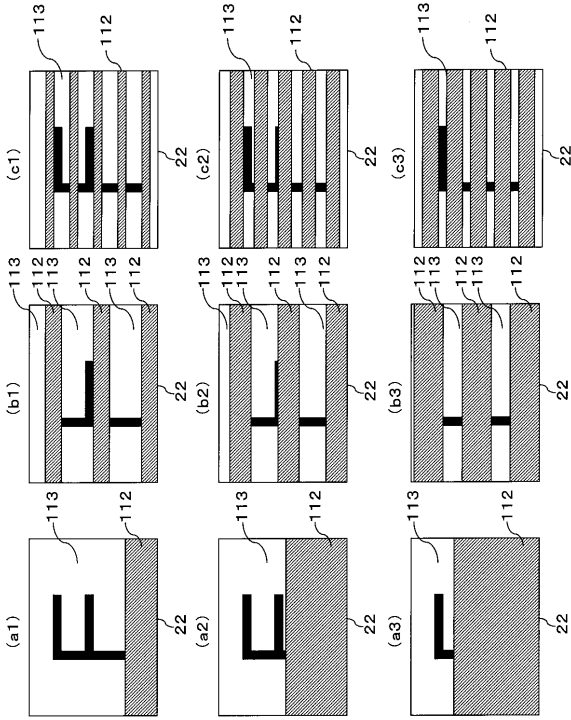


111 プログラム要素行

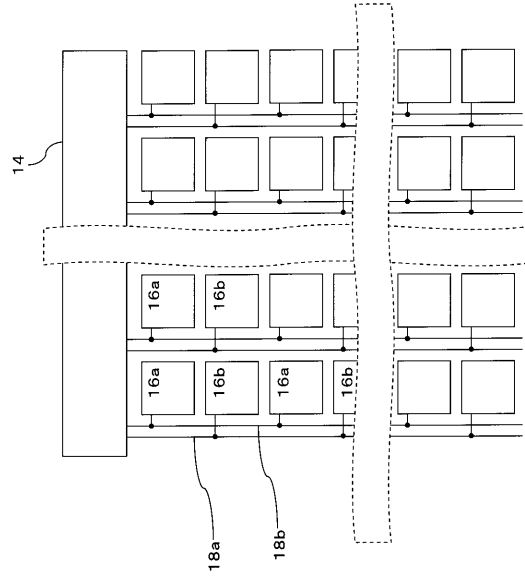
112 表示領域

113 非表示領域

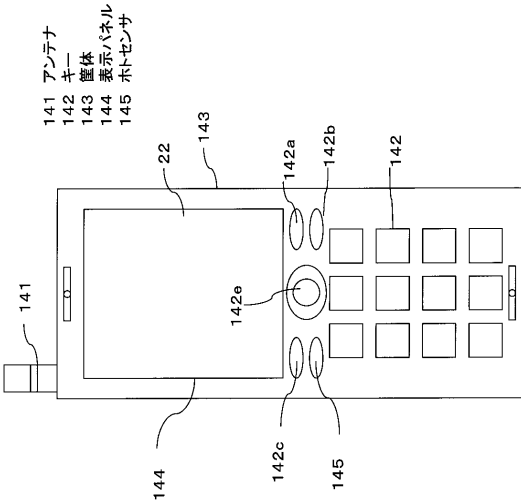
【図 1 2】



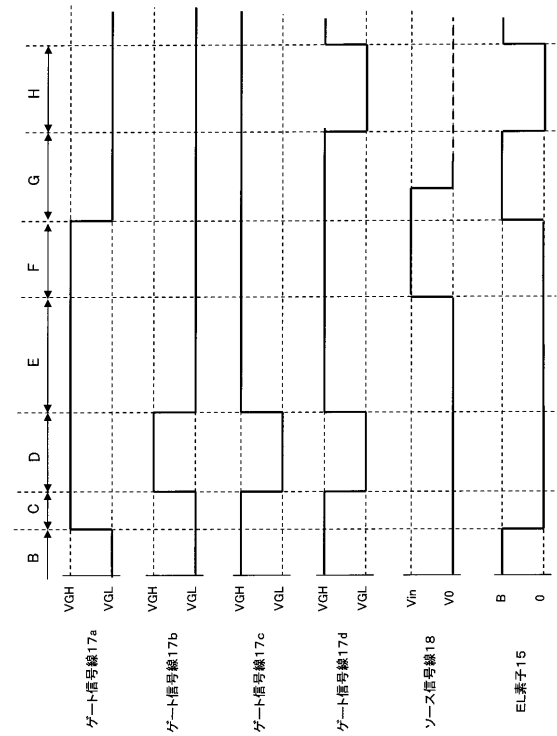
【図 1 3】



【図 1 4】



【図 1 7】

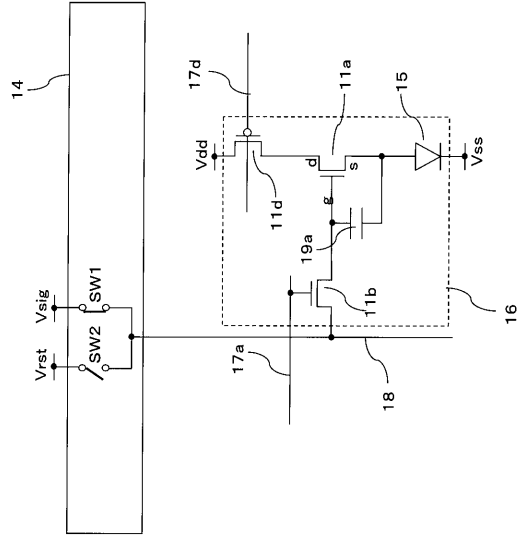




【図 2 2】

	リセット	キャンセル	書き込み	保持(発光)	非発光
11b	ON	ON	ON	OFF	OFF
11c	ON	OFF	OFF	OFF	OFF
11d	OFF	OFF	OFF	ON	OFF
SW1	OFF	OFF	ON	—	—
SW2	ON	ON	OFF	—	—

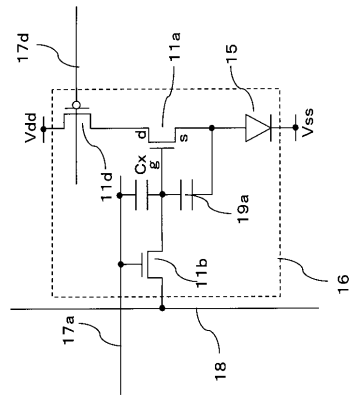
【図 2 3】



【図 2 4】

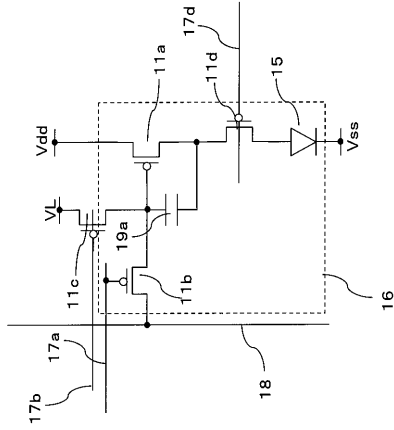
	リセット	キャンセル	書き込み	保持(発光)	非発光
11b	ON	ON/OFF	ON	OFF	OFF
11d	OFF	OFF	OFF	ON	OFF
SW1	OFF	OFF	ON	—	—
SW2	ON	ON	OFF	—	—

【図 2 5】

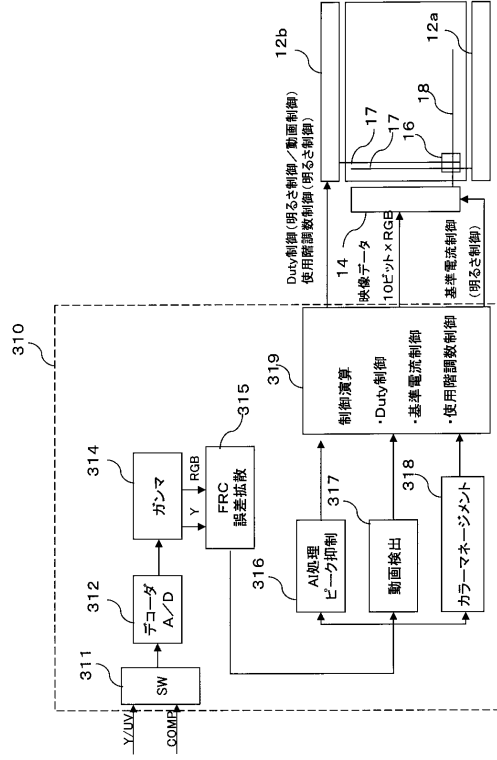




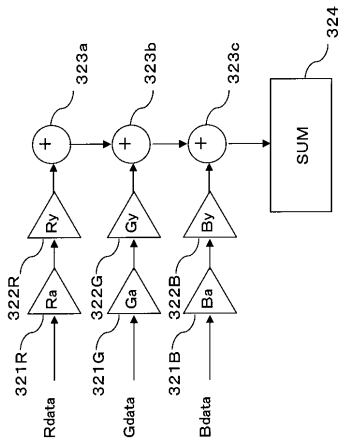
【図 30】



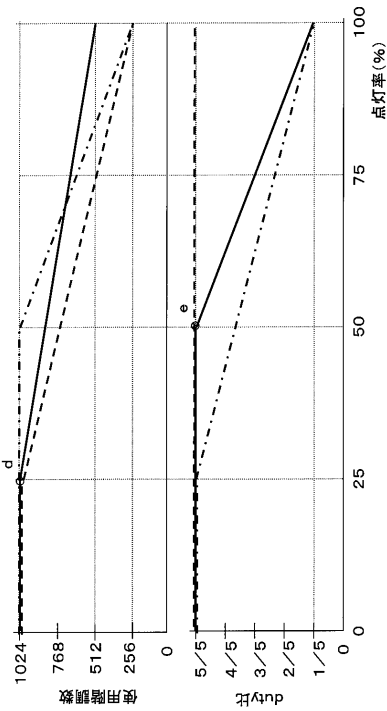
【図 31】



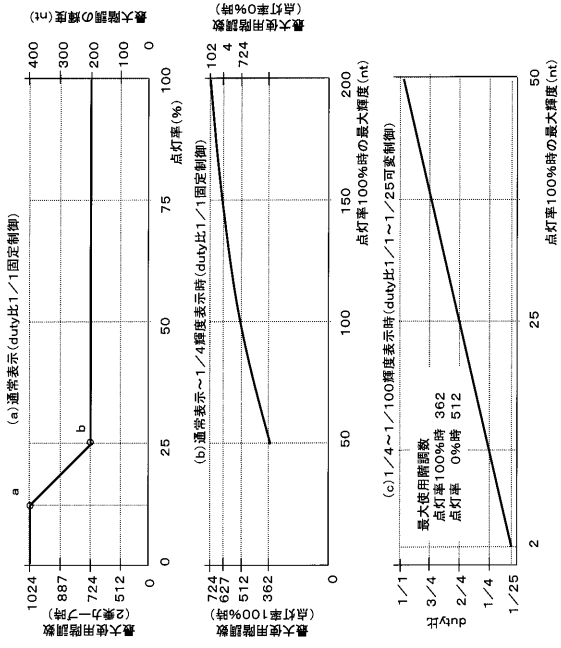
【図 32】



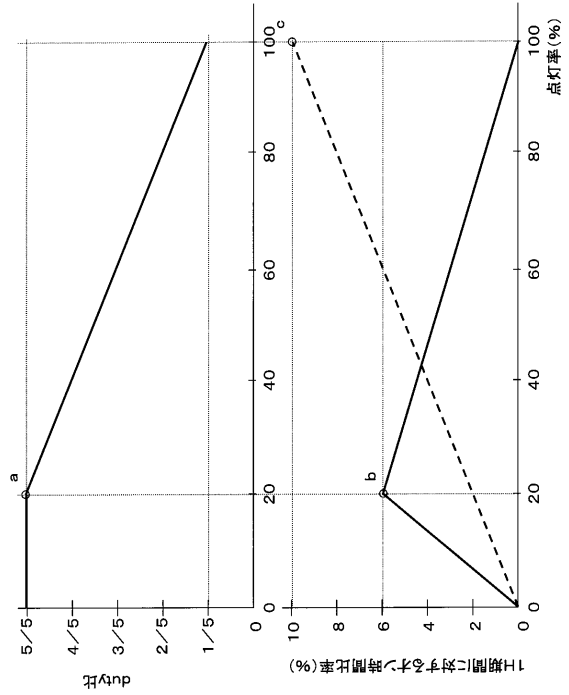
【図 33】



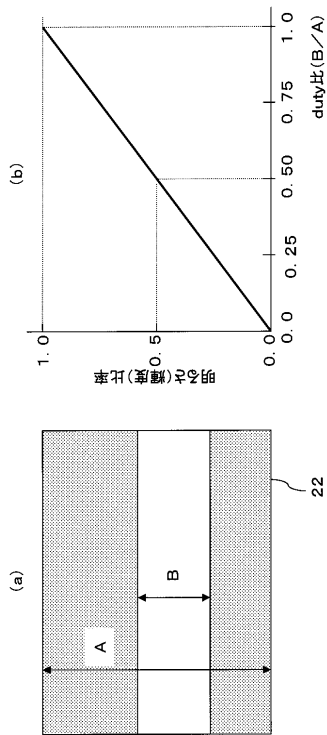
【 図 3 4 】



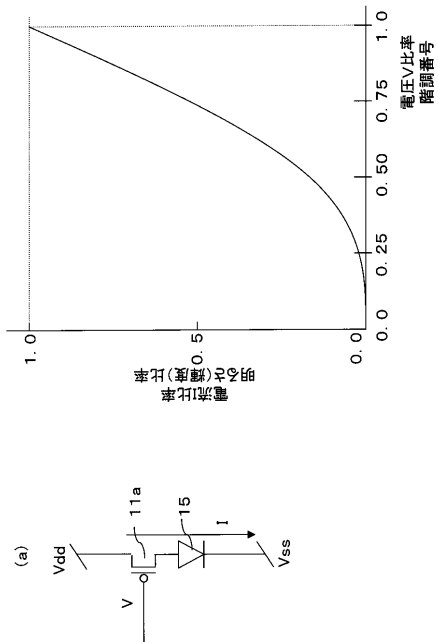
【 図 3 5 】



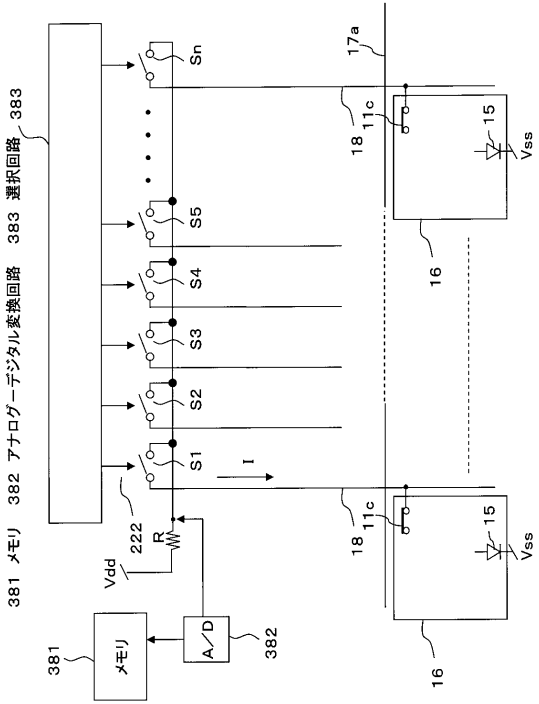
【 図 3 6 】



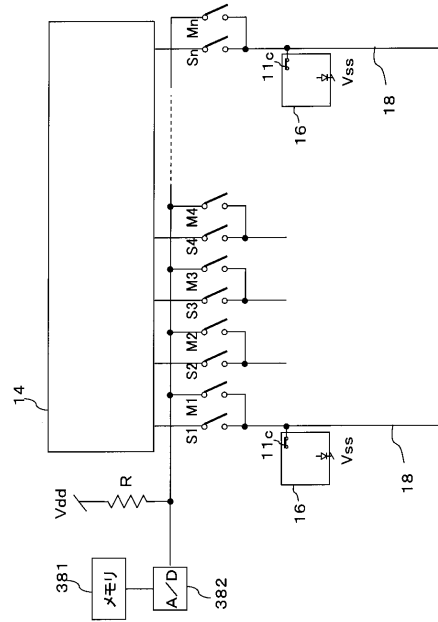
【 図 3 7 】



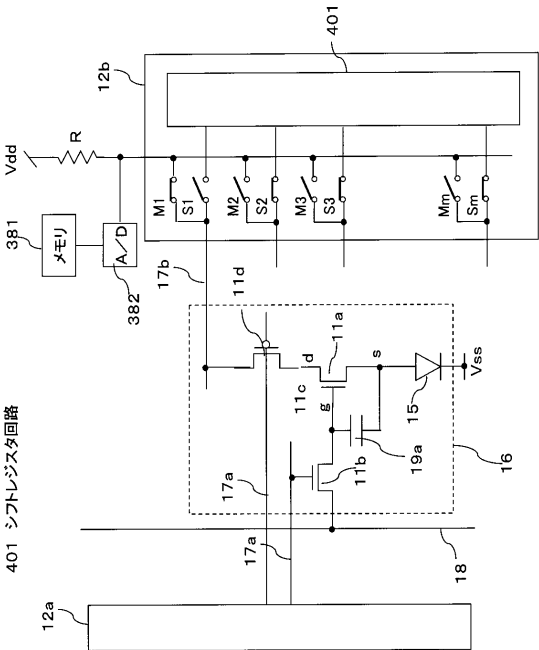
【 図 3 8 】



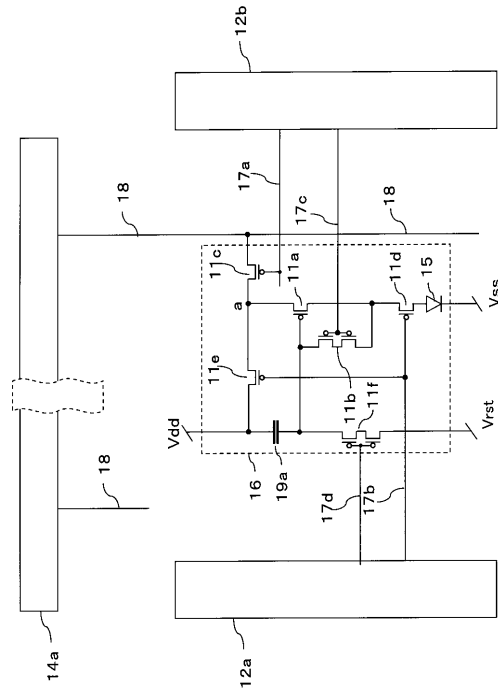
【 図 3 9 】



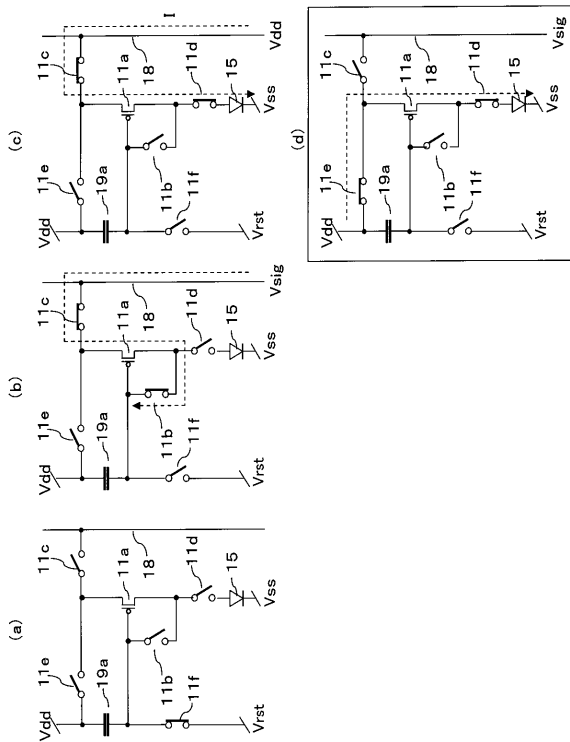
【 図 4 0 】



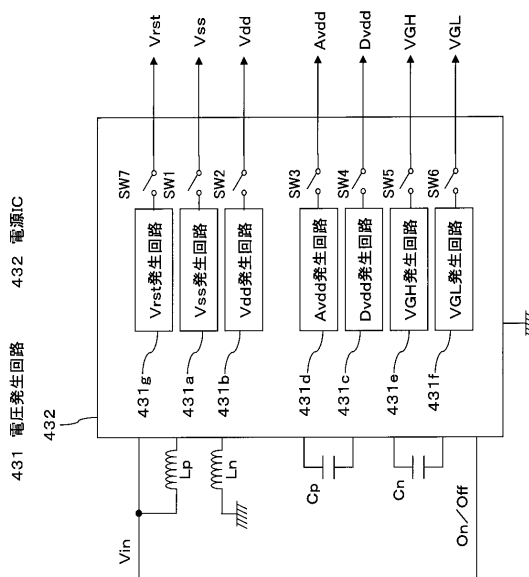
【 図 4 1 】



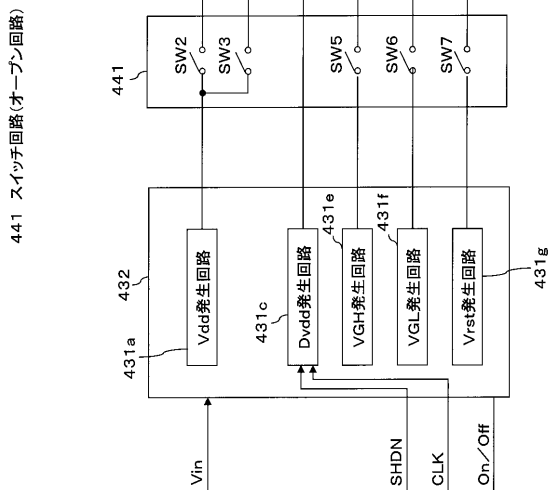
【 図 4 2 】



【 図 4 3 】



【 図 4 4 】



【 図 4 5 】

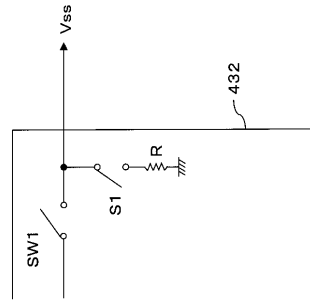
VGH		VGL		Vdd		Vss		Avdd		Vrst	
値	出力電圧(V)	値	出力電圧(V)	値	出力電圧(V)	値	出力電圧(V)	値	出力電圧(V)	値	出力電圧(V)
0	5.0	0	-2.5	0	5.0	0	-2.5	0	4.0	0	-1.0
1	5.5	1	-3.0	1	5.5	1	-3.0	1	4.5	1	-1.5
2	6.0	2	-3.5	2	6.0	2	-3.5	2	5.0	2	-2.0
3	6.5	3	-4.0	3	6.5	3	-4.0	3	5.5	3	-2.5
4	7.0	4	-4.5	4	7.0	4	-4.5	4	6.0	4	-3.0
5	7.5	5	-5.0	5	7.5	5	-5.0	5	6.5	5	-3.5
6	8.0	6	-5.5	6	8.0	6	-5.5	6	7.0	6	-4.0
7	8.5	7	-6.0	7	8.5	7	-6.0	7	7.5	7	-4.5

441 スイッチ回路(オープン回路)

【 図 4 6 】

MODE	ON2	ON1	AVdd	VGH	VGL	Vrst	Vdd	Vss
0	0	0	○	○	○	○	○	○
1	0	1	x	x	x	x	○	○
2	1	0	x	x	x	x	x	x
3	1	1	x	x	x	x	x	x

【 図 4 7 】



【 図 4 8 】

TEST	AVdd	VGH	VGL	Vrst	Vdd	Vss	放電
0	○	○	○	○	○	○	ON
1	○	○	○	○	x	x	OFF
2	○	○	○	○	○	x	OFF
3	x	x	x	x	x	x	OFF

【 図 4 9 】

FL	周波数(MHZ)
0	0.6
1	1.2
2	1.8

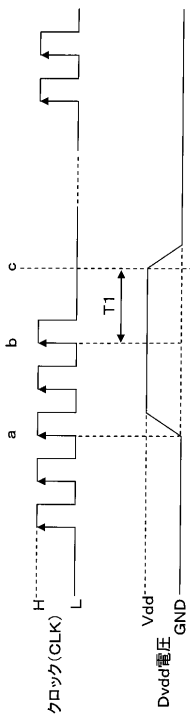
【図 5 0】

MODE	ON2	ON1	AVdd	VGH	VGL	Vrst	Vdd	Vss	備考
0	0	0	x	x	x	x	x	x	
1	0	1	○	○	○	○	x	x	
2	1	0	○	○	○	○	○	○	MODE1→MODE3
3	1	1	○	○	○	○	○	○	MODE1→MODE3

【図 5 1】

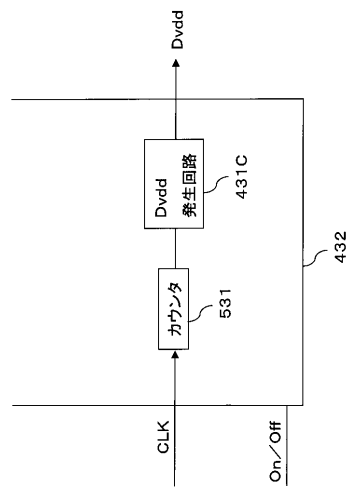
TEST	AVdd	VGH	VGL	Vrst	Vdd	Vss	放電
0	○	○	○	○	○	○	ON
1	○	○	○	○	x	x	OFF
2	○	○	○	○	○	x	OFF
3	○	x	x	x	x	x	ON

【図 5 2】

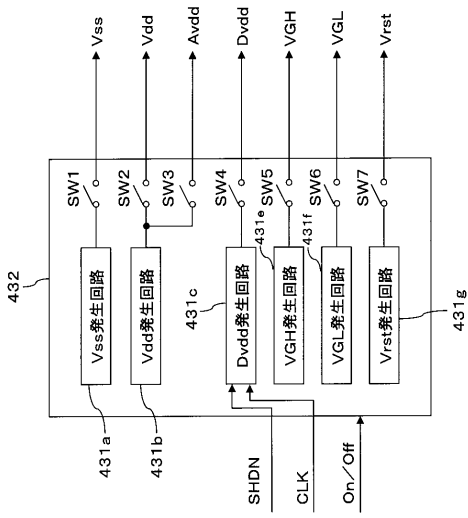


【図 5 3】

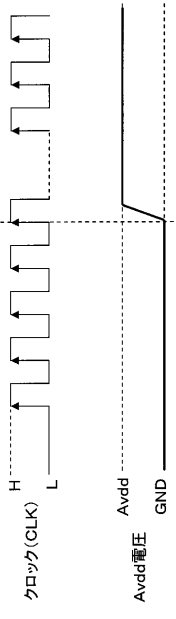
531 カウンタ



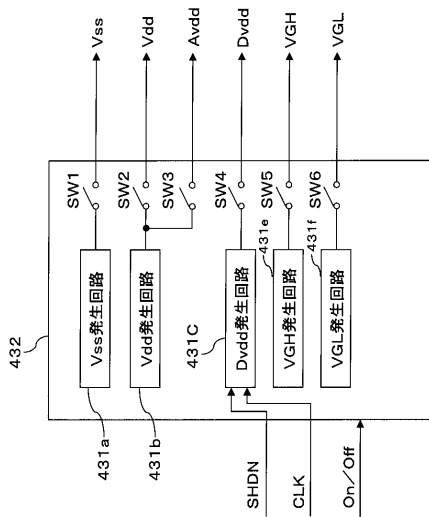
【 図 5 4 】



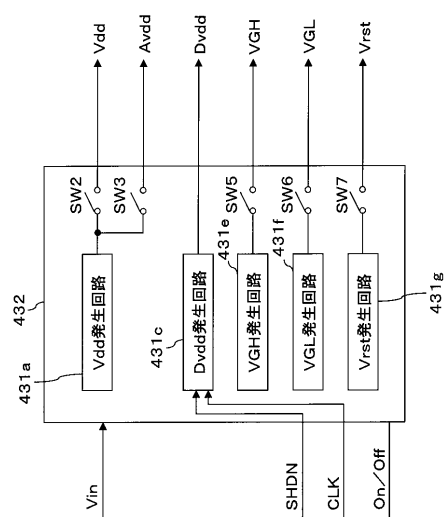
【 図 5 5 】



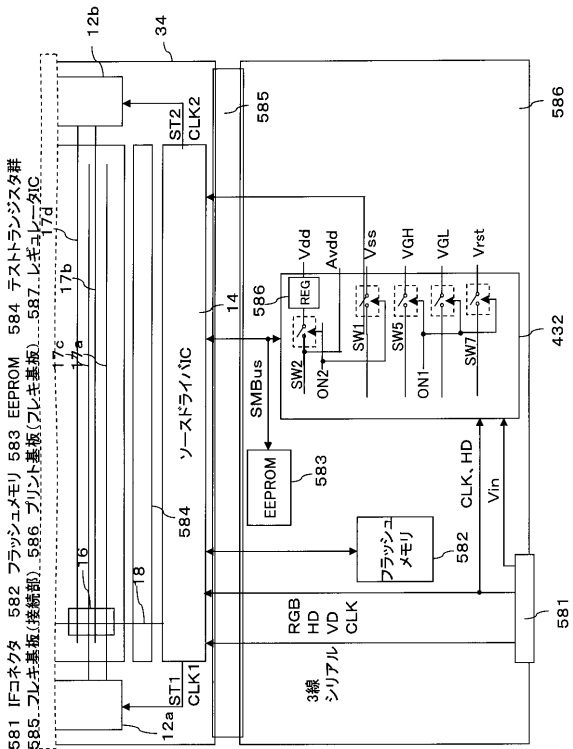
【 図 5 6 】



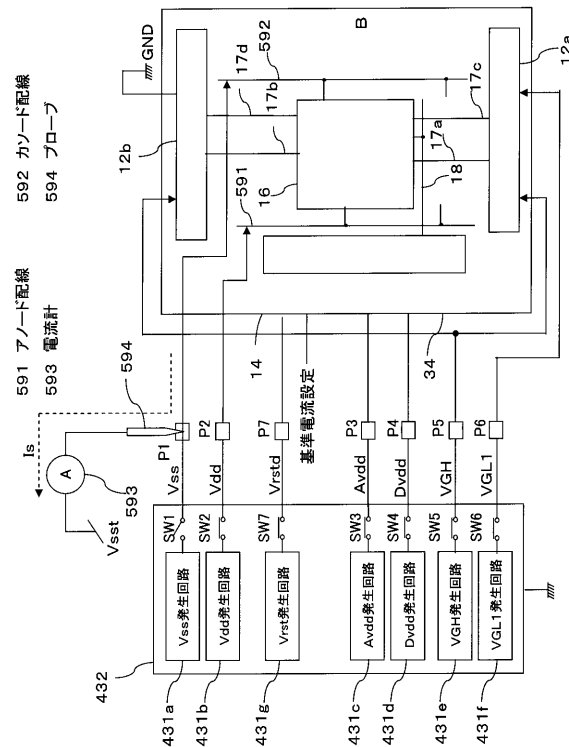
【 図 5 7 】



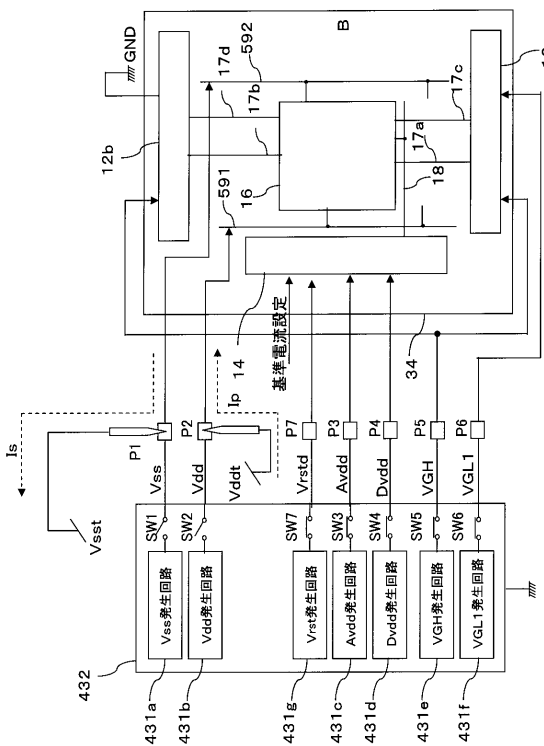
【 図 5 8 】



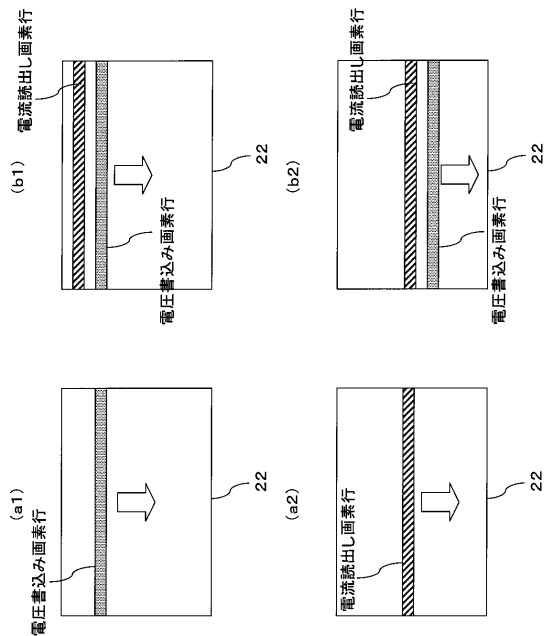
【 図 5 9 】



【 図 6 0 】



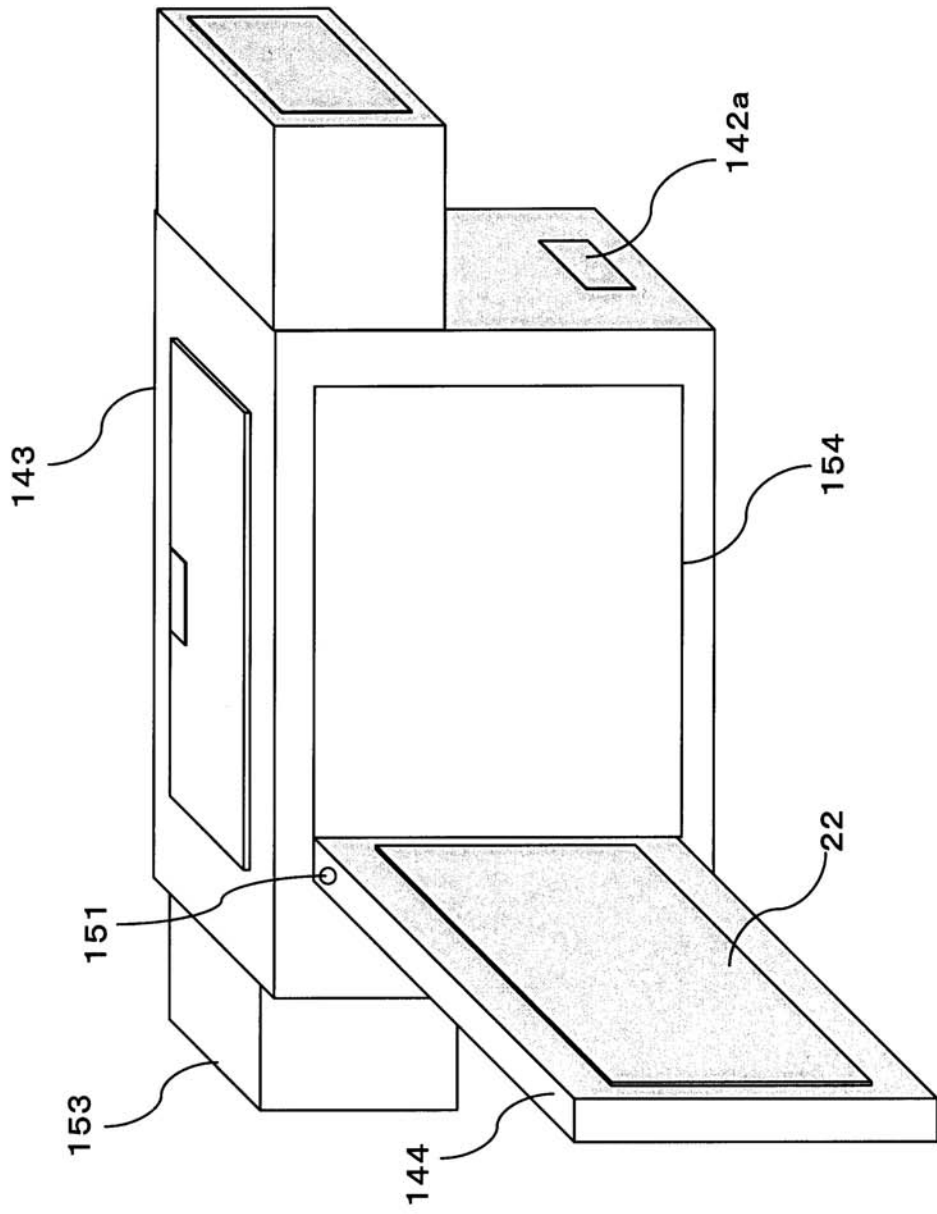
【 図 6 1 】





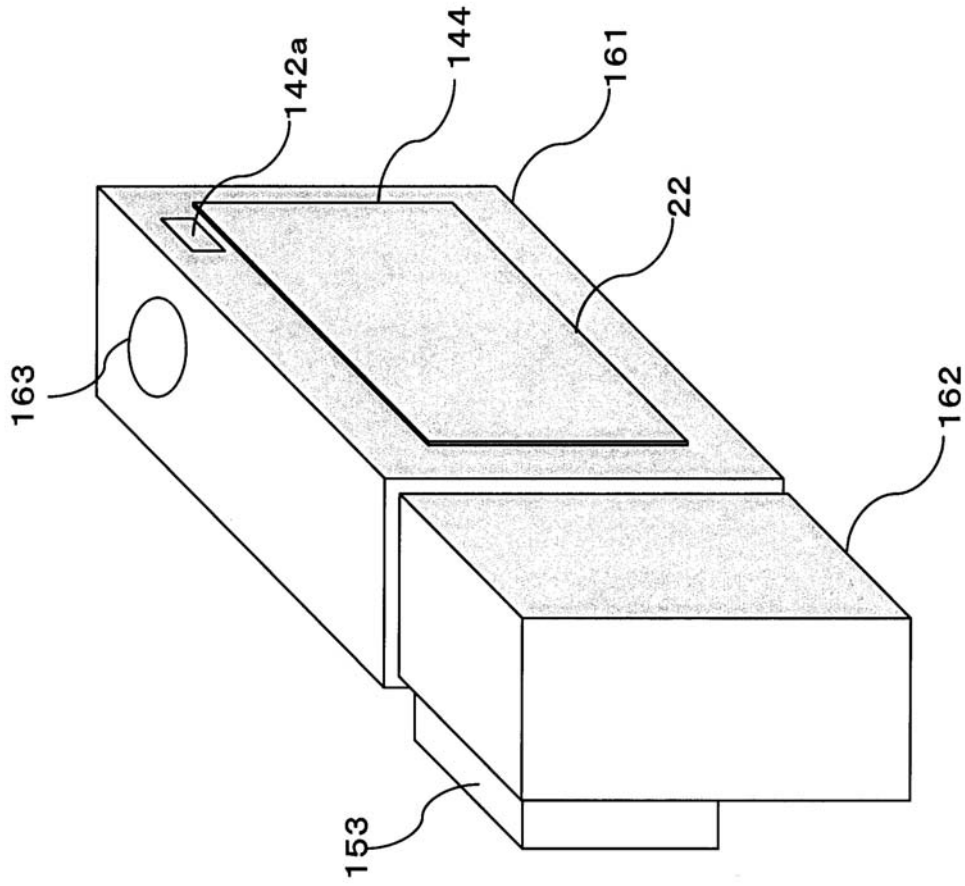
【図15】

- 151 支点
- 153 撮影レンズ
- 154 格納部



【図 16】

161 本体  
162 撮影部  
163 シャッタースイッチ



---

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 2 P

(72)発明者 高原 博司

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH00 HH04

5C080 AA06 BB05 DD05 EE28 FF11 JJ01 JJ02 JJ03 JJ04 JJ05

JJ06

专利名称(译)	EL表示装置		
公开(公告)号	<a href="#">JP2009271333A</a>	公开(公告)日	2009-11-19
申请号	JP2008121889	申请日	2008-05-08
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 H01L51/50 G09G3/20		
FI分类号	G09G3/30.K H05B33/14.A G09G3/30.H G09G3/30.J G09G3/20.642.A G09G3/20.611.H G09G3/20.624.B G09G3/20.642.P G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AC09 5C380/AC11 5C380/BA01 5C380/BA10 5C380/BA23 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BA47 5C380/BB04 5C380/BB09 5C380/BB12 5C380/BB14 5C380/BB23 5C380/BE05 5C380/CA08 5C380/CA12 5C380/CA17 5C380/CA31 5C380/CB01 5C380/CB17 5C380/CB18 5C380/CB26 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD023 5C380/CD024 5C380/CE02 5C380/CE03 5C380/CE09 5C380/CF05 5C380/CF07 5C380/CF18 5C380/CF19 5C380/CF27 5C380/CF37 5C380/CF41 5C380/CF43 5C380/CF45 5C380/CF48 5C380/CF49 5C380/CF51 5C380/CF56 5C380/CF58 5C380/CF64 5C380/DA06 5C380/DA35 5C380/DA39 5C380/DA40 5C380/DA42 5C380/DA47 5C380/FA03 5C380/FA13 5C380/FA21 5C380/FA22 5C380/FA28 5C380/GA01 5C380/GA15 5C380/HA06		
代理人(译)	中村聪 富田克幸 夫 世进		
其他公开文献	JP2009271333A5		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种用于改善显示不均的EL显示装置。解决方案：在施加如图3A所示的复位电压 $V_{rst}$ 之后，视频信号电压 $V_{sig}$ 从源信号线18施加到驱动晶体管11a，如图2B所示。接下来，如图6C所示，将阳极电压 $V_{dd}$ 施加到源信号线18，并且测量流过源信号线18的电流 $I$ 。从测量的电流 $I$ 获得像素的驱动晶体管11a的特性。[选择图]图42

