

【特許請求の範囲】**【請求項 1】**

映像信号線と複数の画素とを具備し、前記複数の画素の各々は、

第1制御端子と、第1電源端子に接続された第1入力端子と、前記第1制御端子と前記第1入力端子との間の電圧に対応した大きさの電流を出力する第1出力端子とを含んだ第1駆動制御素子と、

前記第1出力端子と前記第1制御端子と前記映像信号線との接続を、それらが互いに接続された第1状態と、それらが互いから切断された第2状態との間で切り替え可能とするスイッチ群と、

前記第1制御端子に接続された第2制御端子と、第2入力端子と、前記第2制御端子と前記第2入力端子との間の電圧に対応した大きさの電流を出力する第2出力端子とを含んだ第2駆動制御素子と、

出力制御スイッチと、

前記第1出力端子と第2電源端子との間で前記第2駆動制御素子及び前記出力制御スイッチと直列に接続された表示素子とを具備したことを特徴とする表示装置。

【請求項 2】

前記複数の画素を順次選択し、或る画素を選択している選択期間ではその選択している画素に対して書き動作を行うコントローラを更に具備し、前記書き動作は、前記出力制御スイッチを開いている期間内に、前記接続を前記第1状態として前記映像信号線に映像信号である書き電流を流し、次いで、前記接続を前記第2状態とすることを含んだことを特徴とする請求項1に記載の表示装置。

【請求項 3】

映像信号線と複数の画素とを具備し、前記複数の画素の各々は、

第1制御端子と、第1電源端子に接続された第1入力端子と、前記第1制御端子と前記第1入力端子との間の電圧に対応した大きさの電流を出力する第1出力端子とを含んだ第1駆動制御素子と、

前記第1制御端子に接続された第2制御端子と、第2入力端子と、前記第2制御端子と前記第2入力端子との間の電圧に対応した大きさの電流を出力する第2出力端子とを含んだ第2駆動制御素子と、

前記第1及び第2出力端子と前記第1制御端子と前記映像信号線との第1接続を、それらが互いに接続された第1状態と、それらが互いから切断された第2状態との間で切り替え可能とする第1スイッチ群と、

前記第2入力端子と前記第1電源端子と前記第1出力端子との第2接続を、前記第2入力端子が前記第1電源端子に接続され且つ前記第1出力端子から切断された第3状態と、前記第2入力端子が前記第1電源端子から切断され且つ前記第1出力端子に接続された第4状態との間で切り替え可能とする第2スイッチ群と、

出力制御スイッチと、

前記第2出力端子と第2電源端子との間で前記出力制御スイッチと直列に接続された表示素子とを具備したことを特徴とする表示装置。

【請求項 4】

前記複数の画素を順次選択し、或る画素を選択している選択期間ではその選択している画素に対して書き動作を行うコントローラを更に具備し、前記書き動作は、前記出力制御スイッチを開いている期間内に、前記第1接続を前記第1状態とし且つ前記第2接続を前記第3状態として前記映像信号線に映像信号である書き電流を流し、次いで、前記第1接続を前記第2状態とすることを含んだことを特徴とする請求項3に記載の表示装置。

【請求項 5】

一方の電極が前記第1制御端子に接続されたキャパシタを更に具備したことを特徴とする請求項1乃至4の何れか1項に記載の表示装置。

【請求項 6】

前記表示素子は有機EL素子であることを特徴とする請求項1乃至5の何れか1項に記

10

20

30

40

50

載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

有機エレクトロルミネッセンス(EL)表示装置のように表示素子の光学特性をそれに流す駆動電流によって制御する表示装置では、画素間で駆動電流の大きさがばらつくと、輝度むら等の画質不良が生じる。それゆえ、そのような表示装置でアクティブマトリクス駆動方式を採用した場合には、駆動電流の大きさを制御する駆動制御素子の特性が各画素間でほぼ同一であることが要求される。しかしながら、この表示装置では、通常、駆動制御素子をガラス基板などの絶縁体上に形成するため、その特性にばらつきを生じ易い。

10

【0003】

特許文献1には、画素回路がカレントミラー回路を含んだ有機EL表示装置が記載されている。

【0004】

この画素回路は、駆動制御素子であるnチャネル電界効果トランジスタと、有機EL素子と、キャパシタとを含んでいる。nチャネル電界効果トランジスタのソースは低電位の電源線に接続されており、キャパシタはnチャネル電界効果トランジスタのゲートと先の電源線との間に接続されている。また、有機EL素子の陽極は、より高電位の電源線に接続されている。

20

【0005】

この画素回路は、以下の方法で駆動する。

まず、nチャネル電界効果トランジスタのドレインとゲートとを接続し、この状態でnチャネル電界効果トランジスタのドレイン-ソース間に映像信号に対応した大きさの電流 I_{sig} を流す。この動作により、キャパシタの両電極間の電圧は、nチャネル電界効果トランジスタのチャネルに電流 I_{sig} を流すのに必要なゲート-ソース間電圧に設定される。

30

【0006】

次に、nチャネル電界効果トランジスタのドレインとゲートとの接続を断ち、キャパシタの両電極間の電圧を保持する。続いて、nチャネル電界効果トランジスタのドレインを有機EL素子の陰極に接続する。これにより、有機EL素子には、先の電流 I_{sig} とほぼ等しい大きさの駆動電流 I_{drv} が流れる。有機EL素子は、この駆動電流 I_{drv} の大きさに対応した輝度で発光する。

40

【0007】

このように、上記の構成を採用すると、書き込み期間において映像信号として供給した電流 I_{sig} とほぼ等しい大きさの駆動電流 I_{drv} を、書き込み期間に続く保持期間においてもnチャネル電界効果トランジスタのドレインとソースとの間に流すことができる。それゆえ、nチャネル電界効果トランジスタの閾値 V_{th} だけでなく移動度や寸法などが駆動電流 I_{drv} に与える影響も排除することができる。

【0008】

しかしながら、上記の表示装置には、小さな駆動電流 I_{drv} に対応した映像信号 I_{sig} の書き込みが難しいという問題がある。そのため、この表示装置では、低階調域内の各階調を高い再現性で表示することが難しい。

【特許文献1】米国特許第6373454号明細書

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の目的は、画素に映像信号として電流信号を供給する表示装置において、低階調

50

の再現性を高めることにある。

【課題を解決するための手段】

【0010】

本発明の第1側面によると、映像信号線と複数の画素とを具備し、前記複数の画素の各々は、第1制御端子と、第1電源端子に接続された第1入力端子と、前記第1制御端子と前記第1入力端子との間の電圧に対応した大きさの電流を出力する第1出力端子とを含んだ第1駆動制御素子と、前記第1出力端子と前記第1制御端子と前記映像信号線との接続を、それらが互いに接続された第1状態と、それらが互いから切断された第2状態との間で切り替え可能とするスイッチ群と、前記第1制御端子に接続された第2制御端子と、第2入力端子と、前記第2制御端子と前記第2入力端子との間の電圧に対応した大きさの電流を出力する第2出力端子とを含んだ第2駆動制御素子と、出力制御スイッチと、前記第1出力端子と第2電源端子との間で前記第2駆動制御素子及び前記出力制御スイッチと直列に接続された表示素子とを具備したことを特徴とする表示装置が提供される。

【0011】

本発明の第2側面によると、映像信号線と複数の画素とを具備し、前記複数の画素の各々は、第1制御端子と、第1電源端子に接続された第1入力端子と、前記第1制御端子と前記第1入力端子との間の電圧に対応した大きさの電流を出力する第1出力端子とを含んだ第1駆動制御素子と、前記第1制御端子に接続された第2制御端子と、第2入力端子と、前記第2制御端子と前記第2入力端子との間の電圧に対応した大きさの電流を出力する第2出力端子とを含んだ第2駆動制御素子と、前記第1及び第2出力端子と前記第1制御端子と前記映像信号線との第1接続を、それらが互いに接続された第1状態と、それらが互いから切断された第2状態との間で切り替え可能とする第1スイッチ群と、前記第2入力端子と前記第1電源端子と前記第1出力端子との第2接続を、前記第2入力端子が前記第1電源端子に接続され且つ前記第1出力端子から切断された第3状態と、前記第2入力端子が前記第1電源端子から切断され且つ前記第1出力端子に接続された第4状態との間で切り替え可能とする第2スイッチ群と、出力制御スイッチと、前記第2出力端子と第2電源端子との間で前記出力制御スイッチと直列に接続された表示素子とを具備したことを特徴とする表示装置が提供される。

【発明の効果】

【0012】

本発明によると、画素に映像信号として電流信号を供給する表示装置において、低階調の再現性を高めることが可能となる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、全ての図面を通じて、同様又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0014】

図1は、本発明の第1態様に係る表示装置を概略的に示す平面図である。図2は、図1の表示装置に採用可能な構造の一例を概略的に示す断面図である。図3は、図1の表示装置が含む画素の等価回路図である。

【0015】

図1に示す表示装置は、アクティブマトリクス駆動方式を採用した上面発光型有機EL表示装置である。この表示装置は、表示パネルDPとコントローラとを含んでいる。

【0016】

表示パネルDPは、図1及び図2に示すように、アレイ基板ASと封止基板CSとを含んでいる。アレイ基板ASと封止基板CSとは、向き合っており、中空体を形成している。具体的には、封止基板CSの中央部は、アレイ基板ASから離間している。封止基板CSの周縁部は、図2に示すシール層SSを介して、アレイ基板ASの一方の正面に貼り付けられている。

10

20

30

40

50

【0017】

アレイ基板ASは、図1及び図2に示す絶縁基板SUBを含んでいる。絶縁基板SUBは、例えばガラス基板である。

【0018】

基板SUB上には、図2に示すアンダーコート層UCが形成されている。アンダーコート層UCは、例えば、基板SUB上に、シリコン窒化物層とシリコン酸化物層とをこの順に積層してなる。

【0019】

アンダーコート層UC上には、例えば不純物を含有したポリシリコンからなる半導体パターンが形成されている。この半導体パターンの一部は、半導体層SCとして利用している。半導体層SCには、ソース及びドレインとして利用する不純物拡散領域が形成されている。また、この半導体パターンの他の一部は、後述するキャパシタの下部電極として利用している。

10

【0020】

半導体パターンは、ゲート絶縁膜GIで被覆されている。ゲート絶縁膜GIは、例えばTEOS(tetraethyl orthosilicate)を用いて形成することができる。

【0021】

ゲート絶縁膜GI上には、図1に示す走査信号線SL1及びSL2などの下層配線が形成されている。走査信号線SL1及びSL2は、画素PXの行に沿ったX方向に延びており、画素PXの列に沿ったY方向に交互に配列している。走査信号線SL1及びSL2は、例えばMOWからなる。なお、Z方向は、X方向とY方向とに垂直な方向である。

20

【0022】

ゲート絶縁膜GI上には、キャパシタの上部電極が更に配置されている。これら上部電極は、上述した下部電極と向き合っている。上部電極は、例えばMOWからなり、走査信号線SL1及びSL2と同一の工程で形成することができる。

【0023】

下層配線及び上部電極を含んだ第1導体パターンは、図2に示す半導体層SCと交差している。これらの交差部は、図1及び図3に示す画素PXなどの電界効果トランジスタを構成している。

30

【0024】

具体的には、走査信号線SL1と半導体層SCとの交差部は、出力制御スイッチであるスイッチングトランジスタSWaを構成している。走査信号線SL2と半導体層SCとの交差部は、スイッチングトランジスタであるスイッチSWb1乃至SWb3を構成している。また、先に説明した下部電極と上部電極とそれらの間に介在した絶縁膜GIとは、キャパシタCを構成している。上部電極は、キャパシタCからZ方向に垂直な方向に突き出した2つの突出部を含んでおり、これら突出部と半導体層SCとは交差している。これら交差部は、各々が駆動制御素子である駆動トランジスタDR1及びDR2を構成している。

【0025】

なお、この例では、画素PXが含んでいるトランジスタは、トップゲート型のpチャネル薄膜トランジスタである。また、図2に参照符号Gで示す部分は、スイッチングトランジスタSWaのゲートである。

40

【0026】

ゲート絶縁膜GI及び第1導体パターンは、図2に示す層間絶縁膜IIで被覆されている。層間絶縁膜IIは、例えばプラズマCVD法により堆積させたシリコン酸化物からなる。

【0027】

層間絶縁膜II上には、図1及び図3に示す映像信号線DL及び電源線PSLなどの上層配線が形成されている。映像信号線DLは、Y方向に延びてあり、X方向に配列している。電源線PSLは、例えば、Y方向に延びてあり、X方向に配列している。

【0028】

50

層間絶縁膜 I I 上には、図 2 に示すソース電極 S E 及びドレイン電極 D E が更に形成されている。ソース電極 S E 及びドレイン電極 D E は、画素 P X の各々において素子同士を接続している。

【 0 0 2 9 】

映像信号線 D L と電源線 P S L とソース電極 S E とドレイン電極 D E とを含む第 2 導体パターンは、例えば、M o / A l / M o の三層構造を有している。これらは、同一工程で形成可能である。

【 0 0 3 0 】

第 2 導体パターンは、パッシベーション膜 P S で被覆されている。パッシベーション膜 P S には、スイッチングトランジスタ S W a のドレインに接続されたドレイン電極 D E に対応した位置などに貫通孔が形成されている。パッシベーション膜 P S は、例えばシリコン窒化物からなる。

10

【 0 0 3 1 】

パッシベーション膜 P S は、有機平坦化層 P L で被覆されている。平坦化層 P L には、パッシベーション膜 P S の貫通孔と連続した貫通孔が設けられている。

【 0 0 3 2 】

平坦化層 P L 上には、画素電極 P E が、画素 P X に対応して配置されている。これら画素電極 P E は、光反射性の背面電極である。本態様では、画素電極 P E は陽極である。各画素電極 P E は、平坦化層 P L 及びパッシベーション膜 P S に設けた貫通孔を介してドレイン電極 D E に接続されており、このドレイン電極はスイッチングトランジスタ S W a のドレインに接続されている。

20

【 0 0 3 3 】

画素電極 P E は、単層構造を有していてもよく、多層構造を有していてもよい。例えば、画素電極 P E として、金属層、透明導電体層、又は金属層と透明導電体層との積層体を使用することができる。金属層の材料としては、例えば、アルミニウム、銀又はそれらの合金を使用することができます。透明導電体層の材料としては、例えば、インジウム錫酸化物などの透明導電性酸化物を使用することができます。なお、画素電極 P E として透明導電体層を使用する場合、典型的には、画素電極 P E の背面側に反射層を設置する。また、画素電極 P E として金属層と透明導電体層との積層体を使用する場合、金属層は、透明導電体層と平坦化層 P L との間に設置する。

30

【 0 0 3 4 】

パッシベーション膜 P S 上には、更に、絶縁樹脂層である隔壁絶縁層 P I が形成されている。隔壁絶縁層 P I には、画素電極 P E に対応した位置に開口が設けられている。これら開口は、例えば、画素電極 P E に対応して配列した貫通孔であるか、或いは、画素電極 P E が形成する列に対応して配列したスリットである。ここでは、一例として、先の開口は、画素電極 P E に対応して配列した貫通孔であることとする。隔壁絶縁層 P I は、例えば、フォトリソグラフィ技術を用いて形成することができる。

【 0 0 3 5 】

各画素電極 P E 上には、活性層 A L が形成されている。活性層 A L が含んでいる各層は、画素 P X に対応してパターニングされていてもよい。或いは、活性層 A L が含んでいる各層は、画素 P X 間で繋がっていてもよい。

40

【 0 0 3 6 】

活性層 A L は、有機発光層を含んでいる。活性層 A L は、発光層に加え、正孔輸送層及び電子輸送層の少なくとも一方を更に含むことができる。

【 0 0 3 7 】

隔壁絶縁層 P I 及び活性層 A L は、共通電極 C E で被覆されている。共通電極 C E は、可視光透過性の前面電極である。また、本態様では、共通電極 C E は陰極である。共通電極 C E は、例えば、平坦化層 P L とパッシベーション膜 P S と隔壁絶縁層 P I とに設けられたコンタクトホールを介して、映像信号線 D L が形成されたのと同一の層上に形成された電極配線（図示せず）に電気的に接続されている。

50

【0038】

各々の有機EL素子OLEDは、画素電極PEと、活性層ALと、共通電極CEとを含んでいる。なお、発光層と正孔輸送層との間には、電子プロッキング層を挿入してもよい。発光層と電子輸送層との間には、正孔プロッキング層を挿入してもよい。また、正孔輸送層と陽極である画素電極PEとの間には、正孔注入層を挿入してもよい。電子輸送層と陰極である共通電極CEとの間には、電子注入層を挿入してもよい。

【0039】

画素PXの各々は、第1駆動制御素子と、キャパシタと、スイッチ群と、第2駆動制御素子と、出力制御スイッチと、表示素子とを含んでいる。

【0040】

第1駆動制御素子は、第1制御端子と、第1電源端子ND1に接続された第1入力端子と、第1制御端子と第1入力端子との間の電圧に対応した大きさの電流を出力する第1出力端子とを含んでいる。この例では、電源端子ND1は高電位源端子であり、第1駆動制御素子は駆動トランジスタDR1からなる。駆動トランジスタDR1は、ソースが電源端子ND1に接続されている。第1駆動制御素子は、複数のトランジスタを含んでいてよい。

10

【0041】

キャパシタは、第1制御端子に接続された電極を含んでいる。この例では、駆動トランジスタDRのゲートと定電位端子ND1'との間にキャパシタCが接続されている。定電位端子ND1'は、例えば、電源端子ND1に接続する。キャパシタCは、省略することができる。

20

【0042】

スイッチ群は、第1出力端子と第1制御端子と映像信号線との接続を、それらが互いに接続された第1状態と、それらが互いから切断された第2状態との間で切り替え可能とする。この例では、スイッチ群は、スイッチングトランジスタであるスイッチSWb1乃至SWb3で構成されている。

30

【0043】

スイッチSWb1乃至SWb3のゲートは、走査信号線SL2に接続されている。スイッチSWb1は、ドレインが映像信号線に接続されている。スイッチSWb2は、駆動トランジスタDR1のゲートとスイッチSWb1のソースとの間に接続されている。スイッチSWb3は、ソースが駆動トランジスタDR1のドレインに接続され、ドレインがスイッチSWb1のソースに接続されている。

【0044】

スイッチSWb1乃至SWb3の接続は、変更可能である。例えば、スイッチSWb2は、駆動トランジスタDR1のゲートと映像信号線DLとの間に接続してもよい。スイッチSWb3は、駆動トランジスタDR1のドレインとゲートとの間に接続してもよい。また、スイッチ群は、更に他のスイッチを含んでいてもよい。

40

【0045】

第2駆動制御素子は、第1制御端子に接続された第2制御端子と、第2入力端子と、第2制御端子と第2入力端子との間の電圧に対応した大きさの電流を出力する第2出力端子とを含んでいる。この例では、第2駆動制御素子は、駆動トランジスタDR2からなる。駆動トランジスタDR2のソース及びゲートは、それぞれ駆動トランジスタDR1のドレイン及びゲートに接続されている。第2駆動制御素子は、複数のトランジスタを含んでいてよい。

【0046】

出力制御スイッチは、この例では、スイッチングトランジスタSWaからなる。スイッチングトランジスタSWaは、ゲートが走査信号線SL1に接続され、ソースが駆動トランジスタDR2のドレインに接続されている。出力制御スイッチは、更に他のトランジスタを含んでいてもよい。

【0047】

50

表示素子は、第1出力端子と第2電源端子N D 2との間で第2駆動制御素子及び出力制御スイッチと直列に接続されている。この例では、電源端子N D 2は、電源端子N D 1と比較してより低い電位に設定される低電位電源端子である。また、この例では、表示素子は有機E L 素子O L E Dであり、その陽極はスイッチングトランジスタS W aのドレインに接続され、陰極は電源端子N D 2に接続されている。表示素子と第2駆動制御素子と出力制御スイッチとの接続順は任意である。

【0048】

封止基板C Sは、図1及び図2に示すように、アレイ基板A Sと向き合っている。具体的には、封止基板C Sは、有機E L 素子O L E Dを間に挟んで基板S U Bと向き合っている。封止基板C Sは、例えばガラス基板である。

10

【0049】

シール層S Sは、図2に示すように、アレイ基板A Sと封止基板C Sとの間に介在している。シール層S Sは、枠形状を有しており、有機E L 素子O L E Dによって規定される表示領域を取り囲んでいる。シール層S Sの材料としては、例えば、接着剤を使用することができる。

【0050】

アレイ基板A Sと封止基板C Sとシール層S Sとは、気密な中空体を形成している。この空間は、例えば、真空とするか又は不活性ガスで満たす。

【0051】

アレイ基板A Sは、映像信号線ドライバX D Rと走査信号線ドライバY D Rとを搭載している。

20

【0052】

映像信号線ドライバX D Rには、映像信号線D Lが接続されている。映像信号線ドライバX D Rは、これら映像信号線D Lに、映像信号として、電流信号、即ち書き電流を出力する。映像信号線ドライバX D Rは、アレイ基板A S上に実装してもよく、アレイ基板A Sに形成してもよい。或いは、映像信号線ドライバX D Rをフレキシブルプリント回路基板に搭載してなるテープキャリアパッケージをアレイ基板A Sに接続してもよい。

【0053】

走査信号線ドライバY D Rには、走査信号線S L 1及びS L 2が接続されている。走査信号線ドライバY D Rは、走査信号線S L 1及びS L 2にそれぞれ第1及び第2走査信号を電圧信号として出力する。

30

【0054】

映像信号線ドライバX D R及び走査信号線ドライバY D Rは、図示しない外部回路に接続されている。外部回路は、映像信号線ドライバX D Rに映像信号を供給すると共に、映像信号線ドライバX D R及び走査信号線ドライバY D Rにそれらの動作を制御する制御信号等を供給する。この外部回路と映像信号線ドライバX D Rと走査信号線ドライバY D Rとは、コントローラを構成している。

【0055】

なお、電源線P S Lは、例えば、映像信号線ドライバX D R及び/又は走査信号線ドライバY D Rを介して、図示しない外部電源に接続する。こうすると、外部電源から、映像信号線ドライバX D R及び/又は走査信号線ドライバY D Rを介して、電源線P S Lに電源電圧を供給することができる。

40

【0056】

この表示装置は、例えば、以下の方法により駆動する。

図4は、図1に示す表示装置の駆動方法の一例を概略的に示すタイミングチャートである。

【0057】

図4において、横軸は時間を示し、縦軸は電位を示している。また、図4において、「X D R出力」のうち、「 $I_{sig}(m + M)$ 」と表記した期間は映像信号線ドライバX D Rが映像信号線D Lに映像信号 $I_{sig}(m + M)$ を出力する期間を示している。更に、図4

50

において、「S L 1電位」及び「S L 2電位」で示す波形は、走査信号線 S L 1 及び S L 2 の電位をそれぞれ示している。

【0058】

図4の方法では、図1の表示装置を以下のように駆動する。なお、ここでは、簡略化のため、駆動トランジスタ D R 1 及び D R 2 は特性が互いに等しいとする。

【0059】

この駆動方法では、画素 P X が形成する行を順次選択する。選択した行が含む画素 P X では書込動作を実施する。非選択の行が含む画素 P X では表示動作を実施する。

【0060】

m行目の画素 P X で或る階調を表示する場合、m行目の画素 P X を選択する期間である m行目選択期間の開始と同時に又はこれに先立ち、走査信号線ドライバ Y D R から、m行目の画素 P X が接続された走査信号線 S L 1 に、出力制御スイッチ S W a を開く、即ち、スイッチ S W a を非導通状態とする走査信号を電圧信号として出力する。出力制御スイッチ S W a を開いている書込期間内に、以下の書込動作を実施する。

10

【0061】

まず、走査信号線ドライバ Y D R から、m行目の画素 P X が接続された走査信号線 S L 2 に、スイッチ S W b 1 乃至 S W b 3 を閉じる、即ち、スイッチ S W b 1 乃至 S W b 3 を導通状態とする走査信号を電圧信号として出力する。このとき、スイッチ S W a は、開いたままにしておく。そして、映像信号線ドライバ X D R から、各映像信号線 D L に、m行目の画素 P X に供給すべき映像信号を電流信号(書込電流) I_{sig} として出力する。

20

【0062】

スイッチ S W b 3 は閉じているので、駆動トランジスタ D R 2 のソースとドレインとは同電位である。それゆえ、駆動トランジスタ D R 1 にのみ書込電流 I_{sig} が流れ、駆動トランジスタ D R 1 のゲート - ソース間電圧 V_{gs} は、先の映像信号 I_{sig} に対応した大きさに設定される。

【0063】

その後、走査信号線ドライバ Y D R から、m行目の画素 P X が接続された走査信号線 S L 2 に、スイッチ S W b 1 乃至 S W b 3 を開く走査信号を電圧信号として出力する。以上のようにして、書込動作を終了する。m行目選択期間は、m行目の画素 P X への書込動作の終了と同時又はその後に終了する。

30

【0064】

m行目の画素 P X への書込動作の終了と同時に、表示動作を開始する。即ち、走査信号線ドライバ Y D R から、m行目の画素 P X が接続された走査信号線 S L 1 に、スイッチ S W a を閉じる走査信号を電圧信号として出力する。そして、スイッチ S W a は閉じたままでし、スイッチ S W b 1 乃至 S W b 3 は開いたままでする。この状態では、駆動トランジスタ D R 1 及び D R 2 は直列に接続されているので、有機 E L 素子 O L E D には、ゲート - ソース間電圧が V_{gs} であるときに駆動トランジスタ D R 1 が出力する電流の約 1 / 2 倍の大きさの電流が駆動電流 I_{drv} として流れ。有機 E L 素子 O L E D は、駆動電流 I_{drv} の大きさに対応した輝度で発光する。

40

【0065】

ところで、低階調域内の階調は、有機 E L 素子 O L E D に小さな駆動電流 I_{drv} を流すことにより表示する。従って、書込電流 I_{sig} の大きさが駆動電流 I_{drv} の大きさとほぼ等しい場合、低階調域内の階調を表示するためには、書込電流 I_{sig} を著しく小さくしなければならない。書込電流 I_{sig} が小さいと、映像信号線 D L の配線容量などの影響で、選択した画素 P X への映像信号の書き込みを完了する前に書込動作が終了する可能性がある。即ち、駆動トランジスタのゲート - ソース間電圧が変化している途中で書込動作が終了する可能性がある。この場合、低階調を高い再現性で表示することはできない。

【0066】

低階調は、例えば、書込電流 I_{sig} の大きさを例えれば 2 倍にし、出力制御スイッチ S W a を閉じている期間を 1 / 2 倍にすることにより、高い再現性で表示することが可能であ

50

る。しかしながら、この駆動方法によると、高階調を表示する場合に、有機EL素子OLEDに著しく大きな駆動電流 I_{drv} を流すこととなる。そのため、この駆動方法を採用すると、有機EL素子OLEDの劣化が早期に生じる可能性がある。

【0067】

図4を参照しながら説明した駆動方法によると、上記の通り、駆動電流 I_{drv} の大きさを変更せずに、駆動電流 I_{drv} の大きさを書き電流 I_{sig} の約1/2倍とすることができる。従って、この駆動方法によると、寿命特性を犠牲にすることなしに、低階調を高い再現性で表示することが可能となる。

【0068】

次に、本発明の第2態様について説明する。

10

図5は、本発明の第2態様に係る表示装置が含む画素の等価回路図である。

【0069】

第2態様に係る表示装置は、画素PXに図5の構成を採用したこと以外は、第1態様に係る表示装置と同様である。そして、図5に示す画素PXは、スイッチングトランジスタであるスイッチSWc1及びSWc2を更に含んでいること以外は、図3に示す画素PXとほぼ同様である。

【0070】

スイッチSWc1及びSWc2は、例えば、スイッチSWb1乃至SWb3とほぼ同様の構造を有している。スイッチSWc1及びSWc2のゲートは、走査信号線SL1に接続されている。駆動トランジスタDR1のドレインと駆動トランジスタDR2のソースとは、スイッチSWc1を介して接続されている。スイッチSWc2は、電源端子ND1と駆動トランジスタDR2のソースとの間に接続されている。この画素PXにおいて、スイッチSWb1乃至SWb3は第1スイッチ群を構成し、スイッチSWc1及びSWc2は第2スイッチ群を構成している。

20

【0071】

この表示装置は、例えば、以下の方法により駆動する。なお、ここでは、簡略化のため、駆動トランジスタDR1及びDR2は特性が互いに等しいとする。

【0072】

図4を参照しながら説明したのと同様に、画素PXが形成する行を順次選択する。選択した行が含む画素PXでは書き動作を実施する。非選択の行が含む画素PXでは表示動作を実施する。

30

【0073】

m行目の画素PXで或る階調を表示する場合、m行目の画素PXを選択する期間であるm行目選択期間の開始と同時に又はこれに先立ち、走査信号線ドライバYDRから、m行目の画素PXが接続された走査信号線SL1に、出力制御スイッチSWaを開く、即ち、スイッチSWaを非導通状態とする走査信号を電圧信号として出力する。出力制御スイッチSWaを開いている書き期間内に、以下の書き動作を実施する。

【0074】

まず、走査信号線ドライバYDRから、m行目の画素PXが接続された走査信号線SL2に、スイッチSWb1乃至SWb3及びSWc2を閉じる、即ち、スイッチSWb1乃至SWb3及びSWc2を導通状態とする走査信号を電圧信号として出力する。このとき、スイッチSWa及びSWc1は、開いたままにしておく。そして、映像信号線ドライバXDRから、各映像信号線DLに、m行目の画素PXに供給すべき映像信号を電流信号(書き電流) I_{sig} として出力する。

40

【0075】

この状態では、駆動トランジスタDR1及びDR2は、電源端子ND1と映像信号線DLとの間で並列に接続されている。そして、この例では、駆動トランジスタDR1及びDR2は、特性が互いに等しいことを仮定している。それゆえ、駆動トランジスタDR1及びDR2の各々には、書き電流 I_{sig} の1/2倍の電流が流れ、駆動トランジスタDR1及びDR2の各々のゲート-ソース間電圧 V_{gs} は、先の映像信号 I_{sig} の1/2倍に対応

50

した大きさに設定される。

【0076】

その後、走査信号線ドライバYDRから、m行目の画素PXが接続された走査信号線SL2に、スイッチSWb1乃至SWb3及びSWc2を開く走査信号を電圧信号として出力する。以上のようにして、書き動作を終了する。m行目選択期間は、m行目の画素PXへの書き動作の終了と同時に終了する。

【0077】

m行目の画素PXへの書き動作の終了と同時に表示動作を開始する。即ち、走査信号線ドライバYDRから、m行目の画素PXが接続された走査信号線SL1に、スイッチSWa及びSWc1を閉じる走査信号を電圧信号として出力する。そして、スイッチSWa及びSWc1は閉じたままとし、スイッチSWb1乃至SWb3及びSWc2は開いたまます。この状態では、駆動トランジスタDR1及びDR2は直列に接続されているので、有機EL素子OLEDには、ゲート-ソース間電圧がVgsであるときに駆動トランジスタDR1が出力する電流の約1/2倍の大きさの電流が駆動電流Idrvとして流れ。有機EL素子OLEDは、駆動電流Idrvの大きさに対応した輝度で発光する。

【0078】

このように、上記の駆動方法によると、ゲート-ソース間電圧Vgsは映像信号Isigの1/2倍に対応した大きさに設定され、有機EL素子OLEDには、ゲート-ソース間電圧がVgsであるときに駆動トランジスタDR1が出力する電流の約1/2倍の大きさの電流が駆動電流Idrvとして流れ。即ち、この駆動方法によると、駆動電流Idrvの大きさを変更せずに、駆動電流Idrvの大きさを書き電流Isigの約1/4倍とすることができる。従って、この駆動方法によると、寿命特性を犠牲にすることなしに、低階調をより高い再現性で表示することが可能となる。

【0079】

上述した表示装置には、様々な変形が可能である。例えば、第1及び第2態様では、駆動トランジスタDR1及びDR2は特性が互いに等しいことを仮定したが、それらは特性が異なっていてもよい。

【0080】

また、上述した技術は、有機EL表示装置以外の表示装置にも適用可能である。例えば、上述した技術は、発光ダイオード表示装置又は電界放出表示装置に適用してもよい。

【図面の簡単な説明】

【0081】

【図1】本発明の第1態様に係る表示装置を概略的に示す平面図。

【図2】図1の表示装置に採用可能な構造の一例を概略的に示す断面図。

【図3】図1の表示装置が含む画素の等価回路図。

【図4】図1に示す表示装置の駆動方法の一例を概略的に示すタイミングチャート。

【図5】本発明の第2態様に係る表示装置が含む画素の等価回路図。

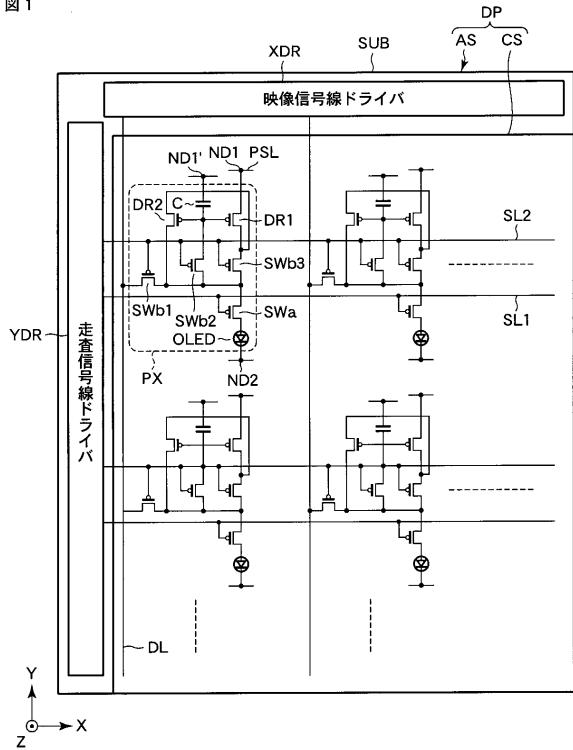
【符号の説明】

【0082】

AL…活性層、AS…アレイ基板、C…キャパシタ、CE…共通電極、CS…封止基板、DE…ドレイン電極、DL…映像信号線、DP…表示パネル、DR1…駆動トランジスタ、DR2…駆動トランジスタ、G…ゲート、GI…ゲート絶縁膜、II…層間絶縁膜、ND1…電源端子、ND1'…定電位端子、ND2…電源端子、OLED…有機EL素子、PE…画素電極、PI…隔壁絶縁層、PL…平坦化層、PS…パッシベーション膜、PSL…電源線、PX…画素、SC…半導体層、SE…ソース電極、SL1…走査信号線、SL2…走査信号線、SS…シール層、SUB…絶縁基板、SWa…出力制御スイッチ、SWb1…スイッチ、SWb2…スイッチ、SWb3…スイッチ、SWc1…スイッチ、SWc2…スイッチ、UC…アンダーコート層、XDR…映像信号線ドライバ、YDR…走査信号線ドライバ。

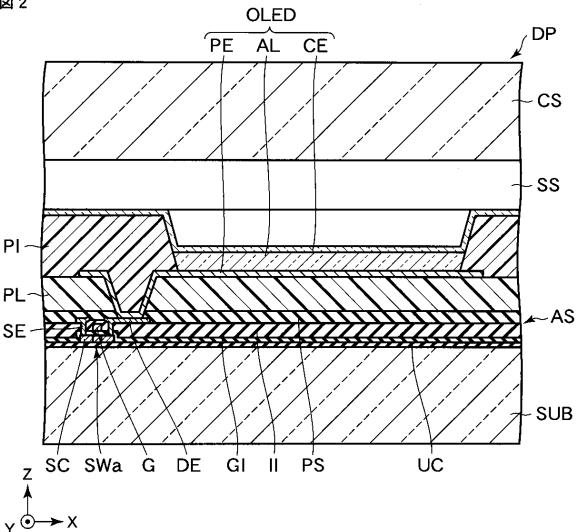
【図1】

図1



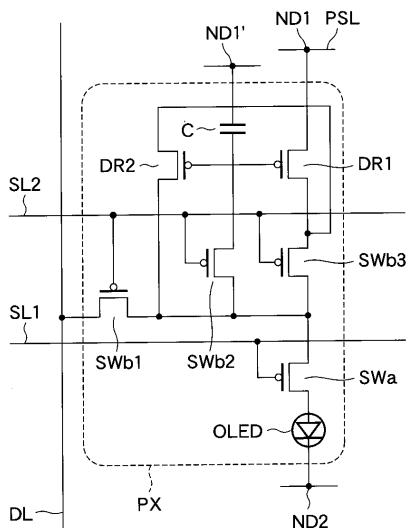
【図2】

図2



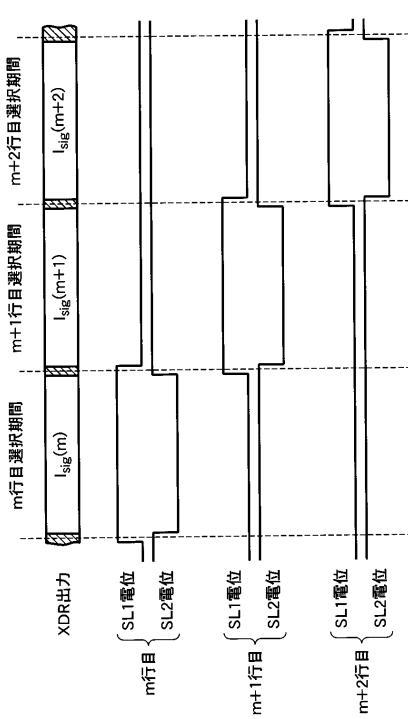
【図3】

図3



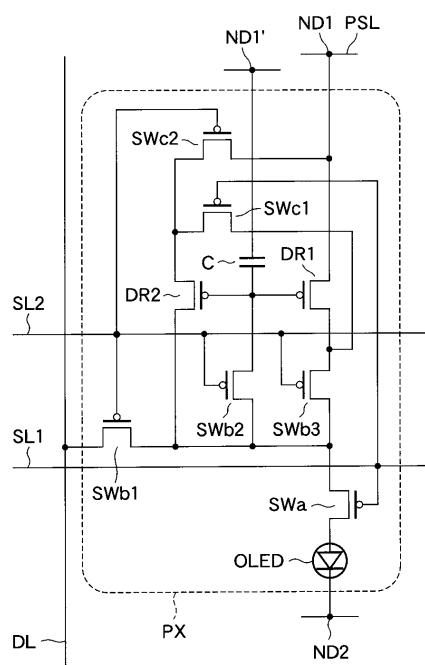
【図4】

図4



【図5】

図5



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 1 1 J
G 0 9 G 3/20 6 2 1 F
H 0 5 B 33/14 A

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 青木 良朗

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC31 EE03 HH00 HH04 HH05

5C080 AA06 BB05 DD03 DD05 DD08 DD29 EE29 FF11 HH09 JJ02
JJ03 JJ04 JJ06

专利名称(译)	表示装置		
公开(公告)号	JP2009058769A	公开(公告)日	2009-03-19
申请号	JP2007226127	申请日	2007-08-31
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	青木良朗		
发明人	青木 良朗		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.611.H G09G3/20.642.A G09G3/20.611.J G09G3/20.621.F H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080 /AA06 5C080/BB05 5C080/DD03 5C080/DD05 5C080/DD08 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380 /AB23 5C380/CA08 5C380/CA13 5C380/CB01 5C380/CB17 5C380/CC13 5C380/CC18 5C380/CC19 5C380/CC26 5C380/CC28 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD016 5C380 /CD018 5C380/DA02 5C380/DA06		
代理人(译)	河野 哲 中村诚		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了提高显示设备中低灰度的再现性，该显示设备将电流信号作为视频信号提供给像素。在本发明的显示装置中，每个像素PX输出第一控制端子，连接至电源端子ND1的第一输入端子以及大小与它们之间的电压相对应的电流。驱动控制元件DR1包括第一输出端子，第一输出端子，第一控制端子和视频信号线DL之间的连接，它们彼此连接的第一状态，它们彼此断开。能够在第二状态和第二状态之间切换的开关组SWb1至SWb3，连接至第一控制端子的第二控制端子，第二输入端子以及与它们之间的电压相对应的大小。包括用于输出电流的第二输出端子的驱动控制元件DR2，输出控制开关SWa，以及驱动控制元件DR2和输出控制开关SWa串联连接在第一输出端子和电源端子ND2之间。显示元件OLED。[选择图]图3

