

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-118015  
(P2004-118015A)

(43) 公開日 平成16年4月15日(2004.4.15)

(51) Int. Cl.<sup>7</sup>

G09F 9/00  
H05B 33/14

F 1

G09F 9/00 348Z  
H05B 33/14 A

### テーマコード（参考）

(P2004-118015A)

(P2004-118015A)

		審査請求 未請求 請求項の数 5 O L (全 12 頁)
(21) 出願番号	特願2002-283398 (P2002-283398)	(71) 出願人 000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成14年9月27日 (2002. 9. 27)	(74) 代理人 100105924 弁理士 森下 賢樹
		(72) 発明者 野口 幸宏 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		(72) 発明者 佐々木 昭史 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		(72) 発明者 加屋 純佳 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		F ターム (参考) 3K007 AB05 DB03 GA00 最終頁に続く

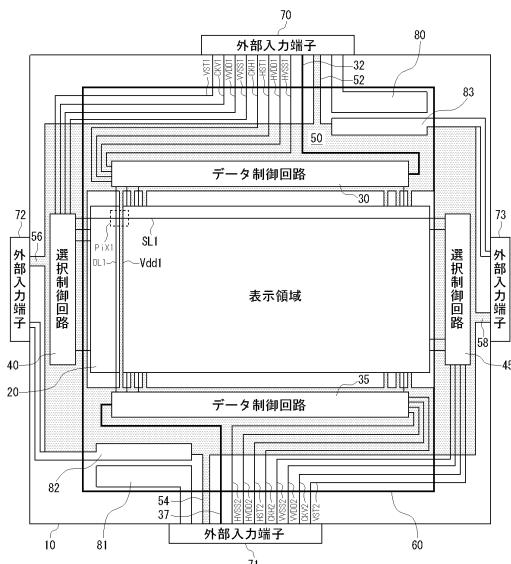
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】有機ELディスプレイにおいて、電気的特性の向上と装置の小型化は競争力のさらなる向上に資する。

【解決手段】表示装置10において、表示領域20の周辺に配置される第1データ制御回路30、第2データ制御回路35、第1選択制御回路40、第2選択制御回路45のうち少なくとも一部は、電源供給領域50と重なるように形成される。電源供給領域50および陰極領域60は、上記周辺の回路とは別の層において、広範囲にわたって設けられる。

## 【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

画素回路と、画素回路を制御する表示制御回路と、画素回路の駆動に用いられる所定電圧の供給領域とを有し、

前記画素回路、表示制御回路、および供給領域は積層プロセスによって形成されるものであり、その積層方向において、前記表示制御回路の少なくとも一部が前記供給領域と重複するよう形成されたことを特徴とする表示装置。

**【請求項 2】**

前記画素回路は行列状に配置されて表示領域を形成し、前記表示制御回路は前記行列状の配置に対して列方向にデータ信号を出力することを特徴とする請求項 1 に記載の表示装置。  
10

**【請求項 3】**

前記画素回路は行列状に配置されて表示領域を形成し、前記表示制御回路は前記行列状の配置に対して行方向に選択信号を出力することを特徴とする請求項 1 に記載の表示装置。

**【請求項 4】**

複数の画素回路を行列状に配置した表示領域と、  
その表示領域の外に設けられ、前記複数の画素回路を行方向または列方向に制御する表示制御回路と、

前記複数の画素回路の駆動に用いられる所定電圧の供給領域と、  
前記表示制御回路にて参照する信号および前記所定電圧を導入するために外部と本表示装置とを電気的に接続する部材と、  
を有し、前記画素回路、表示制御回路、および供給領域は積層プロセスによって形成されるものであり、その積層方向において、前記表示制御回路の少なくとも一部が、前記接続する部材から表示領域へ至る間に前記供給領域と重複するよう形成されたことを特徴とする表示装置。  
20

**【請求項 5】**

画素回路と、画素回路を制御する表示制御回路と、画素回路の駆動に用いられる所定電圧の供給領域とを有し、

前記画素回路、表示制御回路、および供給領域は複数層に亘って形成され、その積層方向において、前記表示制御回路の少なくとも一部が前記供給領域と重複するよう形成されたことを特徴とする表示装置。  
30

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は表示装置に関し、特にアクティブマトリックス型表示装置における電気的特性と設計自由度を向上させる技術に関する。

**【0002】****【従来の技術】**

ノート型パソコンコンピュータや携帯端末の普及が進んでいる。現在、これらの表示装置に主に使用されているのが液晶ディスプレイであり、次世代平面表示パネルとして期待されているのが有機EL (Electro Luminescence) ディスプレイである。これらディスプレイの表示方法として中心に位置するのがアクティブマトリックス駆動方式である。この方式を用いたディスプレイは、アクティブマトリックス型ディスプレイと呼ばれ、画素は縦横に多数配置されてマトリックスを形成し、各画素にはスイッチ素子が配置される。映像データはスイッチ素子によって画素ラインごとに順次書き込まれる。有機ELディスプレイは実用化のために様々な設計が提案されている（例えば、特許文献1参照）。

**【0003】****【特許文献1】**

**【特許文献 2】**

特開2001-109395号公報（第3-7頁、第1図）

**【0004】****【発明が解決しようとする課題】**

有機ELディスプレイは、主に画素が集合する表示領域とその周辺領域で構成される。周辺領域には表示制御回路、各信号線、電源供給線などが配置される。ここで、普及の途上にある有機ELディスプレイにおいて、電気的特性の向上と装置の小型化は競争力を高める上で重要な要素となる。これらは設計次第では相反する要素となり得るもの、本発明者は実装方法の改善により両立できることを発見するに至った。

**【0005】**

本発明はこうした状況に鑑みなされたものであり、その目的は電気的特性の向上と周辺回路の小型化を両立する点にある。別の目的は、電源における電圧降下を低減させて高品位な表示を得る点にある。さらに別の目的は、周辺領域における回路や信号を効率的に配置する点にある。さらに別の目的は、周辺回路や信号線をノイズや静電気から保護する点にある。

**【0006】****【課題を解決するための手段】**

本発明のある実施の形態は表示装置である。この装置は、画素回路と、画素回路を制御する表示制御回路と、画素回路の駆動に用いられる所定電圧の供給領域とを有する。それら画素回路、表示制御回路、および供給領域は積層プロセスによって形成されるものであり、その積層方向において、表示制御回路の少なくとも一部が供給領域と重複するよう形成されている。

**【0007】**

「画素回路」は、光学素子と、これを駆動する駆動素子と、光学素子の発光オンオフを切り替えるスイッチ素子と、を含む。光学素子としては、有機発光ダイオード（Organic Light Emitting Diode。以下、単に「OLED」と表記する。）を主に想定する。駆動素子やスイッチ素子としては、金属酸化膜（MOS：Metal Oxide Semiconductor）トランジスタや薄膜トランジスタ（TFT：Thin Film Transistor）を主に想定する。画素回路は主に行列状に配置されて表示領域を形成する。

**【0008】**

「表示制御回路」は、画素回路に輝度データを送出するデータ制御回路であってもよく、その場合、画素回路の行列状の配置に対して列方向に輝度データを出力してもよい。「列方向」は、表示面において水平方向および垂直方向に配置された複数の画素回路における垂直方向をいう。このデータ制御回路は、シフトレジスタ、バッファ、スイッチ回路を主に含み、これらの要素のうち少なくともいずれかが所定電圧の供給領域と重なって形成されてもよい。輝度データは、駆動素子に設定される輝度情報に関するデータであって、その光学素子が放つ光強度とは区別する。

**【0009】**

「表示制御回路」は、画素回路へ選択信号を送出する選択制御回路であってもよく、その場合、画素回路の行列状の配置に対して行方向に選択信号を出力してもよい。「行方向」は、表示面において水平方向および垂直方向に配置された複数の画素回路における水平方向をいう。この選択制御回路は、シフトレジスタとバッファを主に含み、これらの要素のうち少なくともいずれかが所定電圧の供給領域と重なって形成されてもよい。選択信号は、輝度データの書きタイミングを示し、この選択信号に基づいて画素ラインの走査がなされる。選択信号は、スイッチ素子のオンオフを制御し、選択信号線は例えば画素の行ごとに個別に設けられる。

**【0010】**

「積層方向」は、画素回路、表示制御回路、および供給領域が重なり合うときのその重なり方向を示す。前記供給領域が積層方向において前記表示制御回路の上に設けられてもよ

10

20

30

40

50

いし、下に設けられてもよい。「所定電圧」は、光学素子のアノード側とカソード側のいずれの電圧でもよく、電源電圧に限らず、接地電圧や負電圧でもよい。特に、電源電圧を配線する領域を表示制御回路とは別の層に設ける場合、より広いスペースがもたらされるので電源電圧の供給線を太くすることができる。これにより、電源の電圧降下を低減でき、表示品位を高めやすい。

#### 【0011】

表示制御回路と供給領域を別の層に設けると、表示領域の周辺領域において表示制御回路や電源供給線などの配置に必要なスペースを抑制できるので、狭額縫化を進めやすい。その結果、電源供給線や各信号線を外部と接続する場合にその配線長を短縮できる効果も生じる。さらに、表示制御回路に含まれる信号線や回路は電源領域と積層方向に近接することになり、それぞれに容量が生じるので、ノイズや静電気の信号への影響を低減できる。

#### 【0012】

本発明の別の形態もまた表示装置である。この装置は、複数の画素回路を行列状に配置した表示領域と、その表示領域の外に設けられ、複数の画素回路を行方向または列方向に制御する表示制御回路と、複数の画素回路の駆動に用いられる所定電圧の供給領域と、表示制御回路にて参照する信号および所定電圧を導入するために外部と本表示装置とを電気的に接続する部材と、を有する。画素回路、表示制御回路、および供給領域は積層プロセスによって形成されるものであり、その積層方向において、表示制御回路の少なくとも一部が、接続する部材から表示領域へ至る間にて供給領域と重複するよう形成されている。

#### 【0013】

「参照する信号」は、例えば輝度データ、クロック信号、およびスタート信号などである。「電気的に接続する部材」は、例えば外部入力端子であって、その端子から表示領域までの間にて電源供給領域と表示制御回路または参照する信号の配線領域との重なりが形成されてもよい。以上の構成においても、電源の電圧降下低減に基づく表示品位の向上、狭額縫化、ノイズや静電気からの保護の効果がある。

#### 【0014】

前記参照する信号が配線される領域の少なくとも一部が電源の供給領域と重複するよう形成されてもよい。これらが近接することにより容量が生じるので、ノイズや静電気の信号への影響を低減できる。特に、輝度データに対するノイズや静電気からの保護における意義は大きい。

#### 【0015】

前記接続する部材は、本表示装置の周囲に複数設けられてもよい。前記表示制御回路もまた前記接続する部材の数に応じて複数設けてもよい。前記参照する信号は、前記接続する部材と表示制御回路の数に応じてその数と配線する領域が定まる。前記複数の表示制御回路および前記複数の参照する信号の配線領域の少なくとも一部が、前記複数の接続する部材から表示領域へ至る間にて前記供給領域と重複するよう形成されてもよい。

#### 【0016】

前記接続する部材を本表示装置の上部または下部のいずれか一方、または双方に設けてもよい。上部および下部に一つずつ設けてもよいし、二つずつ設けてもよい。さらに、本表示装置の左右両側に設けてもよく、これらはそれぞれ陽極および陰極の電源供給用端子を含んでもよい。前記複数の接続する部材、前記複数の参照する信号の配線、前記複数の表示制御回路のそれぞれが設置される位置は、上下または左右の対称性が保たれるよう配置されてもよい。これらと前記供給領域とが垂直方向または水平方向に略均一に重なるよう形成されてもよい。

#### 【0017】

複数の画素回路で構成される表示領域を複数のサブ領域に分割し、それを同時に表示制御できるよう輝度データおよび選択信号をサブ領域ごとに個別のタイミングで制御してもよい。前記表示領域の分割数、すなわち前記サブ領域の数に応じて前記表示領域の周囲に配置される表示制御回路の数と位置を定めてよい。表示領域の分割数としては、表示制御回路や周辺の信号線の配置に対称性が保たれるように、例えば縦と横の分割を $2 \times 4$

10

20

30

40

50

の8分割と定めてよい。前記複数のサブ領域のうち少なくとも一部は、前記供給領域と重なるように形成されてもよい。

#### 【0018】

本発明のさらに別の形態もまた表示装置である。この装置は、画素回路と、画素回路を制御する表示制御回路と、画素回路の駆動に用いられる所定電圧の供給領域とを有する。画素回路、表示制御回路、および供給領域は複数層に亘って形成され、その積層方向において、表示制御回路の少なくとも一部が供給領域と重複するよう形成されてもよい。

#### 【0019】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、などの間で変換したものもまた、本発明の態様として有効である。

10

#### 【0020】

##### 【発明の実施の形態】

従来、画素回路、表示制御回路、表示制御回路が参照する信号の配線領域、および電圧の供給領域は、すべて同じ層に設けられていたのでそれぞれを重ねて配置することはできなかった。従来は、例えば表示制御回路と表示領域の間の位置など、周辺回路と重ならない位置に電圧の供給領域を設ける必要があった。本実施形態においては、電圧の供給領域を他の回路や領域とは別の層に設けたことにより、これらが積層プロセスにおいて複数層に亘って重なって形成される配置を実現する。こうした構成は、上述した通り電気的特性の向上と装置の小型化の両立に寄与する。

#### 【0021】

実施の形態においては、表示装置としてアクティブマトリックス型有機ELディスプレイを想定し、特に電源電圧の供給領域を別の層に設けた例を説明する。

20

#### 【0022】

##### (第1実施形態)

図1は、第1実施形態における表示装置の構成を示す。表示装置10において略中央に表示領域20が設けられる。表示領域20は、画素回路Pi×1に示されるような多数の画素が行列状に並べられて構成される。その列方向に配線された複数のデータ線を通じて各画素に輝度データを出力する第1データ制御回路30および第2データ制御回路35は、表示領域20の上下に設けられる。表示領域20の行方向に配線された複数の選択線を通じて各画素へ輝度データの書込タイミング信号を出力する第1選択制御回路40および第2選択制御回路45は、それぞれ表示領域20の左右側に設けられる。

30

#### 【0023】

電源供給領域50は、外部入力端子に接続された電源電圧の供給線が配線された層であり、第1データ制御回路30、第2データ制御回路35、第1選択制御回路40、第2選択制御回路45、および各信号線のうち少なくとも一部と重なるように設けられる。すなわち、電源供給領域50は各制御回路および信号線とは異なる層に設けられており、その層間に絶縁されている。したがって、図示するとおり表示領域20の周辺のほぼ全面にわたって電源供給領域50を配置でき、電源供給線を太くすることができる所以、電圧降下を低減できる。電源供給領域50は、第1主電源供給線52、第2主電源供給線54、第3主電源供給線56、第4主電源供給線58を介して第1外部入力端子70、第2外部入力端子71、第3外部入力端子72、第4外部入力端子73と接続される。

40

#### 【0024】

電源供給領域50から表示領域20の列方向に画素列と同数の電源供給線が配線される。表示領域20においても電源供給線が別の層に設けられているので、その線を太く配線することができる。陰極領域60は、第1データ制御回路30、第2データ制御回路35、表示領域20を覆うように設けられる。この陰極領域60もまた各回路とは異なる層に設けられ、その層間に絶縁されている。陰極領域60は、第1陰極コンタクト80、第2陰極コンタクト81、第3陰極コンタクト82、第4陰極コンタクト83を介して第1外部入力端子70、第2外部入力端子71、第3外部入力端子72、第4外部入力端子73と接続される。

50

## 【0025】

第1セット信号VST1、第1クロック信号CKV1、第1電源VVDD1、および第2電源VVSS1は、第1外部入力端子70から第1選択制御回路40へそれぞれの信号線を通じて入力される。第2セット信号HST1、第2クロック信号CKH1、第3電源HVDD1、および第4電源HVSS1は、第1外部入力端子70から第1データ制御回路30へそれぞれの信号線を通じて入力される。第1主データ線32は、第1外部入力端子70から入力された輝度データの信号を第1データ制御回路30へ伝搬する。これら各信号線の少なくとも一部は、その配線領域が電源供給領域50と重なっている。これによりノイズや静電気の影響を低減できる。特に、第1主データ線32が伝搬すべき輝度データに対するノイズの影響を低減できる。

10

## 【0026】

第3セット信号VST2、第3クロック信号CKV2、第5電源VVDD2、および第6電源VVSS2は、第2外部入力端子72から第2選択制御回路45へそれぞれの信号線を通じて入力される。第4セット信号HST2、第4クロック信号CKH2、第7電源HVDD2、および第8電源HVSS2は、第2外部入力端子71から第2データ制御回路35へそれぞれの信号線を通じて入力される。第2主データ線37は、第2外部入力端子71から入力された輝度データの信号を第2データ制御回路35へ伝搬する。これらの各信号線もまた少なくとも一部の配線領域が電源供給領域50と重なっており、ノイズや静電気の影響を低減できる。

20

## 【0027】

図2は、表示領域20に含まれる1画素分の回路構成を示す。画素Pi×1は、スイッチ回路としての第1のトランジスタTr1、駆動素子としての第2のトランジスタTr2、および光学素子としてのOLED1を含む。電源供給線Vdd1は、OLED1を発光させるための電力を供給する。電源供給線Vdd1は、第1、2のトランジスタTr1、Tr2、OLED1、データ線DL1とは別の層に設けられており、その層間は絶縁されている。電源供給線Vdd1と第1、2のトランジスタTr1、Tr2、OLED1、データ線DL1とを積層することにより、電源供給線Vdd1を2次元方向に太く配置することができ、電圧降下が低減される。

30

## 【0028】

データ線DL1は、各画素回路に書き込むべき輝度データを伝搬する。例えば同じ列に含まれる画素回路は同一のデータ線に接続される。データ線DL1は、第2のトランジスタTr2に設定すべき輝度データの信号を流す。選択線SL1は、第1のトランジスタTr1のオンオフを制御する選択信号を伝搬する。

30

## 【0029】

第1、2のトランジスタTr1、Tr2はnチャネルトランジスタである。第1のトランジスタTr1は、ゲート電極が選択線SL1に接続され、ドレイン（またはソース）電極がデータ線DL1に接続され、ソース（またはドレイン）電極が第2のトランジスタTr2のゲート電極に接続される。

40

## 【0030】

第2のトランジスタTr2は、ソース電極が電源供給線Vdd1に接続され、ドレイン電極がOLED1のアノード電極に接続される。OLED1のカソード電極は接地電位と同電位とされる。OLED1は、第2のトランジスタTr2のゲート電極に設定された輝度データに応じて発光する。

40

## 【0031】

以上の構成によってなされる動作手順を以下説明する。まず、選択線SL1の選択信号がハイになると第1のトランジスタTr1がオンとなり、データ線DL1の電位と第2のトランジスタTr2のゲート電位が同電位になる。このとき、第1データ制御回路30は、輝度データであればゼロに相当するデータを初期化用データとしてデータ線DL1に出力し、その値が第2のトランジスタTr2に書き込まれる。これにより、OLED1は電源供給線Vdd1から遮断され初期化される。その後に、実際に設定すべき輝度データを

50

データ線 D L 1 に出力し、その値が第 2 のトランジスタ T r 2 に書き込まれる。これにより、第 2 のトランジスタ T r 2 のゲートソース電圧に応じた電流が流れ、その電流量に応じて O L E D 1 が発光する。

#### 【 0 0 3 2 】

図 3 は、第 1 データ制御回路の構成を示す。第 1 外部入力端子 7 0 から入力された第 2 クロック信号 C K H 1 と第 2 セット信号 H S T 1 がデータ用シフトレジスタ 1 7 0 に送られる。データ用シフトレジスタ 1 7 0 は、各画素回路へ輝度データを送るタイミングでデータ用バッファ回路 1 7 2 へハイを出力する。データ用バッファ回路 1 7 2 からのハイの信号によりデータ用スイッチ回路 1 7 4 がオンとなり、第 1 主データ線 3 2 から分離回路 1 7 6 を介して送られた輝度データが、オンになったスイッチを通じてデータ線 D L 1 を流れる。

#### 【 0 0 3 3 】

データ用スイッチ回路 1 7 4 に含まれるスイッチ素子はデータ線の数と同数設けられる。第 1 主データ線 3 2 は、分離回路 1 7 6 によって R G B 3 本のデータ供給線に分離され、それぞれさらに 8 相の輝度データに分けられる。また、3 色 8 相分である 2 4 個のスイッチ素子を同時にオンしており、データ用シフトレジスタ 1 7 0 に含まれるシフトレジスタの数およびバッファ回路に含まれるバッファの数は、それぞれデータ用スイッチ回路 1 7 4 に含まれるスイッチ素子数の 1 / 2 4 である。

#### 【 0 0 3 4 】

データ用シフトレジスタ 1 7 0 に含まれる複数のシフトレジスタ、データ用バッファ回路 1 7 2 に含まれる複数のバッファ、およびデータ用スイッチ回路 1 7 4 に含まれる複数のスイッチ素子のうち、少なくとも一部が別の層に設けられた電源供給領域 5 0 と積層方向に重なって形成される。

#### 【 0 0 3 5 】

図 4 は、第 1 選択制御回路の構成を示す。第 1 選択制御回路 4 0 において、選択用シフトレジスタ 1 8 0 は画素回路の行と同数のシフトレジスタを含み、選択用バッファ回路 1 8 2 もまた画素回路の行と同数のバッファを含む。選択用シフトレジスタ 1 8 0 に第 1 外部入力端子 7 0 を介して第 1 セット信号 V S T 1 および第 1 クロック信号 C K V 1 が入力され、画素回路の各行に対して順次ハイの信号を出力し、これが選択用バッファ回路 1 8 2 を介して選択線 S L 1 へ送られる。

#### 【 0 0 3 6 】

選択用シフトレジスタ 1 8 0 に含まれる複数のシフトレジスタ、および選択用バッファ回路 1 8 2 に含まれる複数のバッファのうち、少なくとも一部が別の層に設けられた電源供給領域 5 0 と積層方向に重なって形成される。

#### 【 0 0 3 7 】

図 5 は、表示装置の断面図である。本図では、主に電源供給領域 5 0 、第 1 データ制御回路 3 0 、表示領域 2 0 の重なりを示す。基板 1 0 0 の上に、第 1 データ制御回路 3 0 のデータ用スイッチ回路 1 7 4 に含まれるスイッチ素子であるトランジスタ（以下、データ制御用トランジスタという。）が設けられている。これは、基板 1 0 0 の上にバリア絶縁膜 1 0 2 を介して第 2 ポリシリコン層 1 2 8 が積層され、さらにその上にゲート絶縁膜 1 0 4 、第 1 層間絶縁膜 1 0 6 、第 2 層間絶縁膜 1 0 8 が積層される。電源供給領域 5 0 は、第 2 層間絶縁膜 1 0 8 の上に設けられる。

#### 【 0 0 3 8 】

データ制御用トランジスタは、第 2 ポリシリコン層 1 2 8 と導通するように設けられた第 3 ソース / ドレイン電極 1 3 0 、第 4 ソース / ドレイン電極 1 3 2 と、ゲート絶縁膜 1 0 4 上に設けられた第 2 ゲート電極 1 2 7 とから構成される。第 3 ソース / ドレイン電極 1 3 0 、第 4 ソース / ドレイン電極 1 3 2 は第 2 ポリシリコン層 1 2 8 の上から第 1 層間絶縁膜 1 0 6 の上まで貫層する。このデータ制御用トランジスタと電源供給領域 5 0 は、積層方向において重複しているとともに、第 2 層間絶縁膜 1 0 8 を介して絶縁されている。

#### 【 0 0 3 9 】

10

20

30

40

50

電源供給領域 50 の上には第 3 層間絶縁膜 110、第 4 層間絶縁膜 112 が積層され、さらに第 4 層間絶縁膜 112 の上に陰極領域 60 が設けられている。

#### 【0040】

表示領域 20 においては、駆動素子としての第 2 のトランジスタ Tr2 が基板 100 の上に設けられている。第 2 のトランジスタ Tr2 は、第 2 ソース / ドレイン電極 122、第 1 ソース / ドレイン電極 120 と、第 1 ゲート電極 124 とから構成される。第 2 ソース / ドレイン電極 122、第 1 ソース / ドレイン電極 120 は、基板 100 上に積層された第 1 ポリシリコン層 126 の上に設けられ、第 1 ポリシリコン層 126 と導通する。第 1 ゲート電極 124 は、第 1 ポリシリコン層 126 の上に積層されたゲート絶縁膜 104 の上に設けられる。

10

#### 【0041】

第 2 ソース / ドレイン電極 122 は、第 2 層間絶縁膜 108 の上層に設けられた電源供給領域 50 の電源供給線と、コンタクトを介して接続され導通する。電源供給領域 50 の上には、第 3 層間絶縁膜 110 と第 4 層間絶縁膜 112 が積層され、その上に有機 EL 層 114 と陰極領域 60 がさらに設けられる。有機 EL 層 114 は、その上面の陰極領域 60 と全面的に接触する。

#### 【0042】

画素電極 116 は第 3 層間絶縁膜 110 の上に設けられ、有機 EL 層 114 はコンタクト部 114a を介して画素電極 116 と接続される。画素電極 116 は、コンタクト 118 を介して第 1 ソース / ドレイン電極 120 と接続される。これにより、電源供給領域 50 の電源供給線が第 2 ソース / ドレイン電極 122、第 1 ポリシリコン層 126、第 1 ソース / ドレイン電極 120、コンタクト 118 を介して画素電極 116 へ導通し、有機 EL 層 114 が発光する。

20

#### 【0043】

##### (第 2 実施形態)

図 6 は、第 2 実施形態における表示装置の構成を示す。本実施形態は、電源供給領域 50 がデータ制御回路およびその回路と接続される各信号線などと積層方向に重複する面積が第 1 実施形態よりも狭い点で異なる。また、外部入力端子、データ制御回路、選択制御回路がそれぞれ一つで構成されている点でも第 1 実施形態と異なる。

30

#### 【0044】

本実施形態においても電源供給領域 50 を各回路や各信号線と別の層に設けたことにより、電圧降下の低減、周辺回路の小型化、ノイズや静電気からの保護といった効果が得られる。また、第 1 データ制御回路 30 には輝度データを伝搬する回路や信号線が多数配置されており、電源供給領域 50 と重なる部分はノイズや静電気から保護される効果が大きい。

#### 【0045】

##### (第 3 実施形態)

図 7 は、第 3 実施形態における表示装置の構成を示す。本実施形態は、表示領域 20 と重なる電源供給線 Vdd が表示領域 20 の列方向だけでなく行方向にも設けられ、網目状に形成されている点で第 1 実施形態と異なる。表示領域 20 の各画素回路に含まれるトランジスタや OLEd とは異なる層に電源供給線が設けられているので、他の回路を干渉することなく太く配線できる。その上、縦横に配線するので、電源供給線の総面積を第 1 実施形態よりも広くでき、電圧降下の低減効果がより大きい。

40

#### 【0046】

##### (第 4 実施形態)

図 8 は、第 4 実施形態における表示装置の構成を示す。本実施形態は、外部入力端子が 6 個、データ制御回路が 8 個、選択制御回路が 4 個、陰極コンタクトが 6 個である点で第 1 ~ 3 実施形態と異なる。第 1 外部入力端子 70 には第 1、2 データ制御回路 230、231、および第 1 選択制御回路 240 に入力する信号線、電源供給領域 50、第 1 陰極コンタクト 80 が接続される。第 2 外部入力端子 71 には第 3、4 データ制御回路 232、2

50

33、および第2選択制御回路242に入力する信号線、電源供給領域50、第2陰極コンタクト81が接続される。第3外部入力端子72には、第5、6データ制御回路234、235、および第3選択制御回路241に入力する信号線、電源供給領域50、第3陰極コンタクト82が接続される。第4外部入力端子73には、第7、8データ制御回路236、237および第4選択制御回路243に入力する信号線、電源供給領域50、第4陰極コンタクト83が接続される。第5外部入力端子74は電源供給領域50および第5陰極コンタクト84と接続され、第6外部入力端子75は電源供給領域50および第6陰極コンタクト85と接続される。

#### 【0047】

本実施形態の表示領域20は、複数の画素回路が縦横比 $2 \times 4$ の8つのサブ領域21~28に分割されている。8つのデータ制御回路と4つの選択制御回路がそれぞれ別個のサブ領域を分担することにより、輝度データを画素回路へ同時に書き込む数を増加させている。こうした分割設計は処理の効率化だけでなく、各回路や信号線の配置レイアウトにも効率化をもたらす。すなわち、配線長を短縮化し、レイアウトの対称性を維持できる。図においては上下左右の対称性が保たれており、周辺回路の小型化に寄与する。また、電源供給領域50を別の層に設けて他の回路を干渉させないため、表示領域20を分割しても信号線の配線が容易である。

#### 【0048】

以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、その各構成要素や各処理プロセスの組合せにいろいろな変形例が可能のこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、変形例を挙げる。

#### 【0049】

実施形態におけるスイッチ回路としてのトランジスタは、ふたつ以上直列におかれてもよい。その際、電流増幅率など、それらのトランジスタの特性を異ならせててもよい。例えば、駆動素子としてのトランジスタに近い側のトランジスタの電流増幅率を低めに設定すれば、漏れ電流を減らす効果が大きい。

#### 【0050】

さらに、これらのトランジスタと駆動用トランジスタの特性を変えてよい。例えば、駆動用トランジスタの電流増幅率を小さくした場合、同じ輝度レンジに対応する設定データのレンジが広がるため、輝度の制御が容易になる。

#### 【0051】

#### 【発明の効果】

本発明によれば、表示装置における電気的特性を向上させることができる。

#### 【図面の簡単な説明】

【図1】第1実施形態における表示装置の構成を示す図である。

【図2】第1実施形態における表示領域に含まれる1画素分の回路構成を示す図である。

【図3】第1実施形態における第1データ制御回路の構成を示す図である。

【図4】第1実施形態における第1選択制御回路の構成を示す図である。

【図5】第1実施形態における表示装置の断面図である図である。

【図6】第2実施形態における表示装置の構成を示す図である。

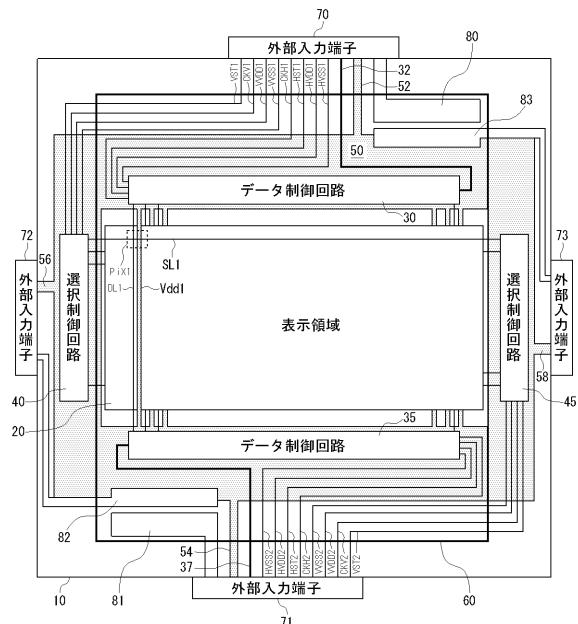
【図7】第3実施形態における表示装置の構成を示す図である。

【図8】第4実施形態における表示装置の構成を示す図である。

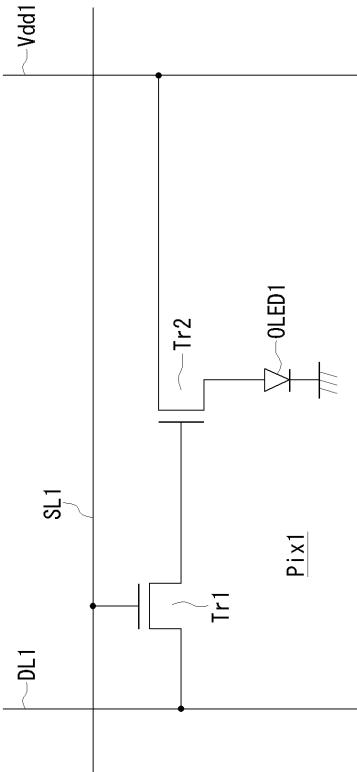
#### 【符号の説明】

10 表示装置、 20 表示領域、 30 第1データ制御回路、 32 第1主データ線、 35 第2データ制御回路、 37 第2主データ線、 40 第1選択制御回路、 45 第2選択制御回路、 50 電源供給領域、 70 第1外部入力端子、 71 第2外部入力端子、 72 第3外部入力端子、 73 第4外部入力端子、 170 データ用シフトレジスタ、 172 データ用バッファ回路、 174 データ用スイッチ回路、 180 選択用シフトレジスタ、 182 選択用バッファ回路。

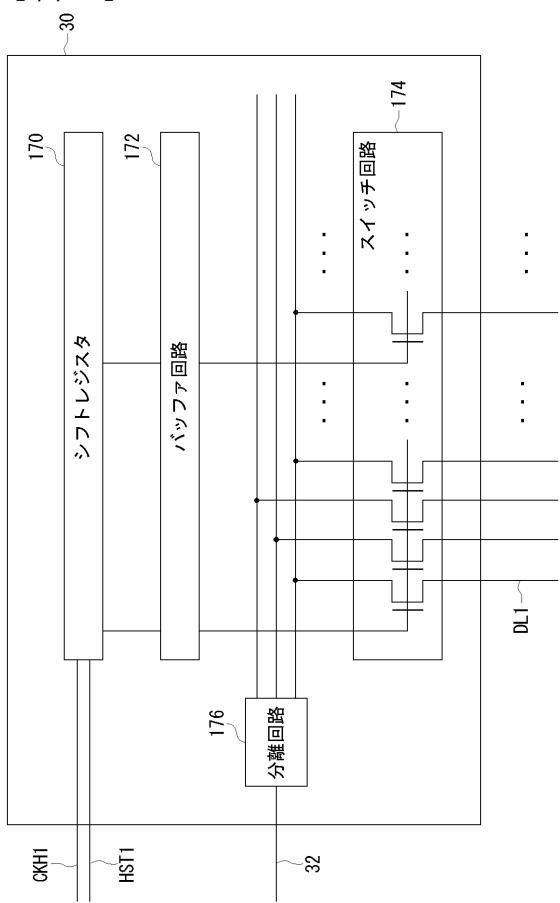
【図1】



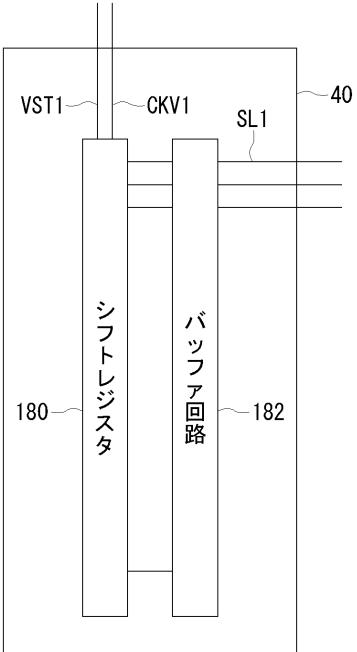
【図2】



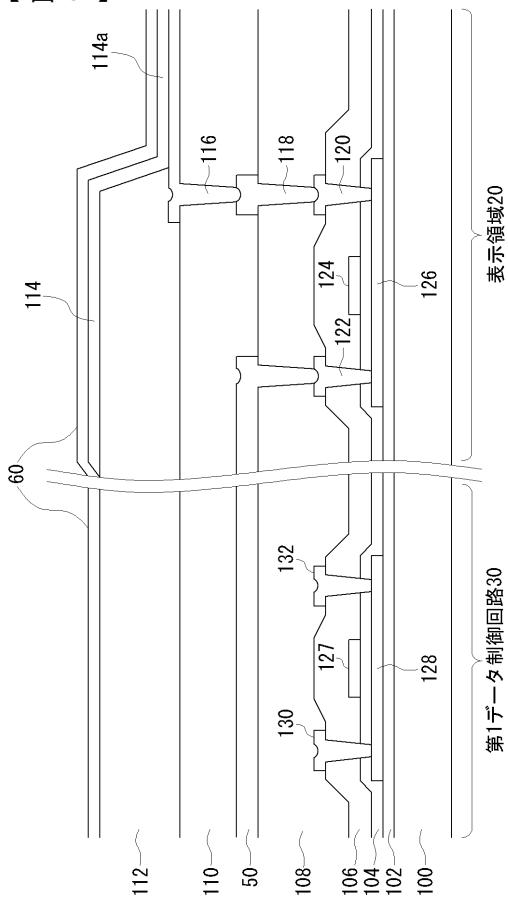
【図3】



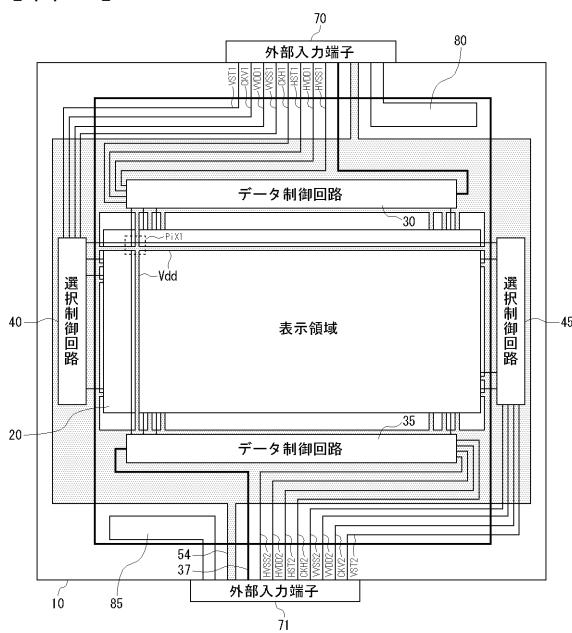
【図4】



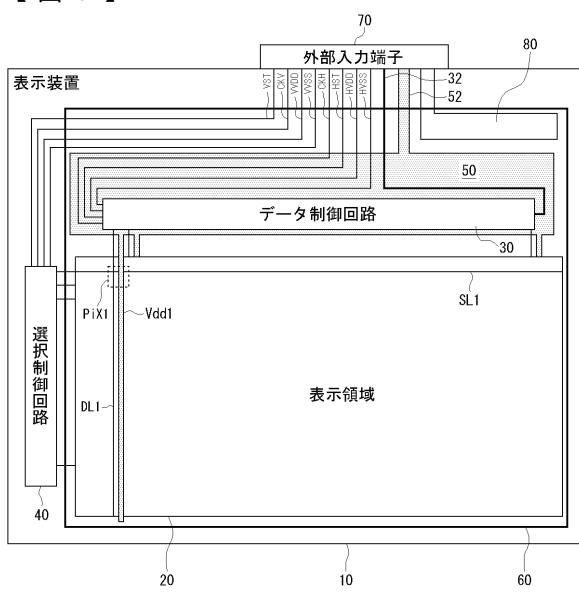
【 図 5 】



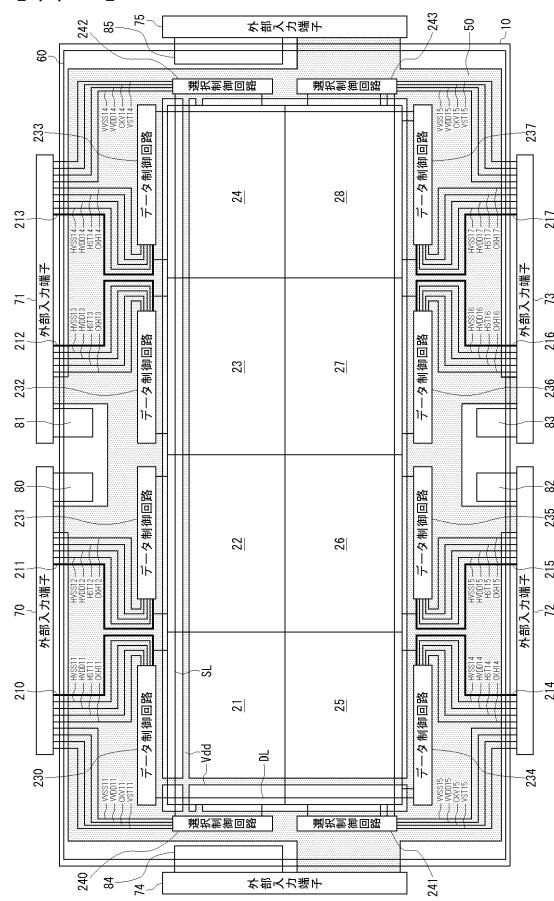
【 図 7 】



【 四 6 】



〔 叁 8 〕



---

フロントページの続き

F ターム(参考) 5G435 AA16 AA18 BB05 CC09 EE34 LL07 LL08

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP2004118015A</a>	公开(公告)日	2004-04-15
申请号	JP2002283398	申请日	2002-09-27
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	野口幸宏 佐々木昭史 加屋純佳		
发明人	野口幸宏 佐々木昭史 加屋純佳		
IPC分类号	H01L51/50 G09F9/00 G09G3/32 H01L27/32 H05B33/14		
CPC分类号	G09G3/3233 G09G3/3266 G09G3/3275 G09G2300/0809 G09G2300/0847 G09G2310/0221 G09G2320/0223 H01L27/3276		
FI分类号	G09F9/00.348.Z H05B33/14.A		
F-TERM分类号	3K007/AB05 3K007/DB03 3K007/GA00 5G435/AA16 5G435/AA18 5G435/BB05 5G435/CC09 5G435/EE34 5G435/LL07 5G435/LL08 3K107/AA01 3K107/BB01 3K107/CC16 3K107/CC31 3K107/CC43 3K107/EE03 3K107/HH00 3K107/HH05		
代理人(译)	森下Kenju		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

解决的问题：改善电特性并使有机EL显示器的装置小型化，这有助于进一步提高竞争力。在显示装置(10)中，第一数据控制电路(30)，第二数据控制电路(35)，第一选择控制电路(40)和第二选择控制电路(45)的至少一部分围绕显示区域(20)布置。形成为与电源区域50重叠。电源区域50和阴极区域60设置在与上述外围电路不同的层中的较宽的区域上。[选型图]图1

