

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4940346号
(P4940346)

(45) 発行日 平成24年5月30日 (2012.5.30)

(24) 登録日 平成24年3月2日 (2012.3.2)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
H01L 29/786 (2006.01)
H01L 21/336 (2006.01)
G09G 3/20 (2006.01)
G09F 9/30 (2006.01)

G09G 3/30 J
H01L 29/78 612Z
G09G 3/20 624B
G09G 3/20 642L
G09G 3/20 670K

請求項の数 3 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2010-273880 (P2010-273880)
(22) 出願日 平成22年12月8日 (2010.12.8)
(62) 分割の表示 特願2000-284543 (P2000-284543)
の分割
原出願日 平成12年9月20日 (2000.9.20)
(65) 公開番号 特開2011-123491 (P2011-123491A)
(43) 公開日 平成23年6月23日 (2011.6.23)
審査請求日 平成22年12月13日 (2010.12.13)
(31) 優先権主張番号 特願平11-270091
(32) 優先日 平成11年9月24日 (1999.9.24)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1のEL素子と、第1のトランジスタと、第3のトランジスタと、を有する第1の画素と、

第2のEL素子と、第2のトランジスタと、第4のトランジスタと、を有する第2の画素と、を有し、

前記第1のトランジスタは、前記第1のEL素子に供給される電流の制御を行う機能を有し、

前記第2のトランジスタは、前記第2のEL素子に供給される電流の制御を行う機能を有し、

前記第1のEL素子は、表示時に第1の電圧が印加される機能を有し、

前記第2のEL素子は、表示時に第2の電圧が印加される機能を有し、

前記第1のEL素子の発光色は、前記第2のEL素子の発光色と異なり、

前記第1のEL素子の発光時の発光輝度は、前記第2のEL素子の発光時の発光輝度よりも低く、

前記第1の電圧は、前記第2の電圧よりも大きく、

前記第1のトランジスタのチャネル幅は、前記第2のトランジスタのチャネル幅よりも大きく、

前記第3のトランジスタのソースまたはドレインの一方は、前記第1のトランジスタのゲートに電氣的に接続されており、

前記第４のトランジスタのソースまたはドレインの一方は、前記第２のトランジスタのゲートに電氣的に接続されていることを特徴とする表示装置。

【請求項２】

請求項１において、

前記第１のトランジスタ及び前記第２のトランジスタはｎチャネル型トランジスタであり、

チャネル長方向において、前記第１のトランジスタが有するＬＤＤ領域の長さは、前記第２のトランジスタが有するＬＤＤ領域の長さよりも長いことを特徴とする表示装置。

【請求項３】

請求項１又は請求項２において、

前記第３のトランジスタ及び前記第４のトランジスタはマルチゲート構造を有することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本願発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成されたＥＬ（エレクトロルミネッセンス）表示装置及びそのＥＬ表示装置を表示ディスプレイとして有する電子装置（電子デバイス）に関する。

【背景技術】

【０００２】

近年、基板上にＴＦＴを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたＴＦＴは、従来のアモルファスシリコン膜を用いたＴＦＴよりも電界効果移動度（モビリティともいう）が高いため、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【０００３】

このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【０００４】

そしてさらに、自発光型素子としてＥＬ素子を有したアクティブマトリクス型ＥＬ表示装置の研究が活発化している。ＥＬ表示装置は有機ＥＬディスプレイ（ＯＥＬＤ：Organic EL Display）又は有機ライトエミッティングダイオード（ＯＬＥＤ：Organic Light Emitting Diode）とも呼ばれている。

【０００５】

ＥＬ表示装置は、液晶表示装置と異なり自発光型である。ＥＬ素子是一对の電極間にＥＬ層が挟まれた構造となっているが、ＥＬ層は通常、積層構造となっている。代表的には、イーストマン・コダック・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているＥＬ表示装置は殆どこの構造を採用している。

【０００６】

また他にも、画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。ＥＬ層に対して蛍光性色素等をドーピングしても良い。

【０００７】

そして、上記構造でなるＥＬ層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてＥＬ素子が発光することを、ＥＬ素子が駆動すると呼ぶ。

【０００８】

なお、本明細書中では、陽極、ＥＬ層及び陰極で形成される発光素子をＥＬ素子と呼ぶ

10

20

30

40

50

。

【発明の概要】

【発明が解決しようとする課題】

【0009】

ＥＬ表示装置には大きく分けて四つのカラー化表示方式があり、Ｒ（赤）Ｇ（緑）Ｂ（青）に対応した三種類のＥＬ素子を形成する方式、白色発光のＥＬ素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のＥＬ素子と蛍光体（蛍光性の色変換層：ＣＣＭ）とを組み合わせた方式、陰極（対向電極）に透明電極を使用してＲＧＢに対応したＥＬ素子を重ねる方式がある。

【0010】

10

しかし一般に有機ＥＬ材料は、赤色の発光輝度が、青色、緑色の発光輝度に比べて低いものが多い。そのような発光特性を有する有機ＥＬ材料をＥＬ表示装置に用いた場合、表示する画像の赤色の輝度が低くなってしまう。

【0011】

また赤色の発光輝度が青色、緑色の発光輝度に比べて低いため、赤色よりもやや波長の短い橙色の光を赤色の光として用いる方法が従来行われてきた。しかしこの場合もＥＬ表示装置が表示する画像の赤色そのものの輝度は低く、赤色の画像を表示しようとしたときに、橙色として表示されてしまう。

【0012】

上述したことに鑑み、赤色、青色、緑色の発光輝度が異なる有機ＥＬ材料を用いたＥＬ表示装置において、所望する赤色、青色、緑色の発光輝度のバランスの良い画像を表示するＥＬ表示装置を提供することを課題とする。

20

【課題を解決するための手段】

【0013】

本出願人は、ＥＬ表示装置を時分割階調表示し、発光輝度の低い色の表示を行うＥＬ素子に印加される電圧を、発光輝度の比較的高い色の表示を行うＥＬ素子に印加される電圧より大きくするようにした。

【0014】

ＥＬ素子への電流の制御を行うＥＬ駆動用ＴＦＴは、ＥＬ素子を発光させるために、ＥＬ駆動用ＴＦＴの駆動を制御するスイッチング用ＴＦＴよりも比較的多くの電流を流す。なおＴＦＴの駆動を制御するとは、ＴＦＴが有するゲート電極にかかる電圧を制御することで、そのＴＦＴをオン状態またはオフ状態にすることを意味する。特に本願発明は上記構成において、発光輝度の低い色を表示する画素のＥＬ駆動用ＴＦＴには、他の色を表示する画素のＥＬ駆動用ＴＦＴよりも多くの電流を流すこととなる。そのため発光輝度の低い色を表示する画素のＥＬ駆動用ＴＦＴは、他の色を表示する画素のＥＬ駆動用ＴＦＴよりもホットキャリア注入によって早く劣化してしまうという問題が浮上してくる。

30

【0015】

そこで本発明人は、ホットキャリア注入によるＥＬ駆動用ＴＦＴの劣化対策として、上記構成に加え、発光輝度の低い色を表示する画素のＥＬ駆動用ＴＦＴのＬＤＤ領域の長さを、発光輝度の高い色を表示する画素のＥＬ駆動用ＴＦＴのＬＤＤ領域の長さより長くした。

40

【0016】

なお本明細書においてＬＤＤ領域の長さとは、ソース領域とドレイン領域を結ぶ方向におけるＬＤＤ領域の長さを意味する。

【0017】

また同時に、発光輝度の低い色を表示する画素のＥＬ駆動用ＴＦＴのチャネル幅（Ｗ）を、発光輝度の比較的高い色を表示する画素のＥＬ駆動用ＴＦＴのチャネル幅（Ｗ）より大きくした。

【0018】

なお本明細書においてチャネル幅（Ｗ）とは、ソース領域とドレイン領域を結ぶ方向に

50

対して垂直方向におけるチャンネル領域の長さを意味する。

【 0 0 1 9 】

本願発明は上記構成により、印加される電圧が高くなることによって E L 駆動用 T F T が制御する電流の量が増えても、E L 駆動用 T F T の劣化を抑えることができる。そしてなおかつ、E L 素子に印加される電圧の値によって、その E L 素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。なお本願構成を時分割階調表示以外にも用いることは可能である。

【 0 0 2 0 】

以下に本願発明の構成を示す。

10

【 0 0 2 1 】

本発明によって、複数の E L 素子をそれぞれ含む複数の画素を有する E L 表示装置であって、前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なることを特徴とする E L 表示装置が提供される。

【 0 0 2 2 】

本発明によって、複数の E L 素子と、前記複数の E L 素子の発光をそれぞれ制御する複数の E L 駆動用 T F T と、前記複数の E L 駆動用 T F T の駆動をそれぞれ制御する複数のスイッチング用 T F T と、をそれぞれ含む複数の画素を有する E L 表示装置であって、

20

前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なり、前記複数の E L 駆動用 T F T は n チャンネル型 T F T からなり、前記複数の E L 駆動用 T F T が有する L D D 領域のチャンネル長方向の長さは、前記複数の E L 素子に印加される電圧が大きいほど長いことを特徴とする E L 表示装置が提供される。

【 0 0 2 3 】

本発明によって、複数の E L 素子と、前記複数の E L 素子の発光をそれぞれ制御する複数の E L 駆動用 T F T と、前記複数の E L 駆動用 T F T の駆動をそれぞれ制御する複数のスイッチング用 T F T と、をそれぞれ含む複数の画素を有する E L 表示装置であって、

30

前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なり、前記複数の E L 駆動用 T F T は n チャンネル型 T F T からなり、前記複数の E L 駆動用 T F T が有するチャンネル領域の幅は、前記複数の E L 素子に印加される電圧が大きいほど大きいことを特徴とする E L 表示装置が提供される。

【 0 0 2 4 】

本発明によって、複数の E L 素子と、前記複数の E L 素子の発光をそれぞれ制御する複数の E L 駆動用 T F T と、前記複数の E L 駆動用 T F T の駆動をそれぞれ制御する複数のスイッチング用 T F T と、をそれぞれ含む複数の画素を有する E L 表示装置であって、

40

前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なり、前記複数の E L 駆動用 T F T は n チャンネル型 T F T からなり、前記複数の E L 駆動用 T F T が有する L D D 領域のチャンネル長方向の長さは、前記複数の E L 素子に印加される電圧が大きいほど長く、前記複数の E L 駆動用 T F T が有するチャンネル領域の幅は、前記複数の E L 素子に印加される電圧が大きいほど大きいことを特徴とする E L 表示装置が提供される。

【 0 0 2 5 】

本発明によって、複数の E L 素子と、前記複数の E L 素子の発光をそれぞれ制御する複数の E L 駆動用 T F T と、前記複数の E L 駆動用 T F T の駆動をそれぞれ制御する複数

50

のスイッチング用ＴＦＴと、をそれぞれ含む複数の画素を有するＥＬ表示装置であって、

前記ＥＬ表示装置は前記複数のＥＬ素子の発光する時間を制御することで階調表示を行い、前記複数のＥＬ素子に印加される電圧は、前記複数のＥＬ素子をそれぞれ含む複数の画素が表示する色によって異なり、前記複数のＥＬ駆動用ＴＦＴが有するチャンネル領域の幅は、前記複数のＥＬ素子に印加される電圧が大きいほど大きいことを特徴とするＥＬ表示装置が提供される。

【００２６】

本発明は、前記複数のＥＬ素子が発光する時間が、スイッチング用ＴＦＴに入力されるデジタル信号によって制御されていることを特徴としても良い。

【００２７】

本発明は、前記ＥＬ表示装置を用いた電子装置であっても良い。

【発明の効果】

【００２８】

本願発明は上記構成により、ＥＬ素子に印加されるＥＬ駆動電圧の値によって、そのＥＬ素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。そしてなおかつ、印加される電圧が高くなることによってＥＬ駆動用ＴＦＴが制御する電流の量が増えても、ＥＬ駆動用ＴＦＴの劣化を抑えることができる。

【図面の簡単な説明】

【００２９】

【図１】本願発明のＥＬ表示装置の構成を示す図。

【図２】本願発明の時分割階調方式の動作モードを説明する図。

【図３】本願発明の時分割階調方式の動作モードを説明する図。

【図４】本願発明のＥＬ表示装置の断面構造を示す図。

【図５】ＥＬ表示装置の作製工程を示す図。

【図６】ＥＬ表示装置の作製工程を示す図。

【図７】ＥＬ表示装置の作製工程を示す図。

【図８】ＥＬ表示装置の作製工程を示す図。

【図９】ＥＬモジュールの外観を示す図。

【図１０】ＥＬモジュールの外観を示す図。

【図１１】電子装置の具体例を示す図。

【発明を実施するための形態】

【００３０】

図１に本願発明のＥＬ表示装置の回路構成を示す。図１（Ａ）のＥＬ表示装置は、基板上に形成されたＴＦＴによって画素部１０１、画素部の周辺に配置されたデータ信号側駆動回路１０２及びゲート信号側駆動回路１０３を有している。

なお、本実施の形態でＥＬ表示装置はデータ信号側駆動回路とゲート信号側駆動回路とを１つずつ有しているが、本願発明においてデータ信号側駆動回路は２つあってもよい。またゲート信号側駆動回路も２つあってもよい。

【００３１】

データ信号側駆動回路１０２は基本的にシフトレジスタ１０２ａ、ラッチ（Ａ）１０２ｂ、ラッチ（Ｂ）１０２ｃを含む。また、シフトレジスタ１０２ａにはクロックパルス（ＣＫ）及びスタートパルス（ＳＰ）が入力され、ラッチ（Ａ）１０２ｂにはデジタルデータ信号（Digital Data Signals）が入力され、ラッチ（Ｂ）１０２ｃにはラッチ信号（Latch Signals）が入力される。

【００３２】

画素部に入力されるデジタルデータ信号は、時分割階調データ信号発生回路１１４にて形成される。この回路ではアナログ信号又はデジタル信号でなるビデオ信号（画像情報を含む信号）を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路である。

10

20

30

40

50

【 0 0 3 3 】

典型的には、時分割階調データ信号発生回路 1 1 4 には、1 フレーム期間を n ビット (n は 2 以上の整数) の階調に対応した複数のサブフレーム期間に分割する手段と、それら複数のサブフレーム期間においてアドレス期間及びサステイン期間を選択する手段と、そのサステイン期間を $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する手段とが含まれる。

【 0 0 3 4 】

この時分割階調データ信号発生回路 1 1 4 は、本願発明の E L 表示装置の外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本願発明の E L 表示装置に入力される構成となる。この場合、本願発明の E L 表示装置をディスプレイとして有する電子装置は、本願発明の E L 表示装置と時分割階調データ信号発生回路を別の部品として含むことになる。

【 0 0 3 5 】

また、時分割階調データ信号発生回路 1 1 4 を IC チップなどの形で本願発明の E L 表示装置に実装しても良い。その場合、その IC チップで形成されたデジタルデータ信号が本願発明の E L 表示装置に入力される構成となる。この場合、本願発明の E L 表示装置をディスプレイとして有する電子装置は、時分割階調データ信号発生回路を含む IC チップを実装した本願発明の E L 表示装置を部品として含むことになる。

【 0 0 3 6 】

また最終的には、時分割階調データ信号発生回路 1 1 4 を画素部 1 0 1、データ信号側駆動回路 1 0 2 及びゲート信号側駆動回路 1 0 3 と同一の基板上に T F T でもって形成しうる。この場合、E L 表示装置に画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。勿論、この場合の時分割階調データ信号発生回路は本願発明で用いるポリシリコン膜を活性層とする T F T で形成することが望ましい。また、この場合、本願発明の E L 表示装置をディスプレイとして有する電子装置は、時分割階調データ信号発生回路が E L 表示装置自体に内蔵されており、電子装置の小型化を図ることが可能である。

【 0 0 3 7 】

画素部 1 0 1 にはマトリクス状に複数の画素 1 0 4 が配列される。画素 1 0 4 の拡大図を図 1 (B) に示す。図 1 (B) において、1 0 5 はスイッチング用 T F T である。スイッチング用 T F T 1 0 5 のゲート電極は、ゲート信号を入力するゲート配線 1 0 6 に接続されている。スイッチング用 T F T 1 0 5 のソース領域とドレイン領域は、一方はデジタルデータ信号を入力するデータ配線 (ソース配線ともいう) 1 0 7 に接続されており、もう一方は E L 駆動用 T F T 1 0 8 のゲート電極に接続されている。

【 0 0 3 8 】

デジタルデータ信号は「 0 」または「 1 」の情報を有しており、「 0 」と「 1 」のデジタルデータ信号のうち、一方は H i、もう一方は L o の電位を有している。

【 0 0 3 9 】

また、E L 駆動用 T F T 1 0 8 のソース領域は電源供給線 1 1 1 に接続され、ドレイン領域は E L 素子 1 1 0 に接続される。

【 0 0 4 0 】

E L 素子 1 1 0 は E L 駆動用 T F T 1 0 8 のドレイン領域に接続された画素電極と、E L 層を挟んで画素電極に対向して設けられた対向電極とでなり、対向電極は一定の電位 (コモン電位) に保たれているコモン電源 1 1 2 に接続されている。

【 0 0 4 1 】

なお E L 素子 1 1 0 の陽極を画素電極として用い、陰極を対向電極として用いる場合、E L 駆動用 T F T 1 0 8 は p チャネル型 T F T であることが好ましい。

【 0 0 4 2 】

なお E L 素子 1 1 0 の陰極を画素電極として用い、陽極を対向電極として用いる場合、E L 駆動用 T F T 1 0 8 は n チャネル型 T F T であることが好ましい。

10

20

30

40

50

【0043】

電源供給線111にかかる電位をEL駆動電位と呼ぶ。EL素子が発光している時のEL駆動電位をオンのEL駆動電位と呼ぶ。またEL素子が発光していない時のEL駆動電位をオフのEL駆動電位と呼ぶ。

【0044】

そしてさらに、EL駆動電位とコモン電位との差をEL駆動電圧と呼ぶ。EL素子が発光している時のEL駆動電圧をオンのEL駆動電圧と呼ぶ。またEL素子が発光していない時のEL駆動電圧をオフのEL駆動電圧と呼ぶ。

【0045】

電源供給線111にかかるオンのEL駆動電圧は、対応する画素の表示する色（赤色、緑色、青色）によって、その値を変える。例えば用いる有機EL材料の赤色の発光輝度が、青色と緑色の発光輝度よりも低い場合、赤色を表示する画素に接続されている電源供給線にかかるオンのEL駆動電圧を、青色と緑色を表示する画素に接続されている電源供給線にかかるオンのEL駆動電圧よりも大きく設定する。

【0046】

なお、EL駆動用TFT108のドレイン領域と、EL素子110が有する画素電極との間に抵抗体を設けても良い。抵抗体を設けることによって、EL駆動用TFTからEL素子へ供給される電流量を制御し、EL駆動用TFTの特性のバラツキの影響を防ぐことが可能になる。抵抗体はEL駆動用TFT108のオン抵抗よりも十分に大きい抵抗値を示す素子であれば良いため、構造等に限定はない。なお、オン抵抗とは、TFTがオン状態の時に、TFTのドレイン電圧をその時に流れているドレイン電流で割った値である。抵抗体の抵抗値としては1kΩ～50MΩ（好ましくは10kΩ～10MΩ、さらに好ましくは50kΩ～1MΩ）の範囲から選択すれば良い。抵抗体として抵抗値の高い半導体層を用いると形成が容易であり好ましい。

【0047】

また、スイッチング用TFT105が非選択状態（オフ状態）にある時、EL駆動用TFT108のゲート電圧を保持するためにコンデンサ113が設けられる。このコンデンサ113はスイッチング用TFT105のドレイン領域と電源供給線111とに接続されている。

【0048】

次に時分割階調表示について、図1及び図2を用いて説明する。ここではnビットデジタル駆動方式により 2^n 階調の表示を行う場合について説明する。

【0049】

まず、1フレーム期間をn個のサブフレーム期間（SF1～SFn）に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間と呼ぶ。通常のELディスプレイでは発振周波数は60Hz以上、即ち1秒間に60以上のフレーム期間が設けられており、1秒間に60以上の画像が表示されている。1秒間に表示される画像の数が60より少なくなると、視覚的にフリッカ等の画像のちらつきが目立ち始める。なお、1フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて1フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。（図2）

【0050】

1つのサブフレーム期間はアドレス期間（Ta）とサステイン期間（Ts）とに分けられる。アドレス期間とは、1サブフレーム期間中、全画素にデータを入力するのに要する時間であり、サステイン期間（点灯期間とも呼ぶ）とは、EL素子を発光させる期間を示している。

【0051】

n個のサブフレーム期間（SF1～SFn）がそれぞれ有するアドレス期間（Ta1～Tan）の長さは全て一定である。SF1～SFnがそれぞれ有するサステイン期間（Ts）をそれぞれTs1～Tsnとする。

【 0 0 5 2 】

サステイン期間の長さは、 $Ts_1 : Ts_2 : Ts_3 : \dots : Ts_{(n-1)} : Ts_n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。但し、 $SF_1 \sim SF_n$ 出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【 0 0 5 3 】

まず、電源供給線 1 1 1 がオフの EL 駆動電位に保たれている状態にしておき、ゲート配線 1 0 6 にゲート信号を印加し、ゲート配線 1 0 6 に接続されているスイッチング用 TFT 1 0 5 全てを ON 状態にする。なおオフの EL 駆動電位は、EL 素子が発光しない程度にコモン電位と同じぐらいの電位である。

10

【 0 0 5 4 】

そしてスイッチング用 TFT 1 0 5 を ON 状態にした後、または ON 状態にするのと同時にスイッチング用 TFT 1 0 5 のソース領域に「0」または「1」の情報を有するデジタルデータ信号を入力していく。

【 0 0 5 5 】

デジタルデータ信号がスイッチング用 TFT 1 0 5 を介して EL 駆動用 TFT 1 0 8 のゲート電極に接続されたコンデンサ 1 1 3 に入力され保持される。全ての画素にデジタルデータ信号が入力されるまでの期間がアドレス期間である。

【 0 0 5 6 】

アドレス期間が終了したら、電源供給線 1 1 1 がオンの EL 駆動電位に保たれ、またスイッチング用 TFT がオフ状態になり、コンデンサ 1 1 3 において保持されたデジタルデータ信号が、EL 駆動用 TFT 1 0 8 のゲート電極に入力される。

20

【 0 0 5 7 】

なお、オンの EL 駆動電位の高さは、コモン電位との間に EL 素子が発光する程度の電位差を有する高さである。陽極にかかる電位は陰極にかかる電位よりも高いことがより望ましい。つまり陽極を画素電極として用いる場合、オンの EL 駆動電位はコモン電位よりも高いことが望ましい。逆に陰極を画素電極として用いる場合、オンの EL 駆動電位はコモン電位よりも低いことが望ましい。

【 0 0 5 8 】

本実施の形態において、デジタルデータ信号が「0」の情報を有していた場合、EL 駆動用 TFT 1 0 8 はオフ状態となり、電源供給線 1 1 1 に印加されているオンの EL 駆動電圧は EL 素子 1 1 0 が有する陽極（画素電極）に印加されない。

30

【 0 0 5 9 】

逆に、「1」の情報を有していた場合、EL 駆動用 TFT 1 0 8 はオン状態となり、電源供給線 1 1 1 に印加されているオンの EL 駆動電圧は、EL 素子 1 1 0 が有する陽極（画素電極）に印加される。

【 0 0 6 0 】

その結果、「0」の情報を有するデジタルデータ信号が印加された画素が有する EL 素子 1 1 0 は発光しない。そして「1」の情報を有するデジタルデータ信号が印加された画素が有する EL 素子 1 1 0 は発光する。発光が終了するまでの期間がサステイン期間である。

40

【 0 0 6 1 】

EL 素子 1 1 0 を発光させる（画素を点灯させる）期間は $Ts_1 \sim Ts_n$ までのいずれかの期間である。ここでは Ts_n の期間、所定の画素を点灯させたとする。

【 0 0 6 2 】

次に、再びアドレス期間に入り、全画素にデータ信号を入力したらサステイン期間に入る。このときは $Ts_1 \sim Ts_{(n-1)}$ のいずれかの期間がサステイン期間となる。ここでは $Ts_{(n-1)}$ の期間、所定の画素を点灯させたとする。

【 0 0 6 3 】

以下、残りの $n - 2$ 個のサブフレームについて同様の動作を繰り返し、順次 $Ts_{(n -$

50

2)、 $T_s(n-3) \dots T_s1$ とサステイン期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0064】

n 個のサブフレーム期間が出現したら1フレーム期間を終えたことになる。このとき、画素が点灯していたサステイン期間、言い換えると「1」の情報を有するデジタルデータ信号が画素に印加されたアドレス期間の直後のサステイン期間の長さを積算することによって、その画素の階調がきまる。例えば、 $n=8$ のとき、全部のサステイン期間で画素が発光した場合の輝度を100%とすると、 T_s1 と T_s2 において画素が発光した場合には75%の輝度が表現でき、 T_s3 と T_s5 と T_s8 を選択した場合には16%の輝度が表現できる。

10

【0065】

そしてさらに本願発明では、電源供給線111にかかるオンのEL駆動電圧の値を、対応する画素の表示する色(赤、緑、青)によって変えている。例えば用いる有機EL材料の赤色の発光輝度が、青色と緑色の発光輝度よりも低い場合、赤色を表示する画素に接続されている電源供給線にかかるオンのEL駆動電圧を、青色と緑色を表示する画素に接続されている電源供給線にかかるオンのEL駆動電圧よりも大きくなるように設定する。

【0066】

なお、オンのEL駆動電位の値を変えると同時に、デジタルデータ信号及びゲート信号の有する電位の値を適宜変えることも重要である。

【0067】

20

次に本願発明における、EL駆動用TFTの構成について説明する。本願発明において、EL駆動用TFTはpチャネル型TFTまたはnチャネル型TFTで構成される。pチャネル型TFTで構成されるEL駆動用TFTはLDD領域を有さず、nチャネル型TFTで構成されるEL駆動用TFTはLDD領域を有す。

【0068】

EL駆動用TFTはスイッチング用TFTよりも、制御する電流の量が多い。特に発光輝度の低い色を表示する画素のEL駆動用TFTは、他の色を表示する画素のEL駆動用TFTより制御する電流の量が多い。

【0069】

EL駆動用TFTがpチャネル型TFTの場合、発光輝度の低い色を表示する画素のEL駆動用TFTのチャネル幅(W)を、発光輝度の比較的高い色を表示する画素のEL駆動用TFTのチャネル幅(W)より大きくする。上記構成によって、発光輝度の低い色を表示する画素のEL駆動用TFTが、他の色を表示する画素のEL駆動用TFTより制御する電流の量が大きくても、発光輝度の低い色を表示する画素のEL駆動用TFTがホットキャリア注入によって早く劣化してしまうのを防ぐことができる。

30

【0070】

EL駆動用TFTがnチャネル型TFTの場合も、発光輝度の低い色を表示する画素のEL駆動用TFTのチャネル幅(W)を、発光輝度の比較的高い色を表示する画素のEL駆動用TFTのチャネル幅(W)より大きくすることで、発光輝度の低い色を表示する画素のEL駆動用TFTがホットキャリア注入によって早く劣化してしまうのを防ぐことが可能である。

40

【0071】

EL駆動用TFTがnチャネル型TFTの場合、上記構成を有さなくとも、発光輝度の低い色を表示する画素のEL駆動用TFTのLDD領域の長さを、発光輝度の比較的高い色を表示する画素のEL駆動用TFTのLDD領域の長さより長くすることで、発光輝度の低い色を表示する画素のEL駆動用TFTがホットキャリア注入により劣化するのを防ぐことができる。EL駆動用TFTがnチャネル型TFTの場合、上記したような、画素によってEL駆動用TFTのチャネル幅(W)を異ならせる構成と、画素によってEL駆動用TFTのLDD領域の長さを異ならせる構成とを両方有していても良い。

【0072】

50

本願発明は上記構成により、E L素子に印加されるオンのE L駆動電位の値によって、目的とする画素の有するE L素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することができる。そしてなおかつ、オンのE L駆動電圧が大きくなることによってE L駆動用T F Tが制御する電流の量が増えても、E L駆動用T F Tの劣化を抑えることができる。

【0073】

なおかつ本願発明は時分割階調表示によって鮮明な多階調表示を行うことが可能になる。そしてなおかつ、印加される電圧が高くなることによってE L駆動用T F Tが制御する電流の量が増えても、E L駆動用T F Tの劣化を抑えることができる。

【実施例1】

【0074】

本実施例では8ビットデジタル駆動方式により256階調(1677万色)のフルカラー表示を行う場合の時分割階調表示について説明する。本実施例において、は赤色の発光輝度が青色と緑色の発光輝度よりも低い有機E L材料を用いたE L表示装置の駆動について説明する。

【0075】

まず、1フレーム期間を8個のサブフレーム期間(S F 1 ~ S F 8)に分割する。本実施例のE L表示装置では、発振周波数は60Hzとし、1秒間に60のフレーム期間が設けられており、1秒間に60の画像が表示される。(図3)

【0076】

1つのサブフレーム期間はアドレス期間(T a)とサステイン期間(T s)とに分けられる。S F 1 ~ S F 8がそれぞれ有するアドレス期間(T a 1 ~ T a 8)の長さは全て一定である。S F 1 ~ S F 8がそれぞれ有するサステイン期間(T s)をそれぞれT s 1 ~ T s 8とする。

【0077】

サステイン期間の長さは、T s 1 : T s 2 : T s 3 : T s 4 : T s 5 : T s 6 : T s 7 : T s 8 = 1 : 1 / 2 : 1 / 4 : 1 / 8 : 1 / 16 : 1 / 32 : 1 / 64 : 1 / 128となるように設定する。但し、S F 1 ~ S F 8を出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで256階調のうち所望の階調表示を行うことができる。

【0078】

まず、電源供給線がオフのE L駆動電位に保たれている状態にしておき、ゲート配線にゲート信号を印加し、ゲート配線に接続されているスイッチング用T F T全てをON状態にする。本実施例ではオフのE L駆動電位を0Vとする。なお、本実施例では、E L素子の陽極を画素電極として電源供給線に接続しており、陰極を対向電極としてコモン電源に接続している。

【0079】

そしてスイッチング用T F TをON状態にした後、またはON状態にするのと同時にスイッチング用T F Tのソース領域に「0」または「1」の情報を持つデジタルデータ信号を入力していく。

【0080】

デジタルデータ信号がスイッチング用T F Tを介して、E L駆動用T F Tのゲート電極に接続されたコンデンサに入力され保持される。全ての画素にデジタルデータ信号が入力されるまでの期間がアドレス期間である。

【0081】

アドレス期間が終了したら、電源供給線がオンのE L駆動電位に保たれ、またスイッチング用T F Tがオフ状態になり、コンデンサにおいて保持されたデジタルデータ信号が、E L駆動用T F Tのゲート電極に入力される。本実施例では、サステイン期間において、赤色の表示用の画素に接続された電源供給線は10VのオンのE L駆動電位に保たれる。また緑色と青色の表示用の画素に接続された電源供給線は5VのオンのE L駆動電位に保

10

20

30

40

50

たれる。

【0082】

本実施例において、デジタルデータ信号が「0」の情報を持っていた場合、EL駆動用TFTはオフ状態となり、電源供給線に印加されているオンのEL駆動電圧はEL素子が有する陽極（画素電極）に印加されない。

【0083】

逆に、「1」の情報を持っていた場合、EL駆動用TFTはオン状態となり、電源供給線に印加されているオンのEL駆動電圧は、EL素子が有する陽極（画素電極）に印加される。

【0084】

その結果、「0」の情報を有するデジタルデータ信号が印加された画素が有するEL素子は発光しない。そして「1」の情報を有するデジタルデータ信号が印加された画素が有するEL素子は発光する。発光が終了するまでの期間がサステイン期間である。

【0085】

ELを発光させる（画素を点灯させる）期間はTs1～Ts8までのいずれかの期間である。ここではTs8の期間、所定の画素を点灯させたとする。

【0086】

次に、再びアドレス期間に入り、全画素にデータ信号を入力したらサステイン期間に入る。このときはTs1～Ts7のいずれかの期間がサステイン期間となる。ここではTs7の期間、所定の画素を点灯させたとする。

【0087】

以下、残りの6つのサブフレームについて同様の動作を繰り返し、順次Ts6、Ts5...Ts1とサステイン期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0088】

8つのサブフレーム期間が出現したら1フレーム期間を終えたことになる。このとき、画素が点灯したサステイン期間、言い換えると「1」の情報を有するデジタルデータ信号が画素に印加されたアドレス期間の直後のサステイン期間の長さを積算することによって、その画素の階調が決まる。例えば、全部のサステイン期間で画素が発光した場合の輝度を100%とすると、Ts1とTs2において画素が発光した場合には75%の輝度が表現でき、Ts3とTs5とTs8を選択した場合には16%の輝度が表現できる。

【0089】

なお、EL駆動電位の値を変えると同時に、デジタルデータ信号及びゲート信号の有する電位の値を適宜変えることも重要である。

【0090】

上記構成によって、本願発明はEL素子に印加するEL駆動電圧の値によって、目的とする画素の有するEL素子の発光輝度を調節することが可能になり、なおかつ、時分割階調表示によって鮮明な多階調表示を行うことが可能になった。

具体的には赤色の発光輝度が青色と緑色の発光輝度よりも低い有機EL材料を用いたEL素子の、赤色、青色、緑色の発光輝度のバランスが良くなり、色鮮やかな画像を表示することが可能になる。またなおかつ、デジタル信号により時分割階調表示を行い、EL駆動用TFTの特性バラツキによる階調不良のない、色再現性の良い高精細な画像を得ることができる。

【実施例2】

【0091】

次に、本願発明のEL表示装置について、その断面構造の概略を図4を用いて説明する。なお本実施例ではEL素子の陰極がEL駆動用TFTのドレイン領域に接続されている例について説明する。

【0092】

図4において、11は基板、12は下地となる絶縁膜（以下、下地膜という）

10

20

30

40

50

である。基板 1 1 としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0093】

また、下地膜 1 2 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 1 2 としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ SiO_xN_y ：x、y は任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

10

【0094】

2 0 1 はスイッチング用 T F T、2 0 2 は E L 駆動用 T F T であり、共に n チャネル型 T F T で形成されている。本願発明において、スイッチング用 T F T と E L 駆動用 T F T は、n チャネル型 T F T でも p チャネル型 T F T でも、どちらでも構わない。

【0095】

ただし n チャネル型 T F T の電界効果移動度は p チャネル型 T F T の電界効果移動度よりも大きいので、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにも T F T サイズは n チャネル型 T F T の方が小さくできる。そのため、n チャネル型 T F T を E L 駆動用 T F T として用いた方が画像表示部の有効発光面積が広がるのでより好ましい。

20

【0096】

スイッチング用 T F T 2 0 1 は、ソース領域 1 3、ドレイン領域 1 4、L D D 領域 1 5 a ~ 1 5 d、分離領域 1 6 及びチャネル形成領域 1 7 a、1 7 b を含む活性層と、ゲート絶縁膜 1 8 と、ゲート電極 1 9 a、1 9 b と、第 1 層間絶縁膜 2 0 と、ソース配線 2 1 と、ドレイン配線 2 2 とを有している。なお、ゲート絶縁膜 1 8 又は第 1 層間絶縁膜 2 0 は基板上の全 T F T に共通であっても良いし、回路又は素子に応じて異ならせても良い。

【0097】

また、図 4 に示すスイッチング用 T F T 2 0 1 はゲート電極 1 9 a、1 9 b が電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

30

【0098】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用 T F T のオフ電流を十分に低くすれば、それだけ E L 駆動用 T F T 2 0 2 のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることは E L 素子の有効発光面積を広げる上でも有効である。

【0099】

さらに、スイッチング用 T F T 2 0 1 においては、L D D 領域 1 5 a ~ 1 5 d は、ゲート絶縁膜 1 8 を介してゲート電極 1 7 a、1 7 b と重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、L D D 領域 1 5 a ~ 1 5 d の長さ（幅）は 0 . 5 ~ 3 . 5 μm 、代表的には 2 . 0 ~ 2 . 5 μm とすれば良い。

40

【0100】

なお、チャネル形成領域と L D D 領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が印加されない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域 1 6（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【0101】

次に、E L 駆動用 T F T 2 0 2 は、ソース領域 2 6、ドレイン領域 2 7、L D D 領域 2

50

8 及びチャネル形成領域 29 を含む活性層と、ゲート絶縁膜 18 と、ゲート電極 30 と、第 1 層間絶縁膜 20 と、ソース配線 31 並びにドレイン配線 32 を有して形成される。本実施例において E L 駆動用 T F T 202 は n チャネル型 T F T である。

【0102】

また、スイッチング用 T F T 201 のドレイン領域 14 は E L 駆動用 T F T 202 のゲート電極 30 に接続されている。図示してはいないが、具体的には E L 駆動用 T F T 202 のゲート電極 30 はスイッチング用 T F T 201 のドレイン領域 14 とドレイン配線（接続配線とも言える）22 を介して電氣的に接続されている。なお、ゲート電極 30 はシングルゲート構造となっているが、マルチゲート構造であっても良い。また、E L 駆動用 T F T 202 のソース配線 31 は電源供給線（図示せず）に接続される。

10

【0103】

E L 駆動用 T F T 202 は E L 素子に注入される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、チャネル幅（W）はスイッチング用 T F T のチャネル幅よりも大きく設計することが好ましい。また、E L 駆動用 T F T 202 に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり 0.5 ~ 2 μ A（好ましくは 1 ~ 1.5 μ A）となるようにする。

【0104】

特に本願発明においては、発光輝度の低い色を表示する画素の E L 駆動用 T F T には、他の色を表示する画素の E L 駆動用 T F T よりも、制御する電流が大きい。そのため発光輝度の低い色を表示する画素の E L 駆動用 T F T は、他の色を表示する画素の E L 駆動用 T F T よりもホットキャリア注入によって早く劣化してしまう。

20

【0105】

そのため本願発明では、発光輝度の低い色を表示する画素の E L 駆動用 T F T の L D D 領域の長さを、発光輝度の比較的高い色を表示する画素の E L 駆動用 T F T の L D D 領域の長さより長くした。これによって、E L 駆動用 T F T が制御する電流の量が増えることによって、E L 駆動用 T F T が劣化するのを抑えることが可能になった。

【0106】

またさらに、E L 駆動用 T F T 202 の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは 50 ~ 100 nm、さらに好ましくは 60 ~ 80 nm）ことによって、T F T の劣化を抑えてもよい。逆に、スイッチング用 T F T 201 の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは 20 ~ 50 nm、さらに好ましくは 25 ~ 40 nm）ことも有効である。

30

【0107】

以上は画素内に設けられた T F T の構造について説明したが、このとき同時に駆動回路も形成される。図 4 には駆動回路を形成する基本単位となる C M O S 回路が図示されている。

【0108】

図 4 においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有する T F T を C M O S 回路の n チャネル型 T F T 204 として用いる。なお、ここでいう駆動回路としては、データ信号側駆動回路、ゲート信号側駆動回路を指す。勿論、他の論理回路（レベルシフタ、A / D コンバータ、信号分割回路等）を形成することも可能である。

40

【0109】

C M O S 回路の n チャネル型 T F T 204 の活性層は、ソース領域 35、ドレイン領域 36、L D D 領域 37 及びチャネル形成領域 38 を含み、L D D 領域 37 はゲート絶縁膜 18 を介してゲート電極 39 と重なっている。

【0110】

ドレイン領域 36 側のみに L D D 領域 37 を形成しているのは、動作速度を落とさないための配慮である。また、この n チャネル型 T F T 204 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、L D D 領域 37 は完全に

50

ゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0111】

また、CMOS回路のpチャネル型TFT205は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。従って活性層はソース領域40、ドレイン領域41及びチャネル形成領域42を含み、その上にはゲート絶縁膜18とゲート電極43が設けられる。勿論、nチャネル型TFT204と同様にLDD領域を設け、ホットキャリア対策を講じることにも可能である。

【0112】

また、nチャネル型TFT204及びpチャネル型TFT205はそれぞれソース領域上に第1層間絶縁膜20を間に介して、ソース配線44、45を有している。また、ドレイン配線46によってnチャネル型TFT204とpチャネル型TFT205とのドレイン領域は互いに電氣的に接続される。

【0113】

次に、47は第1パッシベーション膜であり、膜厚は10nm～1μm(好ましくは200～500nm)とすれば良い。材料としては、珪素を含む絶縁膜(特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。このパッシベーション膜47は形成されたTFTをアルカリ金属や水分から保護する役割金属を有する。最終的にTFT(特にEL駆動用TFT)の上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜47はこれらのアルカリ金属(可動イオン)をTFT側に侵入させない保護層としても働く。

【0114】

また、48は第2層間絶縁膜であり、TFTによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜48としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5～5μm(好ましくは1.5～2.5μm)が好ましい。

【0115】

また、49は保護電極であり、各画素の画素電極51を接続するための電極である。保護電極49としては、アルミニウム(Al)、銅(Cu)若しくは銀(Ag)を含む低抵抗な材料を用いることが好ましい。この保護電極49にはEL層の発熱を緩和する放熱効果も期待できる。保護電極49は、EL駆動用TFT202のドレイン配線32に接続されるように形成される。

【0116】

保護電極49の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜50が0.3～1μmの厚さに設けられる。この第3層間絶縁膜50は保護電極49の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は10～60°(好ましくは30～50°)とすると良い。

【0117】

第3層間絶縁膜50の上には画素電極(EL素子の陰極)51が設けられる。陰極51としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0118】

10

20

30

40

50

画素電極 5 1 の上には E L 層 5 2 が設けられる。E L 層 5 2 は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層の順に形成されるが、正孔輸送層 / 発光層 / 電子輸送層、または正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子注入層のような構造でも良い。本願発明では公知のいずれの構造を用いても良いし、E L 層に対して蛍光性色素等をドーピングしても良い。

【0119】

なお、E L 表示装置には大きく分けて四つのカラー化表示方式があり、R (赤) G (緑) B (青) に対応した三種類の E L 素子を形成する方式、白色発光の E L 素子とカラーフィルターを組み合わせた方式、青色又は青緑発光の E L 素子と蛍光体 (蛍光性の色変換層 : C C M) とを組み合わせた方式、陰極 (対向電極) に透明電極を使用して R G B に対応した E L 素子を重ねる方式、がある。

【0120】

図 4 の構造は R G B に対応した三種類の E L 素子を形成する方式を用いた場合の例である。なお、図 4 には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。

【0121】

本願発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本願発明に用いることができる。しかし、蛍光体は E L に比べて応答速度が遅く残光が問題となりうるので、蛍光体を用いない方式が望ましい。

【0122】

次に透明導電膜でなる対向電極 (E L 素子の陽極) 5 3 を E L 層上に形成する。本実施例では、透明導電膜として I T O (I n d i u m T i n O x i d e) を用いた。

【0123】

E L 層 5 2 と対向電極 5 3 でなる積層体は、各画素で個別に形成する必要があるが、E L 層 5 2 は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマ C V D 法等の気相法で選択的に形成することが好ましい。

【0124】

なお、E L 層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピンコート法等を用いることも可能である。

【0125】

また、5 4 は第 2 パッシベーション膜であり、膜厚は 1 0 n m ~ 1 μ m (好ましくは 2 0 0 ~ 5 0 0 n m) とすれば良い。第 2 パッシベーション膜 5 4 を設けるのは、E L 層 5 2 を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のように E L 層は熱に弱いので、なるべく低温 (好ましくは室温から 1 2 0 までの温度範囲) で成膜するのが望ましい。従って、プラズマ C V D 法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法 (スピンコーティング法) が望ましい成膜方法と言える。

【0126】

本願発明は、図 4 の E L 表示装置の構造に限定されるものではなく、図 4 の構造は本願発明を実施する上での好ましい形態の一つに過ぎない。

【0127】

上記構成によって、本願発明は E L 素子に印加するオンの E L 駆動電圧の値によって、目的とする画素の有する E L 素子の発光輝度を調節することが可能になり、なおかつ、時分割階調表示によって鮮明な多階調表示を行うことが可能になった。具体的には E L 素子に印加するオンの E L 駆動電圧の値によって、その E L の発光輝度を調節することで、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。またなおかつ、デジタル信号により時分割階調表示を行い、E L 駆動用 T F T の特性バラツキによる階調不良のない、色再現性の良い高精細な画像を得ることができる。

【0128】

また、本実施例の構成は、実施例1の構成と自由に組み合わせることが可能である。

【実施例3】

【0129】

本実施例では、画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0130】

まず、図5(A)に示すように、下地膜(図示せず)を表面に設けた基板501を用意する。本実施例では結晶化ガラス上に下地膜として100nm厚の窒化酸化珪素膜を200nm厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を10~25wt%としておくが良い。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

10

【0131】

次に基板501の上に45nmの厚さのアモルファスシリコン膜502を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0132】

ここから図5(C)までの工程は本出願人による特許番号第3032801号を完全に引用することができる。同特許ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

20

【0133】

まず、開口部503a、503bを有する保護膜504を形成する。本実施例では150nm厚の酸化珪素膜を用いる。そして、保護膜504の上にスピコート法によりニッケル(Ni)を含有する層(Ni含有層)505を形成する。このNi含有層の形成に関しては、前記公報を参考にすれば良い。

【0134】

次に、図5(B)に示すように、不活性雰囲気中で570℃14時間の加熱処理を加え、アモルファスシリコン膜502を結晶化する。この際、Niが接した領域(以下、Ni添加領域という)506a、506bを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜507が形成される。

30

【0135】

次に、図5(C)に示すように、保護膜504をそのままマスクとして15族に属する元素(好ましくはリン)をNi添加領域506a、506bに添加する。こうして高濃度にリンが添加された領域(以下、リン添加領域という)508a、508bが形成される。

【0136】

次に、図5(C)に示すように、不活性雰囲気中で600℃12時間の加熱処理を加える。この熱処理によりポリシリコン膜507中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域508a、508bに捕獲されてしまう。これはリンによる金属元素(本実施例ではNi)のゲッタリング効果による現象であると考えられる。

40

【0137】

この工程によりポリシリコン膜509中に残るNiの濃度はSIMS(質量二次イオン分析)による測定値で少なくとも 2×10^{17} atoms/cm³にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度(2×10^{17} atoms/cm³以下)であると考えられる。

【0138】

こうして触媒を用いて結晶化され、且つ、その触媒がTFTの動作に支障を与えないレ

50

ベルにまで低減されたポリシリコン膜 5 0 9 が得られる。その後、このポリシリコン膜 5 0 9 のみを用いた活性層 5 1 0 ~ 5 1 3 をパターニング工程により形成する。この時、後のパターニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。(図 5 (D))

【0139】

次に、図 5 (E) に示すように、50 nm 厚の窒化酸化シリコン膜をプラズマ CVD 法により形成し、その上で酸化雰囲気中で 950 1 時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0140】

10

この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約 15 nm 厚のポリシリコン膜が酸化されて約 30 nm 厚の酸化シリコン膜が形成される。即ち、30 nm 厚の酸化シリコン膜と 50 nm 厚の窒化酸化シリコン膜が積層されてなる 80 nm 厚のゲート絶縁膜 5 1 4 が形成される。また、活性層 5 1 0 ~ 5 1 3 の膜厚はこの熱酸化工程によって 30 nm となる。

【0141】

次に、図 6 (A) に示すように、レジストマスク 5 1 5 を形成し、ゲート絶縁膜 5 1 4 を介して p 型を付与する不純物元素 (以下、p 型不純物元素という) を添加する。p 型不純物元素としては、代表的には 13 族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程 (チャネルドープ工程という) は TFT のしきい値電圧を制御するための工程である。

20

【0142】

なお、本実施例ではジボラン (B_2H_6) を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$) の濃度でボロンを含む不純物領域 5 1 6 ~ 5 1 8 が形成される。

【0143】

次に、図 6 (B) に示すように、レジストマスク 5 1 9 a、5 1 9 b を形成し、ゲート絶縁膜 5 1 4 を介して n 型を付与する不純物元素 (以下、n 型不純物元素という) を添加する。なお、n 型不純物元素としては、代表的には 15 族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン (PH_3) を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

30

【0144】

この工程により形成される n 型不純物領域 5 2 0、5 2 1 には、n 型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$) の濃度で含まれるようにドーズ量を調節する。

【0145】

次に、図 6 (C) に示すように、添加された n 型不純物元素及び p 型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜 5 1 4 が設けられているので電熱炉を用いたファーンেসアニール処理が好ましい。また、図 6 (A) の工程でチャネル形成領域となる部分の活性層 / ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

40

【0146】

本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を 800 1 時間のファーンেসアニール処理により行う。なお、処理雰囲気を酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気で加熱処理を行っても良い。

【0147】

この工程により n 型不純物領域 5 2 0、5 2 1 の端部、即ち、n 型不純物領域 5 2 0、5 2 1 の周囲に存在する n 型不純物元素を添加していない領域 (図 6 (A) の工程で形成

50

された p 型不純物領域) との境界部 (接合部) が明確になる。

このことは、後に T F T が完成した時点において、L D D 領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【 0 1 4 8 】

次に、200 ~ 400 nm 厚の導電膜を形成し、パターニングしてゲート電極 5 2 2 ~ 5 2 5 を形成する。このゲート電極 5 2 2 ~ 5 2 5 の線幅によって各 T F T のチャネル長の長さが決定する。

【 0 1 4 9 】

なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル (T a)、チタン (T i)、モリブデン (M o)、タングステン (W)、クロム (C r)、シリコン (S i) から選ばれた元素でなる膜、または前記元素の窒化物でなる膜 (代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜 (代表的には M o - W 合金、M o - T a 合金)、または前記元素のシリサイド膜 (代表的にはタングステンシリサイド膜、チタンシリサイド膜) を用いることができる。勿論、単層で用いても積層して用いても良い。

【 0 1 5 0 】

本実施例では、50 nm 厚の窒化タングステン (W N) 膜と、350 nm 厚のタングステン (W) 膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン (X e)、ネオン (N e) 等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【 0 1 5 1 】

またこの時、ゲート電極 5 2 3、5 2 5 はそれぞれ n 型不純物領域 5 2 0、5 2 1 の一部とゲート絶縁膜 5 1 4 を介して重なるように形成する。この重なった部分が後にゲート電極と重なった L D D 領域となる。なお、ゲート電極 5 2 4 a、5 2 4 b は断面では二つに見えるが、実際は電氣的に接続されている。

【 0 1 5 2 】

次に、図 7 (A) に示すように、ゲート電極 5 2 2 ~ 5 2 5 及をマスクとして自己整合的に n 型不純物元素 (本実施例ではリン) を添加する。こうして形成される不純物領域 5 2 7 ~ 5 3 3 には n 型不純物領域 5 2 0、5 2 1 の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$) の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$) の濃度が好ましい。

【 0 1 5 3 】

次に、図 7 (B) に示すように、ゲート電極等を覆う形でレジストマスク 5 3 4 a ~ 5 3 4 d を形成し、n 型不純物元素 (本実施例ではリン) を添加して高濃度にリンを含む不純物領域 5 3 5 ~ 5 4 1 を形成する。ここでもフォスフィン (P H ₃) を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$) となるように調節する。

【 0 1 5 4 】

この工程によって n チャネル型 T F T のソース領域若しくはドレイン領域が形成されるが、スイッチング用 T F T は、図 7 (A) の工程で形成した n 型不純物領域 5 3 0 ~ 5 3 2 の一部を残す。この残された領域が、図 4 におけるスイッチング用 T F T の L D D 領域 1 5 a ~ 1 5 d に対応する。

【 0 1 5 5 】

次に、図 7 (C) に示すように、レジストマスク 5 3 4 a ~ 5 3 4 d を除去し、新たにレジストマスク 5 4 3 を形成する。そして、p 型不純物元素 (本実施例ではボロン) を添加し、高濃度にボロンを含む不純物領域 5 4 4、5 4 5 を形成する。ここではジボラン (B ₂ H ₆) を用いたイオンドーピング法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$) の濃度となるようにボロンを添加する。

【 0 1 5 6 】

なお、不純物領域 5 4 4、5 4 5 には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に P 型に反転し、P 型の不純物領域として機能する。

【0157】

次に、図 7 (D) に示すように、レジストマスク 5 4 3 を除去した後、第 1 層間絶縁膜 5 4 6 を形成する。第 1 層間絶縁膜 5 4 6 としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は $400 \text{ nm} \sim 1.5 \text{ }\mu\text{m}$ とすれば良い。本実施例では、 200 nm 厚の窒化酸化珪素膜の上に 800 nm 厚の酸化珪素膜を積層した構造とする。

10

【0158】

その後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーンズアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、 550°C 、4 時間の熱処理を行う。

【0159】

さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$ で $1 \sim 12$ 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0160】

20

なお、水素化処理は第 1 層間絶縁膜 5 4 6 を形成する間に入れても良い。即ち、 200 nm 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 800 nm 厚の酸化珪素膜を形成しても構わない。

【0161】

次に、図 8 (A) に示すように、第 1 層間絶縁膜 5 4 6 に対してコンタクトホールを形成し、ソース配線 5 4 7 ~ 5 5 0 と、ドレイン配線 5 5 1 ~ 5 5 3 を形成する。なお、本実施例ではこの電極を、Ti 膜を 100 nm 、Ti を含むアルミニウム膜を 300 nm 、Ti 膜 150 nm をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

【0162】

30

次に、 $50 \sim 500 \text{ nm}$ (代表的には $200 \sim 300 \text{ nm}$) の厚さで第 1 パッシベーション膜 5 5 4 を形成する。本実施例では第 1 パッシベーション膜 5 5 4 として 300 nm 厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0163】

この時、窒化酸化シリコン膜の形成に先立って H_2 、 NH_3 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第 1 層間絶縁膜 5 4 6 に供給され、熱処理を行うことで、第 1 パッシベーション膜 5 5 4 の膜質が改善される。それと同時に、第 1 層間絶縁膜 5 4 6 に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0164】

40

次に、図 8 (B) に示すように、有機樹脂からなる第 2 層間絶縁膜 5 5 5 を形成する。有機樹脂としてはポリイミド、アクリル、BCB (ベンゾシクロブテン) 等を使用することができる。特に、第 2 層間絶縁膜 5 5 5 は TFT が形成する段差を平坦化するので、平坦性に優れたアクリル膜が好ましい。本実施例では $2.5 \text{ }\mu\text{m}$ の厚さでアクリル膜を形成する。

【0165】

次に、第 2 層間絶縁膜 5 5 5、第 1 パッシベーション膜 5 5 4 にドレイン配線 5 5 3 に達するコンタクトホールを形成し、次に保護電極 5 5 6 を形成する。保護電極 5 5 6 としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極 5 5 6 は真空蒸着法で形成すれば良い。

50

【0166】

次に、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500nmの厚さに形成し、画素電極となる部分に対応する位置に開口部を形成して第3層間絶縁膜557を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることができる。開口部の側壁が十分になだらかでないで段差に起因するEL層の劣化が顕著な問題となってしまう。

【0167】

次にEL素子の陰極である画素電極（MgAg電極）558を形成する。MgAg電極558は真空蒸着法を用いて、厚さが180～300nm（典型的には200～250nm）になるように形成する。

10

【0168】

次に、EL層559を、真空蒸着法を用いて大気解放しないで形成する。なお、EL層559の膜厚は800～200nm（典型的には100～120nm）の厚さとするれば良い。

【0169】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層を形成するのが好ましい。

【0170】

20

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層を形成するまで真空を破らずに処理することが好ましい。

【0171】

なお、EL層559としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。

30

【0172】

次に、対向電極560（陽極）を形成する。対向電極（陽極）560は110nmの厚さとするれば良い。本実施例ではEL素子の対向電極（陽極）560として酸化インジウム・スズ（ITO）膜を形成する。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良いし、公知の他の材料であっても良い。

【0173】

最後に、窒化珪素膜でなる第2パッシベーション膜561を300nmの厚さに形成する。

【0174】

40

こうして図8（C）に示すような構造のEL表示装置が完成する。なお、実際には、図8（C）まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。その際、ハウジング材の内部を不活性雰囲気にしたたり、内部に吸湿性材料（例えば酸化バリウム）を配置することでEL層の信頼性（寿命）が向上する。

【0175】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できる

50

状態にまでした E L 表示装置を本明細書中では E L モジュールという。

【 0 1 7 6 】

また、本実施例の構成は、実施例 1 の構成と自由に組み合わせることが可能である。

【実施例 4】

【 0 1 7 7 】

本実施例では本願発明の E L 表示装置の構成を図 9 の斜視図を用いて説明する。

【 0 1 7 8 】

本実施例の E L 表示装置は、ガラス基板 6 0 1 上に形成された、画素部 6 0 2 と、ゲート側駆動回路 6 0 3 と、ソース側駆動回路 6 0 4 とで構成される。画素部 6 0 2 のスイッチング用 T F T 6 0 5 は n チャネル型 T F T であり、ゲート側駆動回路 6 0 3 に接続されたゲート配線 6 0 6、ソース側駆動回路 6 0 4 に接続されたソース配線 6 0 7 の交点に配置されている。また、スイッチング用 T F T 6 0 5 のソース領域とドレイン領域は、一方はソース配線 6 0 7 に、もう一方は E L 駆動用 T F T 6 0 8 のゲート電極に接続されている。

10

【 0 1 7 9 】

さらに、E L 駆動用 T F T 6 0 8 のソース領域は電源供給線 6 0 9 に接続される。また E L 駆動用 T F T 6 0 8 のゲート電極と電源供給線 6 0 9 とに接続されたコンデンサ 6 1 6 が設けられている。本実施例では、電源供給線 6 0 9 には E L 駆動電位が与えられている。また、この E L 素子 6 1 1 の対向電極（本実施例では陰極）にはコモン電極のコモン電位（本実施例では 0 V）が加えられる。

20

【 0 1 8 0 】

そして、外部入出力端子となる F P C 6 1 2 には駆動回路まで信号を伝達するための入出力配線（接続配線）6 1 3、6 1 4、及び電源供給線 6 0 9 に接続された入出力配線 6 1 5 が設けられている。

【 0 1 8 1 】

さらに、ハウジング材をも含めた本実施例の E L モジュールについて図 1 0（A）、（B）を用いて説明する。なお、必要に応じて図 9 で用いた符号を引用することにする。

【 0 1 8 2 】

基板 1 2 0 0 上には画素部 1 2 0 1、データ信号側駆動回路 1 2 0 2、ゲート信号側駆動回路 1 2 0 3 が形成されている。それぞれの駆動回路からの各種配線は、入出力配線 6 1 3 ~ 6 1 5 を経て F P C 6 1 2 に至り外部機器へと接続される。

30

【 0 1 8 3 】

このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてハウジング材 1 2 0 4 を設ける。なお、ハウジング材 1 2 0 4 は E L 素子の外寸よりも内寸が大きい凹部を有する形状又はシート形状であり、接着剤 1 2 0 5 によって、基板 1 2 0 0 と共同して密閉空間を形成するようにして基板 1 2 0 0 に固着される。このとき、E L 素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材 1 2 0 4 は複数設けても構わない。

【 0 1 8 4 】

また、ハウジング材 1 2 0 4 の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス（硼硅酸塩ガラス、石英等）、結晶化ガラス、セラミックスガラス、有機系樹脂（アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等）、シリコーン系樹脂が挙げられる。また、セラミックスを用いても良い。また、接着剤 1 2 0 5 が絶縁性物質であるならステンレス合金等の金属材料を用いることも可能である。

40

【 0 1 8 5 】

また、接着剤 1 2 0 5 の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

【 0 1 8 6 】

50

さらに、ハウジング材と基板 1200 との間の空隙 1206 は不活性ガス（アルゴン、ヘリウム、窒素等）を充填しておくことが望ましい。また、ガスに限らず不活性液体（パーフルオロアルカンに代表されるの液状フッ素化炭素等）を用いることも可能である。不活性液体に関しては特開平 8 - 78519 号で用いられているような材料で良い。

【0187】

また、空隙 1206 に乾燥剤を設けておくことも有効である。乾燥剤としては特開平 9 - 148066 号公報に記載されているような材料を用いることができる。一般的には酸化バリウムが用いられている。

【0188】

また、図 10 (B) に示すように、画素部には個々に孤立した EL 素子を有する複数の画素が設けられ、それらは全て保護電極 1207 を共通電極として有している。本実施例では、EL 層、陰極 (MgAg 電極) 及び保護電極を大気解放しないで連続形成することが好ましいとしたが、EL 層と陰極とを同じマスク材を用いて形成し、保護電極だけ別のマスク材で形成すれば図 10 (B) の構造を実現することができる。

10

【0189】

このとき、EL 層と陰極は画素部 1201 の上にもみ設ければよく、駆動回路 1202、1203 の上に設ける必要はない。勿論、駆動回路上に設けられていても問題とはならないが、EL 層にアルカリ金属が含まれていることを考慮すると設けない方が好ましい。

【0190】

なお、保護電極 1207 は 1208 で示される領域において、画素電極と同一材料でなる接続配線 1209 を介して入出力配線 1210 に接続される。入出力配線 1210 は保護電極 1207 に EL 駆動電位を与えるための電源供給線であり、導電性ペースト材料 1211 を介して FPC 611 に接続される。

20

【0191】

また、本実施例の構成は、実施例 1 の構成と自由に組み合わせることが可能である。

【実施例 5】

【0192】

本願発明は、赤色と緑色と青色の発光輝度がそれぞれ異なる有機 EL 材料にも適用可能である。例えば赤色の発光輝度が一番低く、青色の発光輝度が一番高い有機 EL 材料の場合、赤色を表示する画素の輝度及び緑色を表示する画素の輝度を青色を表示する画素の輝度に合わせるために、EL 表示装置を時分割階調表示し、赤色の表示を行う EL 素子と緑色の表示を行う EL 素子に印加される EL 駆動電圧を、青色の表示を行う EL 素子に印加される EL 駆動電圧より大きくなるように設定すれば良い。そして、ホットキャリア注入による EL 駆動用 TFT の劣化対策として、上記構成に加えて、赤色を表示する画素の EL 駆動用 TFT と緑色を表示する画素の EL 駆動用 TFT のチャンネル幅 (W) を、青色を表示する画素の EL 駆動用 TFT のチャンネル幅 (W) より大きくする。また EL 駆動用 TFT が n チャンネル型 TFT の場合、赤色を表示する画素の EL 駆動用 TFT と緑色を表示する画素の EL 駆動用 TFT の LDD 領域の長さを、青色を表示する画素の EL 駆動用 TFT の LDD 領域の長さより長くしても良い。EL 駆動用 TFT チャンネル幅 (W) と EL 駆動用 TFT の LDD 領域の長さは、実施する者が適宜設定することが可能である。

30

40

【0193】

本願発明は上記構成により、EL 素子に印加される EL 駆動電圧の値によって、その EL 素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。そしてなおかつ、印加される電圧が高くなることによって EL 駆動用 TFT が制御する電流の量が増えても、EL 駆動用 TFT の劣化を抑えることができる。

【0194】

また、本実施例の構成は、実施例 1 ~ 5 のいずれの構成とも自由に組み合わせることが可能である。

【実施例 6】

50

【 0 1 9 5 】

実施例 1 では E L 層として有機 E L 材料を用いたが、本願発明は無機 E L 材料を用いても実施できる。但し、現在の無機 E L 材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有する T F T を用いなければならない。

【 0 1 9 6 】

または、将来的にさらに駆動電圧の低い無機 E L 材料が開発されれば、本願発明に適用することは可能である。

【 0 1 9 7 】

また、本実施例の構成は、実施例 1 ～ 5 のいずれの構成とも自由に組み合わせることが可能である。

【 実施例 7 】

【 0 1 9 8 】

本願発明において、E L 層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。ポリマー系（高分子系）有機物質は、スピンコーティング法（溶液塗布法ともいう）、ディッピング法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【 0 1 9 9 】

ポリマー系有機物質として代表的には、P P V（ポリフェニレンビニレン）、P V K（ポリピニルカルバゾール）、ポリカーボネート等が挙げられる。

【 0 2 0 0 】

また、本実施例の構成は、実施例 1 ～ 5 のいずれの構成とも自由に組み合わせることが可能である。

【 実施例 8 】

【 0 2 0 1 】

本願発明を実施して形成された E L 表示装置（E L モジュール）は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため本願発明は直視型の E L ディスプレイ（E L モジュールを組み込んだ表示ディスプレイを指す）に対して実施することが可能である。E L ディスプレイとしてはパソコンモニター、T V 放送受信モニター、広告表示モニター等が挙げられる。

【 0 2 0 2 】

また、本願発明は上述の E L ディスプレイも含めて、表示ディスプレイを部品として含むあらゆる電子装置に対して実施することが可能である。

【 0 2 0 3 】

そのような電子装置としては、E L ディスプレイ、ビデオカメラ、デジタルカメラ、頭部取り付け型ディスプレイ（ヘッドマウントディスプレイ等）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（C D）、レーザーディスク（L D）又はデジタルビデオディスク（D V D）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子装置の例を図 1 1 に示す。

【 0 2 0 4 】

図 1 1（A）はパーソナルコンピュータであり、本体 2 0 0 1、筐体 2 0 0 2、表示装置 2 0 0 3、キーボード 2 0 0 4 等を含む。本願発明は表示装置 2 0 0 3 に用いることができる。

【 0 2 0 5 】

図 1 1（B）はビデオカメラであり、本体 2 1 0 1、表示装置 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本願発明を表示装置 2 1 0 2 に用いることができる。

【 0 2 0 6 】

図 1 1（C）は頭部取り付け型の E L ディスプレイの一部（右片側）であり、本体 2 3

10

20

30

40

50

01、信号ケーブル2302、頭部固定バンド2303、表示モニタ2304、光学系2305、表示装置2306等を含む。本願発明は表示装置2306に用いることができる。

【0207】

図11(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2401、記録媒体(CD、LDまたはDVD等)2402、操作スイッチ2403、表示装置(a)2404、表示装置(b)2405等を含む。表示装置(a)は主として画像情報を表示し、表示装置(b)は主として文字情報を表示するが、本願発明はこれら表示装置(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本願発明を用いることができる。

10

【0208】

図11(E)は携帯型(モバイル)コンピュータであり、本体2501、カメラ部2502、受像部2503、操作スイッチ2504、表示装置2505等を含む。本願発明は表示装置2505に用いることができる。

【0209】

また、将来的にEL材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0210】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子装置に適用することが可能である。また、本実施例の電子装置は実施例1~7のどのような組み合わせからなる構成を用いても実現することができる。

20

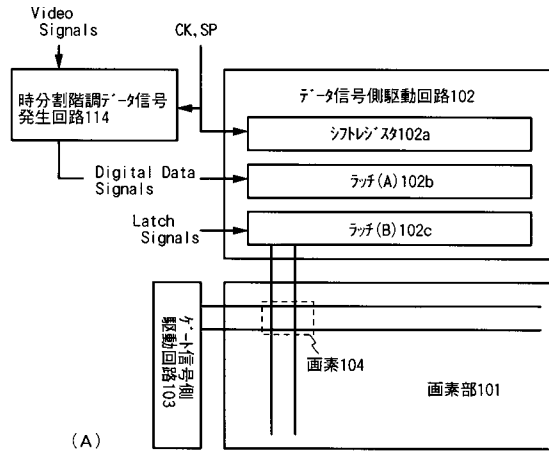
【符号の説明】

【0211】

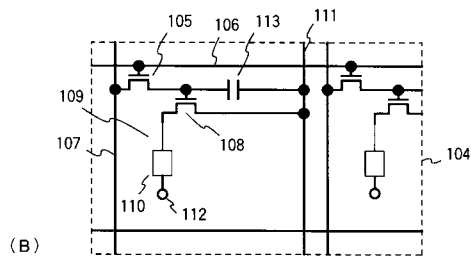
- 101 画素部
- 102 データ信号側駆動回路
- 103 ゲート信号側駆動回路
- 104 画素
- 105 スイッチング用TFT
- 106 ゲート配線
- 107 データ配線
- 108 EL駆動用TFT
- 110 EL素子

30

【図 1】

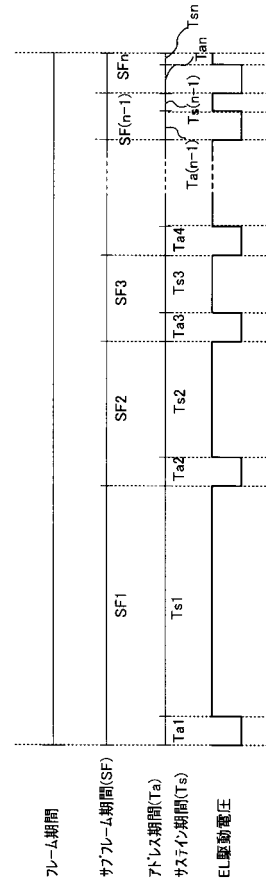


(A)

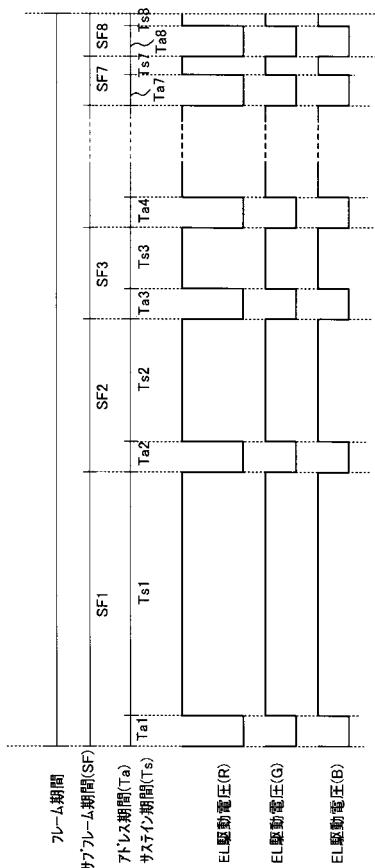


(B)

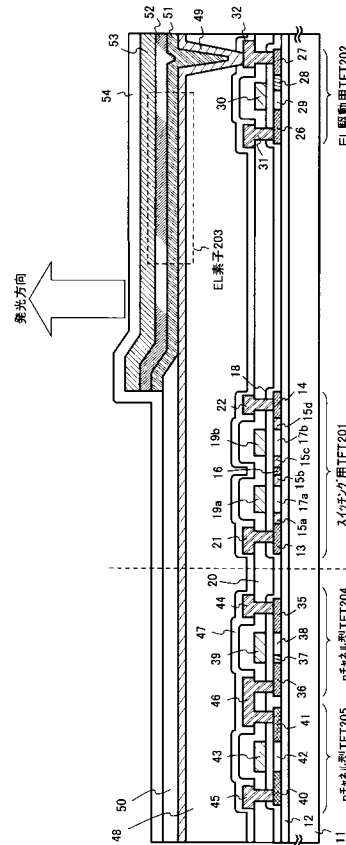
【図 2】



【図 3】

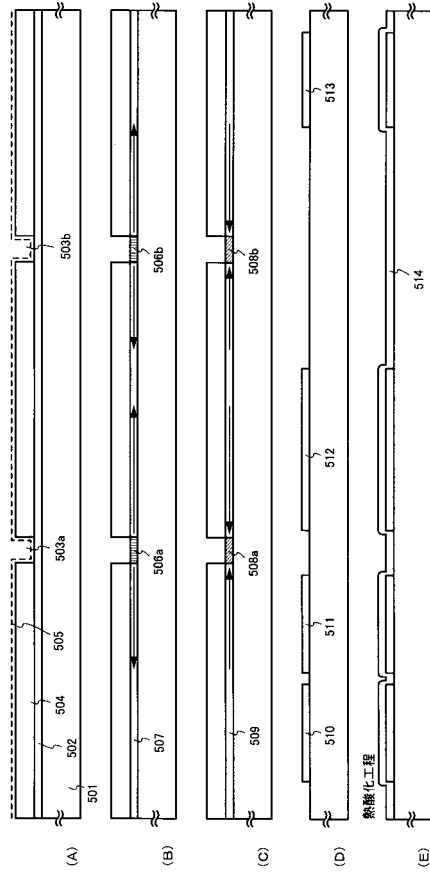


【図 4】



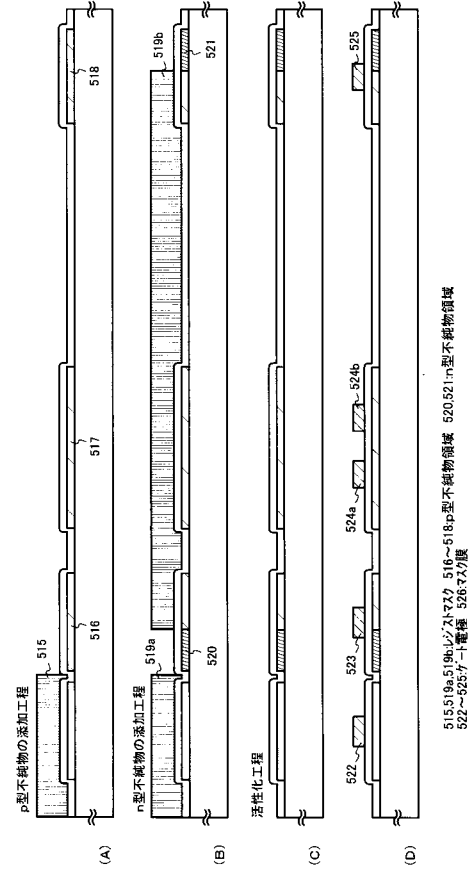
11:基板 12:下地膜 13:ソース領域 14:ドレイン領域 15:15a-LDD領域 16:15b-LDD領域 17:15c-LDD領域 18:15d-LDD領域 19:15e-LDD領域 20:15f-LDD領域 21:15g-LDD領域 22:15h-LDD領域 23:15i-LDD領域 24:15j-LDD領域 25:15k-LDD領域 26:15l-LDD領域 27:15m-LDD領域 28:15n-LDD領域 29:15o-LDD領域 30:15p-LDD領域 31:15q-LDD領域 32:15r-LDD領域 33:15s-LDD領域 34:15t-LDD領域 35:15u-LDD領域 36:15v-LDD領域 37:15w-LDD領域 38:15x-LDD領域 39:15y-LDD領域 40:15z-LDD領域 41:15aa-LDD領域 42:15ab-LDD領域 43:15ac-LDD領域 44:15ad-LDD領域 45:15ae-LDD領域 46:15af-LDD領域 47:15ag-LDD領域 48:15ah-LDD領域 49:15ai-LDD領域 50:15aj-LDD領域 51:15ak-LDD領域 52:15al-LDD領域 53:15am-LDD領域 54:15an-LDD領域 55:15ao-LDD領域 56:15ap-LDD領域 57:15aq-LDD領域 58:15ar-LDD領域 59:15as-LDD領域 60:15at-LDD領域 61:15au-LDD領域 62:15av-LDD領域 63:15aw-LDD領域 64:15ax-LDD領域 65:15ay-LDD領域 66:15az-LDD領域 67:15ba-LDD領域 68:15bb-LDD領域 69:15bc-LDD領域 70:15bd-LDD領域 71:15be-LDD領域 72:15bf-LDD領域 73:15bg-LDD領域 74:15bh-LDD領域 75:15bi-LDD領域 76:15bj-LDD領域 77:15bk-LDD領域 78:15bl-LDD領域 79:15bm-LDD領域 80:15bn-LDD領域 81:15bo-LDD領域 82:15bp-LDD領域 83:15bq-LDD領域 84:15br-LDD領域 85:15bs-LDD領域 86:15bt-LDD領域 87:15bu-LDD領域 88:15bv-LDD領域 89:15bw-LDD領域 90:15bx-LDD領域 91:15by-LDD領域 92:15bz-LDD領域 93:15ca-LDD領域 94:15cb-LDD領域 95:15cc-LDD領域 96:15cd-LDD領域 97:15ce-LDD領域 98:15cf-LDD領域 99:15cg-LDD領域 100:15ch-LDD領域

【図 5】

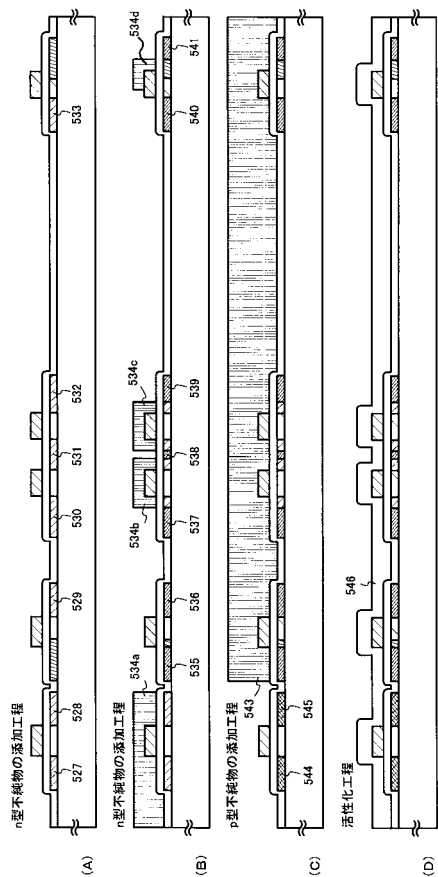


501:石炭炭板 502:アモルファスシリコン膜 503a:503b:開口部 504:保護膜 505:N型半導体層
506a:506b:N型添加領域 507:ポリシリコン膜 508a:508b:少子添加領域 509:ポリシリコン膜
510~513:活性層 514:ゲート絶縁膜

【図 6】

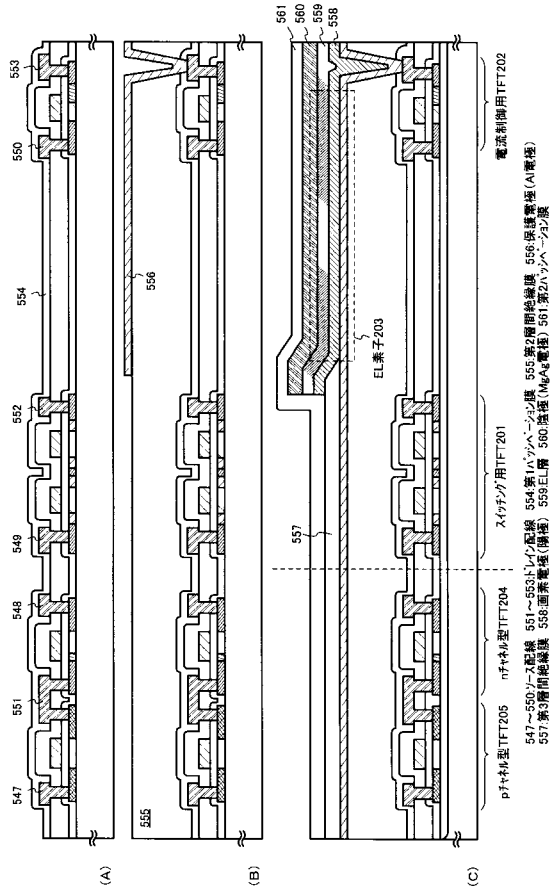


【図 7】

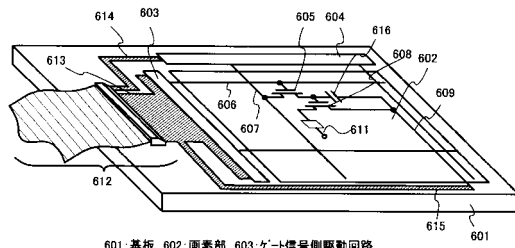


527~535: n型不結晶物領域 534a~534c, 543, 543c: n型不結晶物領域 544, 545: p型不結晶物領域
546: 第1層間絶縁膜

【図 8】

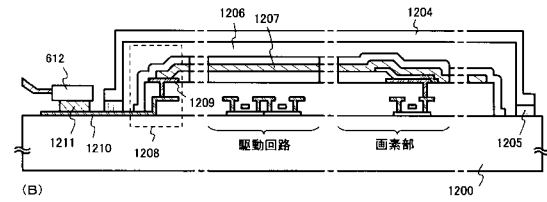
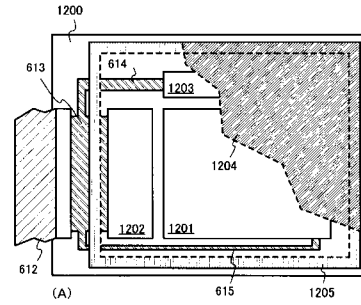


【図 9】

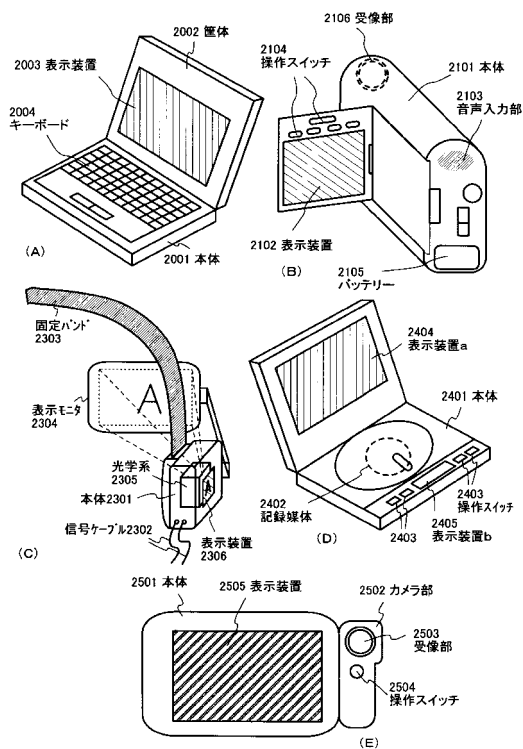


601:基板 602:画素部 603:ゲート信号側駆動回路
604:データ信号側駆動回路 605:スイッチングTFT
606:データ配線 607:データ配線 608:電流制御用TFT
609:電源供給線 611:EL素子 612:FPC
613~615:入出力配線 616:コンデンサ

【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>27/32</i>	<i>(2006.01)</i>	G 0 9 G	3/20 6 1 1 H
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	G 0 9 G	3/20 6 1 1 E
			G 0 9 F	9/30 3 3 8
			G 0 9 F	9/30 3 6 5 Z
			H 0 5 B	33/14 A
			H 0 1 L	29/78 6 1 6 A
			H 0 1 L	29/78 6 1 4
			H 0 1 L	29/78 6 1 2 B

(56)参考文献 特開平 1 1 - 2 4 9 1 3 5 (J P , A)
 特開平 1 1 - 1 1 1 4 5 7 (J P , A)
 特開昭 6 0 - 2 1 6 3 8 8 (J P , A)
 特開昭 6 3 - 1 8 0 9 3 6 (J P , A)
 特開平 0 9 - 1 3 8 6 5 9 (J P , A)
 特開平 1 1 - 2 0 4 8 3 1 (J P , A)
 特開平 1 1 - 0 0 3 0 4 8 (J P , A)
 特開平 1 0 - 2 1 4 0 6 0 (J P , A)
 特開平 1 0 - 3 1 2 1 7 3 (J P , A)
 特開 2 0 0 1 - 0 6 0 0 7 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 3 0
 G 0 9 G 3 / 2 0

专利名称(译)	表示装置		
公开(公告)号	JP4940346B2	公开(公告)日	2012-05-30
申请号	JP2010273880	申请日	2010-12-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤		
发明人	小山 潤		
IPC分类号	G09G3/30 H01L29/786 H01L21/336 G09G3/20 G09F9/30 H01L27/32 H01L51/50 G09G3/32 H01L21/77		
CPC分类号	H01L27/1214 G09G3/2022 G09G3/30 G09G3/3233 G09G3/3258 G09G3/3291 G09G2300/0408 G09G2300/0809 G09G2300/0842 G09G2320/0242 G09G2320/043 H01L27/12 H01L27/3211 H01L27/3262		
FI分类号	G09G3/30.J H01L29/78.612.Z G09G3/20.624.B G09G3/20.642.L G09G3/20.670.K G09G3/20.611.H G09G3/20.611.E G09F9/30.338 G09F9/30.365.Z H05B33/14.A H01L29/78.616.A H01L29/78.614 H01L29/78.612.B G09F9/30.365 G09G3/3233 G09G3/3275 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC08 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD18 5C080/DD25 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF09 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK23 5C080/KK43 5C080/KK47 5C094/AA08 5C094/BA03 5C094/BA27 5C094/FA01 5C094/FB14 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB18 5C380/AB21 5C380/AB22 5C380/AB23 5C380/AB29 5C380/AB34 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA10 5C380/BA11 5C380/BA38 5C380/BB09 5C380/BB12 5C380/BD05 5C380/BD10 5C380/CA04 5C380/CA14 5C380/CC02 5C380/CC21 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CC68 5C380/CC77 5C380/CD012 5C380/CE01 5C380/CE14 5C380/CE19 5C380/CF07 5C380/CF09 5C380/CF49 5C380/DA02 5C380/DA09 5C380/HA02 5C380/HA07 5C380/HA11 5C380/HA13 5F110/AA14 5F110/AA30 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/DD15 5F110/EE01 5F110/EE04 5F110/EE05 5F110/EE06 5F110/EE14 5F110/EE15 5F110/EE28 5F110/EE44 5F110/FF02 5F110/FF04 5F110/FF09 5F110/FF22 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG32 5F110/GG34 5F110/GG52 5F110/GG58 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ23 5F110/HL02 5F110/HL03 5F110/HL06 5F110/HL12 5F110/HL23 5F110/HM14 5F110/HM15 5F110/NN03 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN40 5F110/NN72 5F110/NN78 5F110/PP10 5F110/PP34 5F110/QQ11 5F110/QQ19 5F110/QQ23 5F110/QQ24 5F110/QQ25 5F110/QQ28		
审查员(译)	福村 拓		
优先权	1999270091 1999-09-24 JP		
其他公开文献	JP2011123491A		
外部链接	Espacenet		
摘要(译)			

要解决的问题：显示色彩鲜艳的图像，红色，蓝色和绿色发光亮度的平衡 一种可显示图像的EL显示装置。一种EL显示器件，具有多个像素，每个像素包括多个EL元件 EL显示装置控制多个EL元件发光的时间。并且，施加到多个EL元件的电压由多个EL表示 其中，每个包括元素的多个像素根据要显示的颜色而不同 L显示设备。点域1

