

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4674443号
(P4674443)

(45) 発行日 平成23年4月20日 (2011. 4. 20)

(24) 登録日 平成23年2月4日 (2011. 2. 4)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 (2006. 01)

G 0 9 G 3 / 3 0 K

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 1 2 E

G 0 9 G 3 / 2 0 6 2 3 F

請求項の数 3 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2004-116046 (P2004-116046)
 (22) 出願日 平成16年4月9日 (2004. 4. 9)
 (65) 公開番号 特開2005-300866 (P2005-300866A)
 (43) 公開日 平成17年10月27日 (2005. 10. 27)
 審査請求日 平成19年3月29日 (2007. 3. 29)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 山口 正則
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

審査官 奈良田 新一

最終頁に続く

(54) 【発明の名称】 フラットディスプレイ装置

(57) 【特許請求の範囲】

【請求項 1】

画像データによる画像を表示するフラットディスプレイ装置において、
 マトリックス状に画素を配置してなる表示部と、
 前記表示部の駆動信号を出力する水平駆動回路とを有し、
 前記水平駆動回路は、

黒レベル用原基準電圧設定データを変調して変調済み黒レベル用原基準電圧設定データ
を生成する及び又は白レベル用原基準電圧設定データを変調して変調済み白レベル用原基
準電圧設定データを生成する変調回路と、

前記変調済み黒レベル用原基準電圧設定データに応じて黒レベル用原基準電圧を生成す
る黒レベル用のデジタルアナログ変換回路と、前記変調済み白レベル用原基準電圧設定
データに応じて白レベル用原基準電圧を生成する白レベル用のデジタルアナログ変換回
路と、前記黒レベル用原基準電圧と白レベル用原基準電圧を基準にして黒レベル用と白レ
ベル用を除く原基準電圧設定データに基づき黒レベル用と白レベル用を除く原基準電圧を
生成する黒レベル用と白レベル用を除く複数のデジタルアナログ変換回路とによる原基
準電圧生成回路と、

抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端に前記黒レベル
 用原基準電圧、前記白レベル用原基準電圧をそれぞれ入力し、前記分圧回路間に前記複数
 のデジタルアナログ変換回路による前記原基準電圧をそれぞれ入力し、前記複数個の分
 圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、

10

20

前記複数の基準電圧を入力して対応する信号線に係る前記画像データに応じて選択出力することにより、前記駆動信号を出力する複数の選択回路とを有し、

前記変調回路は、

黒レベル用微調整データの値に応じて、ライン単位、フレーム単位で値が変化する黒レベル用補正データを生成する及び又は白レベル用微調整データの値に応じて、ライン単位、フレーム単位で値が変化する白レベル用補正データを生成する補正データ生成回路と、

前記黒レベル用補正データを前記黒レベル用原基準電圧設定データに加算して前記変調済み黒レベル用原基準電圧設定データを生成する及び又は前記白レベル用補正データを前記白レベル用原基準電圧設定データに加算して前記変調済み白レベル用原基準電圧設定データを生成する加算回路とを有し、

10

前記補正データ生成回路は、

前記黒レベル用微調整データの取り得る値の数により連続するフレーム及びラインを区切って見た場合に、

前記連続するフレームに設定された前記黒レベル用補正データの平均値が、各ラインで等しく、かつ前記黒レベル用微調整データの値に対応するように、

前記連続するラインに設定された前記黒レベル用補正データの平均値が、各フレームで等しく、かつ前記連続するフレームに設定された前記黒レベル用補正データの平均値と等しくなるように、

前記黒レベル用補正データを生成する、

20

及び又は、白レベル用微調整データの取り得る値の数により連続するフレーム及びラインを区切って見た場合に、

前記連続するフレームに設定された白レベル用補正データの平均値が、各ラインで等しく、かつ前記白レベル用微調整データの値に対応するように、

前記連続するラインに設定された前記白レベル用補正データの平均値が、各フレームで等しく、かつ前記連続するフレームに設定された前記白レベル用補正データの平均値と等しくなるように、

前記白レベル用補正データを生成するフラットディスプレイ装置。

【請求項 2】

前記黒レベル用のデジタルアナログ変換回路は、

30

原基準電圧生成用の分圧回路により前記黒レベル用原基準電圧の候補電圧を複数生成して前記変調済み黒レベル用原基準電圧設定データに応じて選択出力することにより、黒レベル用原基準電圧を生成し、

前記白レベル用のデジタルアナログ変換回路は、

原基準電圧生成用の分圧回路により前記白レベル用原基準電圧の候補電圧を複数生成して前記変調済み白レベル用原基準電圧設定データに応じて選択出力することにより、白レベル用原基準電圧を生成し、

前記黒レベル用と白レベル用を除く複数のデジタルアナログ変換回路は、

それぞれ原基準電圧生成用の分圧回路により前記原基準電圧の候補電圧を複数生成して前記黒レベル用と白レベル用を除く原基準電圧設定データに応じて選択出力することにより、前記原基準電圧を生成する請求項 1 に記載のフラットディスプレイ装置。

40

【請求項 3】

ライン単位で、同一色の前記画素に係る画像データが連続するように、前記各色の画素に係る画像データを時分割多重化して前記水平駆動回路に供給する時分割多重化回路を有し、

前記原基準電圧生成回路は、

前記時分割多重化回路における色の切り換えに応動した前記変調済み黒レベル用原基準電圧設定データ、前記変調済み白レベル用原基準電圧設定データの切り換えにより、前記画像データにおける各色に対応して原基準電圧を順次生成する請求項 1 又は請求項 2 に記載のフラットディスプレイ装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラットディスプレイ装置に関し、例えば有機EL(Electro Luminescence)素子による表示装置に適用することができる。本発明は、黒レベル用及び白レベル用の原基準電圧設定データに応じてそれぞれ黒レベル用及び白レベル用の原基準電圧を生成し、この黒レベル用及び白レベル用の原基準電圧の抵抗分圧によりデジタルアナログ変換用の基準電圧を生成するようにして、これら黒レベル用及び白レベル用の原基準電圧設定データを補正データに応じて変調し、表示部における空間的、時間的な積分効果を利用してこれら原基準電圧設定データの分解能以下による分解能により黒レベル用及び白レベル用の原基準電圧を設定することにより、発光特性の製品ばらつき等に対応できるようにして、簡易な構成により精度良く色調整することができるようにする。

10

【背景技術】

【0002】

従来、フラットディスプレイ装置の1つである液晶表示装置においては、例えば特開平10-333648号公報に開示されているように、デジタルアナログ変換処理に供する基準電圧の設定によりガンマの特性を切り換えるようになされている。

【0003】

すなわち図8に示すように、液晶表示装置1においては、液晶セル、液晶セルのスイッチング素子、保持容量により各画素(P)3R、3G、3Bが形成され、これら各画素3R、3G、3Bをマトリックス状に配置して表示部2が形成される。液晶表示装置1においては、この表示部2の各画素3R、3G、3Bがそれぞれ信号線(列線)SIG及びゲート線(行線)Gを介して水平駆動回路4及び垂直駆動回路5に接続され、垂直駆動回路5により順次画素3R、3G、3Bを選択して水平駆動回路4からの駆動信号により各画素3R、3G、3Bの階調を設定し、これにより所望の画像を表示するようになされている。またそれぞれ赤色、緑色及び青色のカラーフィルタを設けてなる画素3R、3G、3Bを順次循環的に配置することにより、カラー画像を表示できるようになされている。

20

【0004】

このため液晶表示装置1においては、装置本体6から表示に供する赤色、緑色、青色の画像データDR、DG、DBを同時並列的にコントローラ7に入力し、この画像データDR、DG、DBに同期したタイミング信号により垂直駆動回路5で表示部2のゲート線Gを駆動する。また水平駆動回路4による信号線SIGの駆動に対応するように、これら画像データDR、DG、DBを時分割多重化して1系統の画像データD1を生成し、この画像データD1により水平駆動回路4で信号線SIGを駆動する。

30

【0005】

図9は、この水平駆動回路4及びコントローラ7を詳細に示すブロック図である。コントローラ7は、メモリ制御回路9の制御により装置本体6から出力される画像データDR、DG、DBをメモリ10に順次格納して出力することにより、水平駆動回路4による信号線SIGの駆動に対応するように、水平走査期間を単位にして、ライン単位で同一色に係る画像データが連続するように、これら画像データDR、DG、DBを時分割多重化して1系統により出力する。具体的に、この例では、赤色の画素3R、3G、3Bについて、水平駆動回路4は、赤色の画素3R、緑色の画素3G、青色の画素3Bを順次ライン単位で駆動するようになされており、これによりコントローラ7は、図10(B)に示すように、赤色の画像データDR、緑色の画像データDG、青色の画像データDBをライン単位で順次循環的に繰り返すようにしてこの画像データD1を出力する。

40

【0006】

またコントローラ7は、タイミングジェネレータ(TG)11によりこの画像データD1に同期した各種タイミング信号を生成して水平駆動回路4、垂直駆動回路5に出力する。なおここでこのタイミング信号にあっては、例えば画像データD1のクロックCK(図10(A))、この画像データD1における各色の画像データDR、DG、DBの開始及

50

び終了のタイミングを示すスタートパルス ST (図 10 (C)) 及びストロブパルス (図 10 (D)) 等である。

【0007】

またコントローラ 7 は、ディジタルアナログ変換処理に供する基準電圧の生成基準である原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を原基準電圧生成回路 12 で生成して水平駆動回路 4 に出力する。

【0008】

水平駆動回路 4 は、コントローラ 7 から出力される画像データ D_1 をシフトレジスタ 13 に入力し、この画像データ D_1 を表示部 2 の信号線の系統に順次振り分けて出力する。基準電圧生成回路 14 は、画像データ D_1 の各階調に対応する電圧である基準電圧 $V_1 \sim V_{64}$ を、コントローラ 7 から入力される原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} から生成して出力する。

10

【0009】

ディジタルアナログ変換回路 (D/A) 15A ~ 15N は、それぞれシフトレジスタ 13 の出力データをディジタルアナログ変換処理し、これによりこの例では、隣接する 3 つの信号線 SIG の駆動信号を時分割多重化してなる駆動信号を出力する。ディジタルアナログ変換回路 15A ~ 15N は、シフトレジスタ 13 の出力データに応じて基準電圧生成回路 14 で生成される基準電圧 $V_1 \sim V_{64}$ を選択して出力することにより、シフトレジスタ 13 から出力される画像データをディジタルアナログ変換処理する。

【0010】

20

増幅回路 16A ~ 16N は、このディジタルアナログ変換回路 15A ~ 15N の出力信号をそれぞれ増幅して表示部 2 に出力し、表示部 2 においては、セレクト 17A ~ 17N により、この増幅回路 16A ~ 16N の出力信号をそれぞれ赤色、緑色、青色の画素 3R、3G、3B に係る信号線 SIG に順次循環的に出力する。

【0011】

このようにして原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} から生成した基準電圧 $V_1 \sim V_{64}$ を選択して各信号線 SIG の駆動信号を生成するようにして、図 11 は、これら原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} の生成に供する原基準電圧生成回路 12、基準電圧 $V_1 \sim V_{64}$ の生成に供する基準電圧生成回路 14 の構成を示すブロック図である。

【0012】

30

原基準電圧生成回路 12 は、所定個数の抵抗を直列接続した分圧回路 21 が設けられ、この分圧回路 21 により基準電圧生成用電圧 V_{COM} を分圧して原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を生成する。これにより原基準電圧生成回路 12 は、抵抗分圧により原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を生成し、それぞれ増幅回路 24A ~ 24H を介して出力するようになされている。なお原基準電圧生成回路 12 は、液晶表示装置の場合、選択回路 22、反転増幅回路 23 によりこの分圧回路 21 に印加する電圧を切り換えることができるように構成され、これによりライン反転又はフレーム反転に対応できるようになされている。これにより図 10 (F) は、ライン反転による場合の信号線 SIG の電位を示すものである。

【0013】

40

これに対して基準電圧生成回路 14 は、抵抗値の等しい抵抗をそれぞれ所定個数だけ直列接続してなる分圧回路 $R_1 \sim R_7$ を、さらに直列接続して抵抗直列回路 26 が形成され、この抵抗直列回路 26 の一端、この抵抗直列回路 26 を構成する分圧回路 $R_1 \sim R_7$ の接続点、抵抗直列回路 26 の他端に、それぞれ増幅回路 27A ~ 27H を介して原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} が入力される。これにより基準電圧生成回路 14 は、原基準電圧生成回路 12 で生成した原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} による各電位差を、この分圧回路 $R_1 \sim R_7$ でそれぞれさらに分圧して原基準電圧 V_{RT} 、 V_{RB} の範囲で基準電圧 $V_1 \sim V_{64}$ を生成するようになされている。

【0014】

このようにして原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} から基準電圧 $V_1 \sim V_{64}$ を生

50

成するようにして、基準電圧生成回路 14 は、分圧回路 R1 ~ R7 を構成する抵抗の数がそれぞれ所定個数に設定され、これにより原基準電圧 VRT、VB ~ VG、VRB を分圧して画像データ D1 の階調に対応する複数の基準電圧 V1 ~ V64 を出力できるようになされている。

【0015】

原基準電圧生成回路 12 においては、このようにして画像データ D1 の階調に対応する基準電圧 V1 ~ V64 により、所望のガンマ特性による画像を表示するように、分圧回路 21 を構成する抵抗の値が設定される。これにより電圧 VCOM を 5 [V] に設定した例により図 12 において符号 L1 により示すように、原基準電圧 VRT、VB ~ VG、VRB の設定による折れ線近似により所望のガンマ特性を確保できるようになされている。また原基準電圧生成回路 12 においては、配線パターンの変更により、この分圧回路 21 から出力する原基準電圧 VRT、VB ~ VG、VRB を切り換えることができるようになされ、これにより符号 L1 により示す特性との対比により符号 L2 により示すように、例えば両端の電位である原基準電圧 VRT、VRB を固定した状態で、残りの原基準電圧 VB ~ VG を矢印により示す範囲で可変して種々にガンマ特性を可変できるようになされている。

10

【0016】

このようにして原基準電圧 VRT、VB ~ VG、VRB を生成する原基準電圧生成回路 12 の設定によりガンマ特性を切り換えることができるようにして、液晶表示装置 1 では、原基準電圧生成回路 12 に係るコントローラ 7 がコントロール IC により形成されるのに対し、水平駆動回路 4 がドライバ IC により形成される。これにより従来、液晶表示装置 1 では、コントロール IC だけを付け替えることにより、ガンマ特性の異なる製品を製造することができるようになされ、またこれによりガンマ特性の修正にあっては、修正に要する期間を短くすることができるようになされている。なお符号 CA ~ CH は、これら IC 間の浮遊容量である。

20

【0017】

ところでこのようなフラットディスプレイ装置においては、有機 EL 素子による表示装置があり、このような有機 EL 素子による表示装置の表示部においても、液晶表示装置の表示部と同様に、信号線 SIG による駆動により、各有機 EL 素子の階調を設定する方法が提案されている。これによりこのような方法に係る有機 EL 素子の表示部については、液晶表示装置に係るコントロール IC 等を使用して、表示装置を構成できると考えられる。

30

【0018】

ところが有機 EL 素子においては、各色毎に、製品毎に発光特性が異なることにより、さらには発光特性が経時変化することにより、これらに対応して基準電圧 V1 ~ V64 の設定を異ならせることが必要になる。これにより図 8 について上述した液晶表示装置に係る駆動回路によっては、實際上、表示装置を構成できない問題がある。具体的に、有機 EL 素子は、各色毎に、製品毎に、黒レベル、ダイナミックレンジを調整することが必要になる。なお有機 EL 素子において、ガンマ特性自体については、調整を要しないことが判っている。これにより図 11 に示す原基準電圧生成回路 12 を適用する場合、色毎に、製品毎に、さらには経時変化に対応して分圧回路 21 の両端電圧を調整することが必要になる。

40

【0019】

この問題を解決する 1 つの方法として、例えば図 13 に示すように原基準電圧生成回路 30 を構成することが考えられる。この原基準電圧生成回路 30 においては、デジタルアナログ変換回路 (D/A) 31A ~ 31H によりそれぞれ原基準電圧設定データ DV に応じて原基準電圧 VRT、VB ~ VG、VRB を生成する。

【0020】

ここでデジタルアナログ変換回路 31A ~ 31H のうち、両端の電圧に設定される原基準電圧 VRT、VRB の生成に係るデジタルアナログ変換回路 31A、31H は、分

50

圧回路 3 2 A、3 2 H によりそれぞれ基準電圧生成用電圧 V_{COM} を分圧して複数の原基準電圧の候補電圧を生成する。ここで分圧回路 3 2 A、3 2 H は、抵抗値の等しい複数の抵抗の直列回路により構成され、この基準電圧生成用電圧 V_{COM} をそれぞれ黒レベル用及び白レベル用の原基準電圧設定データ DV (DV_{VRT} 、 DV_{VRB}) (以下、適宜、黒レベル用原基準電圧設定データ DV_{VRT} 、白レベル用原基準電圧設定データ DV_{VRB} と呼ぶ) のビット数に対応する分解能により分圧して出力する。

【0021】

セクタ 3 3 A、3 3 H は、それぞれこの分圧回路 3 2 A、3 2 H から出力される複数種類の候補電圧を黒レベル用原基準電圧設定データ DV_{VRT} 、白レベル用原基準電圧設定データ DV_{VRB} に応じて選択し、これにより原基準電圧設定データ DV に応じて原基準電圧 V_{RT} 、 V_{RB} を生成して増幅回路 3 4 A、3 4 H より出力する。

10

【0022】

これに対してこれらデジタルアナログ変換回路 3 1 A、3 1 H を除く他のデジタルアナログ変換回路 3 1 B ~ 3 1 G は、デジタルアナログ変換回路 3 1 A、3 1 H と同様に、分圧回路 3 2 B ~ 3 2 G による分圧電圧によりそれぞれ原基準電圧 V_B ~ V_G の候補電圧を複数種類生成し、この複数種類の候補電圧をそれぞれセクタ 3 3 B ~ 3 3 G により原基準電圧設定データ DV (DV_{VB} ~ DV_{VG}) に応じて選択して原基準電圧 V_B ~ V_G を生成する。デジタルアナログ変換回路 3 1 B ~ 3 1 G は、これら原基準電圧 V_B ~ V_G を増幅回路 3 4 B ~ 3 4 G により出力する。デジタルアナログ変換回路 3 1 B ~ 3 1 G は、これら原基準電圧 V_B ~ V_G の候補電圧の生成に供する分圧回路 3 2 B ~ 3 2 G がこれらデジタルアナログ変換回路 3 1 B ~ 3 1 G 間で直列に接続されて、デジタルアナログ変換回路 3 1 A、3 1 H による原基準電圧 V_{RT} 、 V_{RB} に接続される。

20

【0023】

デコーダ 3 5 は、コントローラ 7 等から出力される原基準電圧設定データ DV を順次取り込み、セクタ 1 7 A ~ 1 7 N における接点の切り換えに対応するタイミングによりデジタルアナログ変換回路 3 1 A ~ 3 1 H に振り分けて出力する。基準電圧生成回路 3 9 は、このようにして原基準電圧生成回路 3 0 から出力される原基準電圧 V_{RT} 、 V_B ~ V_G 、 V_{RB} を分圧回路 R_1 ~ R_7 により分圧して基準電圧 V_1 ~ V_{64} を生成する。なおこの図 1 3 に示す例において、原基準電圧生成回路 3 0、基準電圧生成回路 3 9 は、水平駆動回路に係る集積回路に一体に形成され、これにより基準電圧生成回路 3 9 は、原基準電圧 V_{RT} 、 V_B ~ V_G 、 V_{RB} の入力に供する増幅回路が省略されるようになっている。

30

【0024】

このようにすれば原基準電圧設定データ DV を各色毎に設定して、各色毎に異なる発光特性に対応することができる。また原基準電圧設定データ DV を製品毎に設定して、製品による発光特性のばらつきを補正することができる。また発光特性の経時変化にも対応することができる。

【0025】

また図 1 4 に示すように、これら原基準電圧 V_{RT} 、 V_B ~ V_G 、 V_{RB} のうち、両端の電位を除く原基準電圧 V_B ~ V_G においては、それぞれ直列接続されてなる分圧回路 3 2 B ~ 3 2 G から出力される候補電圧の範囲でしか電圧を可変することが困難になることにより、図 1 4 との対比により図 1 5 に示すように、ノイズの混入により原基準電圧設定データ DV が誤って設定された場合にあって、極端なガンマ特性による駆動信号の出力を防止でき、ノイズによる著しい画質劣化を防止することができる。

40

【0026】

またこのようにそれぞれ直列接続されてなる分圧回路 3 2 B ~ 3 2 G の両端が、第 1 及び第 2 の原基準電圧である原基準電圧 V_{RT} 、 V_{RB} に接続されることにより、発光特性の補正である黒レベル調整、ダイナミックレンジ調整により、これら原基準電圧 V_{RT} 、 V_{RB} を可変した場合には、図 1 4 との対比により図 1 6 に示すように、直列接続されてなる分圧回路 3 2 B ~ 3 2 G による抵抗分圧比により、これら原基準電圧 V_{RT} 、 V_{RB}

50

の変化に追従して原基準電圧 $V_B \sim V_G$ も変化することになる。すなわちガンマ特性には何ら変化を与えずに、これら黒レベル調整、ダイナミックレンジ調整して有機EL素子に係る発光特性のばらつきを補正することができ、これにより調整作業を簡略化することができる。

【0027】

また各原基準電圧設定データ DV の設定の変更により、さらにはライン単位、フレーム単位の切り換えにより液晶表示装置にも適用することができる。

【0028】

しかしながらこの図13に示す構成においては、ダイナミックレンジ、黒レベルを精度良く調整できない問題があり、これにより表示に色ずれが発生する恐れがある。

10

【0029】

すなわちこの図13の例では、例えば原基準電圧設定データ DV を6ビットにより形成し、基準電圧生成用電圧 V_{COM} を5[V]に設定した場合、約80mV[5[V]/64]の分解能により両端の原基準電圧 V_{RT} 、 V_{RB} を生成することができる。この場合に、例えば図14に示すように、大きなダイナミックレンジにより黒レベル等を調整する場合には、ほぼ実用上十分な分解能となる。しかしながら図16に示すような小さなダイナミックレンジにより黒レベル等を調整する場合には、分解能が荒くなり、これにより結局、精度良くダイナミックレンジ、黒レベルを調整することが困難になる。

【0030】

すなわちこの場合、原基準電圧 V_{RT} 、 V_{RB} 間の電位差を5[V]に設定した場合、発光輝度に対する分解能は、1.6[%](80mV/5000[mV])であるのに対し、例えばダイナミックレンジを抑圧して原基準電圧 V_{RT} 、 V_{RB} 間の電位差を2[V]に設定した場合、発光輝度に対する分解能は、4.0[%](80mV/2000[mV])となり、その分、調整精度が低下し、これらにより色ずれが発生するようになる。

20

【0031】

この場合に、分圧回路32A、32Hを構成する抵抗の値を異ならせ、セクタ33A、33Hから出力される原基準電圧 V_{RT} 、 V_{RB} の分解能を部分的に向上させる方法が考えられるが、この方法の場合、その分、原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を種々に設定することが困難になる。またディジタルアナログ変換回路31B~31Gによる構成と同様の構成をディジタルアナログ変換回路31A、31Hにそれぞれ設けて基準電圧 V_{RT} 、 V_{RB} を作成することも考えられるが、このようにすると構成が著しく煩雑になる。またこれら原基準電圧 V_{RT} 、 V_{RB} に係る原基準電圧設定データ DV のビット数を増大すると共に、分圧回路32A、32H、セクタ33A、33Hの構成をその分、高分解能化する方法も考えられるが、このようにするとさらにダイナミックレンジが減少した場合等に、改めて集積回路を作成し直さなければならなくなる。

30

【特許文献1】特開平10-333648号公報

【発明の開示】

【発明が解決しようとする課題】

【0032】

本発明は以上の点を考慮してなされたもので、発光特性の製品ばらつき等に対応できるようにして、簡易な構成により精度良く色調整することができるフラットディスプレイ装置を提案しようとするものである。

40

【課題を解決するための手段】

【0033】

かかる課題を解決するため請求項1の発明においては、画像データによる画像を表示するフラットディスプレイ装置に適用して、前記水平駆動回路は、黒レベル用原基準電圧設定データに応じて黒レベル用原基準電圧を生成する黒レベル用のディジタルアナログ変換回路と、白レベル用原基準電圧設定データに応じて白レベル用原基準電圧を生成する白レベル用のディジタルアナログ変換回路と、前記黒レベル用原基準電圧及び白レベル用原基準電圧を基準にして、複数の原基準電圧を生成する複数のディジタルアナログ変換回路と

50

による原基準電圧生成回路と、抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端に前記黒レベル用原基準電圧、前記白レベル用原基準電圧をそれぞれ入力し、前記分圧回路間に前記複数のディジタルアナログ変換回路による前記原基準電圧をそれぞれ入力し、前記複数の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、前記複数の基準電圧を入力して対応する信号線に係る前記画像データに応じて選択出力することにより、前記駆動信号を出力する複数の選択回路と、前記黒レベル用原基準電圧設定データ及び又は前記白レベル用原基準電圧設定データを変調する変調回路とを有し、前記変調回路は、黒レベル用微調整データ及び又は白レベル用微調整データの値に応じて、ライン単位、フレーム単位で値が変化する黒レベル用補正データ及び又は白レベル用補正データを生成する補正データ生成回路と、前記黒レベル用補正データ及び又は白レベル用補正データを前記黒レベル用原基準電圧設定データ及び又は前記白レベル用原基準電圧設定データに加算する加算回路とを有し、前記補正データ生成回路は、前記黒レベル用微調整データ及び又は白レベル用微調整データの取り得る値の数により連続するフレーム及びラインを区切って見た場合に、前記連続するフレームに設定された前記黒レベル用補正データ及び又は白レベル用補正データの平均値が、各ラインで等しく、かつ前記黒レベル用微調整データ及び又は白レベル用微調整データの値に対応するように、前記連続するラインに設定された前記黒レベル用補正データ及び又は白レベル用補正データの平均値が、各フレームで等しく、かつ前記連続するフレームに設定された前記黒レベル用補正データ及び又は白レベル用補正データの平均値と等しくなるように、前記黒レベル用補正データ及び又は白レベル用補正データを生成する。

10

20

【0034】

請求項1の構成により、前記変調回路は、黒レベル用微調整データ及び又は白レベル用微調整データの値に応じて、ライン単位、フレーム単位で値が変化する黒レベル用補正データ及び又は白レベル用補正データを生成する補正データ生成回路と、前記黒レベル用補正データ及び又は白レベル用補正データを前記黒レベル用原基準電圧設定データ及び又は前記白レベル用原基準電圧設定データに加算する加算回路とを有するようにすれば、黒レベル用微調整データ及び又は白レベル用微調整データに応じて生成した黒レベル用補正データ及び又は白レベル用補正データにより黒レベル用原基準電圧設定データ及び又は前記白レベル用原基準電圧設定データを変調することができる。また前記黒レベル用微調整データ及び又は白レベル用の微調整データの取り得る値の数により連続するフレーム及びラインを区切って見た場合に、前記連続するフレームに設定された前記黒レベル用補正データ及び又は白レベル用補正データの平均値が、各ラインで等しく、かつ前記黒レベル用微調整データ及び又は白レベル用微調整データの値に対応するように、前記連続するラインに設定された前記黒レベル用補正データ及び又は白レベル用補正データの平均値が、各フレームで等しく、かつ前記連続するフレームに設定された前記黒レベル用補正データ及び又は白レベル用補正データの平均値と等しくなるように、前記黒レベル用補正データ及び又は白レベル用補正データを生成すれば、連続するフレームによる時間軸方向の変調により、また連続するラインによる空間的な変調により、黒レベル用微調整データ及び又は白レベル用微調整データに応じて黒レベル用原基準電圧設定データ及び又は前記白レベル用原基準電圧設定データを変調し、その結果、対応する黒レベル用原基準電圧及び又は白レベル用原基準電圧を変調することができる。これにより連続するフレームによる時間軸方向の積分効果により、また連続するラインによる空間的な積分効果により、黒レベル用原基準電圧設定データ、白レベル用原基準電圧設定データによる分解能以下の高い精度により、黒レベル用原基準電圧及び又は白レベル用原基準電圧を設定することができる。これにより発光特性の製品ばらつき等に対応できるようにして、簡易な構成により精度良く色調整することができる。

30

40

【発明の効果】

【0035】

本発明によれば、発光特性の製品ばらつき等に対応できるようにして、簡易な構成により精度良く色調整することができるフラットディスプレイ装置を提供することができる。

50

【発明を実施するための最良の形態】

【0036】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0037】

(1) 実施例の構成

図2は、本発明の実施例に係るPDA(Personal Digital Assistants)を示すブロック図である。このPDA41は、装置本体42において、操作子の操作に応動して演算処理手段であるコントローラ43で所定の処理手順を実行することにより、表示部44に各種の画像を表示する。なおこのPDA41において、図9、図13等について上述した構成と同一の構成は、対応する符号を付して示し、重複した説明は省略する。

10

【0038】

ここでPDA41において、表示部44は、有機EL素子による各画素がマトリックス状に配置されてなるカラー画像の表示パネルであり、各画素に接続されたゲート線を用いて図示しない垂直駆動回路によりライン単位で画素を選択し、またこの垂直駆動回路による画素の選択に対応してセクタ17A~17Nの接点の切り換えにより、水平駆動回路45により各画素の階調が設定されるようになされている。

【0039】

このため水平駆動回路45は、集積回路により構成され、コントローラ52から出力される画像データD1をシフトレジスタ13により上述した水平方向に連続する赤色、緑色、青色の画素による各組に振り分けた後、セクタによるデジタルアナログ変換回路15A~15Nによりそれぞれデジタルアナログ変換処理する。またこのデジタルアナログ変換処理結果による駆動信号を増幅回路16A~16Nによりそれぞれ増幅して表示部44に出力する。

20

【0040】

水平駆動回路45は、図13について上述した原基準電圧生成回路30、基準電圧生成回路39により、これらのデジタルアナログ変換回路15A~15Nのデジタルアナログ変換処理に供する基準電圧V1~V64が生成される。すなわち原基準電圧生成回路30においては、原基準電圧設定データDV(DVVRT、DVVB~DVVG、DVVRB)に応じて原基準電圧VRT、VB~VG、VRBを生成して出力し、基準電圧生成回路39は、これら原基準電圧VRT、VB~VG、VRBを抵抗分圧して基準電圧V1~V64を生成する。水平駆動回路45は、この原基準電圧VRT、VB~VG、VRBの設定を指示する原基準電圧設定データDV(DVVRT、DVVB~DVVG、DVVRB)が各6ビットにより入力されるようになされ、またこの6ビットに対応する分解能により5[V]による基準電圧生成用電圧VCOMを分圧して原基準電圧VRT、VRBを生成するようになされ、これによりこれら原基準電圧VRT、VRBを約80[mV](=5[V]/64)の分解能により生成するようになされている。

30

【0041】

このような原基準電圧設定データDV(DVVRT、DVVB~DVVG、DVVRB)に関して、このPDA41は、工場出荷時、この有機EL素子による表示部44について、各色の発光特性が測定され、この測定結果に基づいて、メモリ50に、これら原基準電圧設定データDV(DVVRT、DVVB~DVVG、DVVRB)が記録され、これによりこの原基準電圧設定データDVを用いて各色の発光特性のばらつき、製品間の発光特性のばらつきを補正できるようになされ、これにより正しいホワイトバランス、色再現性により表示画像を表示できるようになされている。またさらに原基準電圧VRT、VRBについては、対応する原基準電圧設定データDVVRT、DVVRBによる設定をさらに詳細に設定する各2ビットによる微調整データD3(D3VRT、D3VRB)がメモリ50に記録されるようになされている。

40

【0042】

なおこの実施例においては、これら原基準電圧VRT、VB~VG、VRBのうち、最

50

も電圧の高い原基準電圧 V_{RT} と、最も電圧の低い原基準電圧 V_{RB} とが、それぞれ黒レベル及び白レベルの階調に対応する原基準電圧であり、これにより以下においては、適宜、これら2つの原基準電圧 V_{RT} 、 V_{RB} をそれぞれ黒レベル用原基準電圧 V_{RT} 、白レベル用原基準電圧 V_{RB} と呼ぶ。またこれに対応してこれら黒レベル用原基準電圧 V_{RT} 、白レベル用原基準電圧 V_{RB} に対応する原基準電圧設定データ D_V を、適宜、黒レベル用原基準電圧設定データ $D_{V_{RT}}$ 、白レベル用原基準電圧設定データ $D_{V_{RB}}$ と呼ぶ。これによりメモリ50は、黒レベル用原基準電圧設定データ $D_{V_{RT}}$ 、白レベル用原基準電圧設定データ $D_{V_{RB}}$ 、これら以外の原基準電圧設定データ $D_{V_{VB}} \sim D_{V_{VG}}$ 、黒レベル用原基準電圧設定データ $D_{V_{RT}}$ に係る微調整データ $D_{3_{RT}}$ 、白レベル用原基準電圧設定データ $D_{V_{RB}}$ に係る微調整データ $D_{3_{RB}}$ を保持するようになされている。

10

【0043】

またPDA41は、ユーザーの好みにより、さらには発光特性の経時変化に対応可能に、所定の処理手順をコントローラ43により実行して表示部44におけるホワイトバランス、黒レベル、白レベルを調整できるようになされ、この調整結果をメモリ51に記録して保持すると共に、この調整結果により表示部44の表示を設定するようになされている。このPDA41は、メモリ50に記録された工場出荷時に係る原基準電圧設定データ $D_{V_{RT}}$ 、 $D_{V_{VB}} \sim D_{V_{VG}}$ 、 $D_{V_{RB}}$ 、微調整データ $D_{3_{RT}}$ 、 $D_{3_{RB}}$ のうち、黒レベル用原基準電圧設定データ $D_{V_{RT}}$ 、白レベル用原基準電圧設定データ $D_{V_{RB}}$ の補正データ D_2 を、これら原基準電圧設定データ $D_{V_{RT}}$ 、 $D_{V_{RB}}$ に対応する差分データ $D_{V_{RT}}$ 、 $D_{V_{RB}}$ の形式により各色毎にメモリ51に記録して保持し、このメモリ51に記録された補正データ D_2 をコントローラ52の処理に応じたタイミングによりコントローラ52に出力する。これによりPDA41は、このようなホワイトバランス調整等の調整結果を記録して保持し、さらにはこの調整結果により表示部44の表示を設定するようになされている。

20

【0044】

コントローラ52は、集積回路により構成され、装置本体42から出力される各色の画像データ D_R 、 D_G 、 D_B をライン単位で時分割多重化し、1系統による画像データ D_1 を出力する。また装置本体42のコントローラ43から出力される補正データ D_2 により原基準電圧設定データ D_V を補正した後、さらに微調整データ D_3 により補正して水平駆動回路45に出力する。

30

【0045】

すなわちコントローラ52において、タイミングジェネレータ(TG)53は、画像データ D_1 、 $D_R \sim D_B$ に同期した各種タイミング信号を生成して出力する。メモリ制御回路54は、このタイミング信号を基準にしてメモリ55の動作を制御し、メモリ55は、装置本体42から出力される画像データ $D_R \sim D_B$ を順次格納して出力することにより、画像データ D_R 、 D_G 、 D_B をライン単位で時分割多重化して画像データ D_1 を出力する。

【0046】

メモリ制御回路56は、メモリ50の動作を制御することにより、水平走査周期で、メモリ50から原基準電圧設定データ D_V 、微調整データ D_3 を読み出して原基準電圧設定回路59に出力する。

40

【0047】

原基準電圧設定回路59は、装置本体42のコントローラ43から出力される補正データ D_2 により、メモリ制御回路56から出力される原基準電圧設定データ D_V を補正した後、微調整データ D_3 によりさらに補正して出力する。すなわち図3に示すように、原基準電圧設定回路59は、メモリ制御回路56を介して入力される原基準電圧設定データ D_V ($D_{V_{RT}}$ 、 $D_{V_{VB}} \sim D_{V_{VG}}$ 、 $D_{V_{RB}}$)のうち、黒レベル用原基準電圧設定データ $D_{V_{RT}}$ 、白レベル用原基準電圧設定データ $D_{V_{RB}}$ を加算回路59Aに入力し、ここで装置本体42から出力される対応する補正データ D_2 ($D_{V_{RT}}$ 、 D_V

50

VRB)を加算し、これによりこれら黒レベル用原基準電圧設定データDVVRT、白レベル用原基準電圧設定データDVVRBを補正する。またこのようにして補正した黒レベル用原基準電圧設定データDVVRT、白レベル用原基準電圧設定データDVVRBを加算回路59Bを介してエンコーダ59Cに入力し、また残りの原基準電圧設定データDVVB~DVVGをセクタ(SEL)59Dを介してエンコーダ59Cに入力し、ここでこれら原基準電圧設定データDVVRT、DVVB~DVVG、DVVRBをシリアルデータに変換して出力する。なお原基準電圧設定回路59では、セクタ59Dの設定により、このようにメモリ制御回路56から出力される原基準電圧設定データDVVB~DVVGに代えて、装置本体42から別途出力される原基準電圧設定データを出力できるようになされている。

10

【0048】

これによりこのPDA41では、メモリ50に記録した原基準電圧設定データDVVRT、DVVB~DVVG、DVVRBにより原基準電圧VRT、VB~VG、VRBを種々に設定できるようになされ、これら原基準電圧設定データDVVRT、DVVB~DVVG、DVVRBの設定により種々のガンマ特性を確保し得るようになされ、さらには原基準電圧設定データDVVRT、DVVRBの設定により表示部44における色毎、製品毎のばらつきに対応できるようになされている。またメモリ51に記録する補正データD2の設定により表示部44の経時変化にも対応できるようになされている。

【0049】

この一連の処理において、原基準電圧設定回路59は、水平駆動回路45における信号線SIGの駆動に対応して、原基準電圧設定データDVを生成して出力する。しかしてこの実施例では、表示部44において、水平方向に連続する赤色、緑色、青色の画素を1組にして、この1組の画素を1つの駆動信号により時分割により駆動することにより、原基準電圧設定回路59は、1水平走査期間の間で、それぞれ赤色、緑色、青色の画像データDR、DG、DB用の原基準電圧設定データDVを切り換えて出力するようになされている。

20

【0050】

このようにして原基準電圧設定データDVVRT、DVVB~DVVG、DVVRBを補正データD2により補正して水平駆動回路45に出力するようにして、原基準電圧設定回路59は、このようにして出力する原基準電圧設定データDVVRT、DVVB~DVVG、DVVRBのうち、黒レベル及び白レベルに係る原基準電圧設定データDVVRT、DVVRBをそれぞれ黒レベル及び白レベルに係る微調整データD3VRT、D3VRBにより補正して出力する。

30

【0051】

すなわち原基準電圧設定回路59において、補正データ生成回路59Eは、例えば2ビットによるカウンタによりライン数及びフレーム数をカウントし、このカウンタのカウント結果を各色の微調整データD3VRT、D3VRBによりそれぞれ判定することにより、微調整データD3VRT、D3VRBに応じて、それぞれライン単位、フレーム単位で値の変化する1ビットの補正データD4VRT、D4VRBを生成する。具体的に、それぞれ図4~図7に示すように、これら微調整データD3VRT、D3VRBの取り得る値の数により連続するフレーム及びラインを区切って見た場合に、この連続するフレームでは、補正データD4VRT、D4VRBの平均値が、各ラインで等しく、かつ微調整データD3VRT、D3VRBの値に対応するように、また連続するラインでは、補正データD4VRT、D4VRBの平均値が、各フレームで等しく、かつ連続するフレームに係る各ラインにおける平均値と等しくなるように補正データD4VRT、D4VRBを生成する。

40

【0052】

これによりこの実施例では、微調整データD3VRT、D3VRBが2ビットにより形成されて、微調整データD3VRT、D3VRBが4種類の値を取ることににより、補正データ生成回路59Eは、各ラインにおいて、時間軸方向に連続する4フレーム分の補正デ

50

ータD 4を各ラインで平均値化した場合に、この平均値が微調整データD 3に応じて変化するように、補正データD 4を生成する。

【0053】

しかしてこの場合、補正データ生成回路59Eは、この連続する4フレームについて、微調整データD 3が値0の場合には、何れのフレームでも補正データD 4を値0に設定するのに対し(図4)、微調整データD 3が値1の場合には、これら連続する4フレームのうちの1つのフレームで補正データD 4を値-1に設定する(図5)。また微調整データD 3が値2の場合には、これら連続する4フレームのうちの2フレームで補正データD 4を値-1に設定するのに対し(図6)、微調整データD 3が値3の場合には、これら連続する4フレームのうちの3つのフレームで補正データD 4を値-1に設定する(図7)。

10

【0054】

またこのようにして連続する4フレームで補正データD 4の値を設定する際に、極力、連続するフレームで同一の論理値による補正データD 4が連続しないように、補正データD 4を生成し、これにより微調整データD 3が値2であって、これら連続する4フレームのうちの2つのフレームで補正データD 4を値-1に設定する場合(図6)、論理-1によるフレームと論理0によるフレームとが交互に連続するように、補正データD 4を生成する。またこのような4フレームを単位にした補正データD 4の生成を、連続するフレームで順次循環的に繰り返す。

【0055】

20

原基準電圧設定回路59においては、このようにして生成した補正データD 4VRT、D 4VRBをそれぞれ対応する原基準電圧設定データDVVRT、DVVRBに加算回路59Bで加算し、これにより図1に示すように、原基準電圧設定データDVVRT、DVVRBによる最小分解能により、連続するフレームF1、F2、F3、F4、...で一時的に原基準電圧VRT、VRBの電圧を微調整データD 3VRT、D 3VRBに応じて立ち下げるようになされている。なおこの図1に示す例においては、ラインL1、L2、...を黒色により塗り潰してこのように原基準電圧VRT、VRBの電圧を立ち下げてなるラインを示す。

【0056】

これによりこのPDA41では、時間軸方向の積分効果により、原基準電圧設定データDVVRT、DVVRBによる分解能以下で、原基準電圧VRT、VRBを詳細に設定するようになされている。すなわちこのように連続する4フレームで何ら補正データD 4を値-1に設定しない場合、連続する4フレームで平均値化した原基準電圧VRT、VRBは、加算回路59Aから出力される原基準電圧設定データDVVRT、DVVRBによる電圧により生成され、これによりこの加算回路59Aから出力される原基準電圧設定データDVVRT、DVVRBにおける1ディジットの変化に対して約80[mV]の分解能により出力される。これによりこの場合に、例えば原基準電圧設定データDVVRTが値10d(001010b(b:binary))の場合、この値10dに対応する原基準電圧VRTが出力される。

30

【0057】

40

これに対して連続する4フレームで1フレームだけ補正データD 4を値-1に設定する場合には、値-1に設定されたフレームでは値9dに対応する原基準電圧VRTが出力され、残りの3フレームでは値10dに対応する原基準電圧VRTが出力され、これらによりこの4フレームの平均においては、値9.75dに対応する原基準電圧VRTが出力されることになる。また連続する4フレームで2フレームだけ補正データD 4を値-1に設定する場合には、4フレームの平均においては、値9.5dに対応する原基準電圧VRTが出力されるのに対し、連続する4フレームで3フレームだけ補正データD 4を値-1に設定する場合には、4フレームの平均においては、値9.25dに対応する原基準電圧VRTが出力される。これらによりこの実施例においては、単に、原基準電圧設定回路59に出力する原基準電圧設定データDVVRT、DVVRBを補正するだけの簡易な構成に

50

より、原基準電圧設定データD V V R T、D V V R Bのビット数に対応する分解能以下の分解能により原基準電圧V R T、V R Bを精度良く設定して、その分、簡易な構成により精度良く色調整することができるようになされている。

【0058】

またこのようにして極力、連続するフレームで同一の論理値による補正データD 4が連続しないように、補正データD 4を生成し、これによりこのような原基準電圧設定データD V V R T、D V V R Bの一時的な立ち下げを目立たなくするようになされている。

【0059】

補正データ生成回路59Eは、このような連続する4フレームにおける補正データD 4の設定を、ライン方向については、順次、1フレーム分ずつシフトさせ、これにより上述したように4つの連続するラインでは、補正データD 4 V R T、D 4 V R Bの平均値が、各フレームで等しく、かつ連続する4つのフレームに係る各ラインにおける平均値と等しくなるように補正データD 4 V R T、D 4 V R Bを生成し、これによりフリッカの発生を有効に回避する。

【0060】

これにより補正データ生成回路59Eは、ライン方向についても、図4に示すように、微調整データD 3が値0の場合には、何れのラインでも補正データD 4を値0に設定するのに対し、微調整データD 3が値1の場合には、連続する4ラインのうちの1つのラインで補正データD 4を値-1に設定する(図5)。また微調整データD 3が値2の場合には、これら連続する4ラインのうちの2ラインで補正データD 4を値-1に設定するのに対し(図6)、微調整データD 3が値3の場合には、これら連続する4ラインのうちの3つのラインで補正データD 4を値-1に設定する(図7)。

【0061】

またこのようにして連続する4ラインで補正データD 4の値を設定する際に、極力、連続するラインで同一の論理値による補正データD 4が連続しないように、補正データD 4を生成し、これにより微調整データD 3が値2であって、これら連続する4ラインのうちの2つのラインで補正データD 4を値-1に設定する場合、論理-1によるラインと論理0によるラインとが交互に連続するように、補正データD 4を生成する。またこのような4ラインを単位にした補正データD 4の生成を、連続するラインで順次循環的に繰り返す。

【0062】

これにより原基準電圧設定回路59は、図1に示すように、ライン方向についても、原基準電圧設定データD V V R T、D V V R Bによる最小分解能により、一時的に原基準電圧V R T、V R Bの電圧を微調整データD 3 V R T、D 3 V R Bに応じて立ち下げ、単に、原基準電圧生成回路30に出力する原基準電圧設定データD V V R T、D V V R Bを補正するだけの簡易な構成により、各フレーム内である空間的にも、原基準電圧設定データD V V R T、D V V R Bのビット数に対応する分解能以下の分解能により原基準電圧V R T、V R Bを精度良く設定して、その分、簡易な構成により精度良く色調整することができるようになされている。

【0063】

これらによりこの実施例において、補正データ生成回路59E、加算回路59Bは、黒レベル用原基準電圧設定データD V V R T及び白レベル用原基準電圧設定データD V V R Bをそれぞれ微調整データD 3 V R T及びD 3 V R Bにより変調する変調回路を構成するようになされている。

【0064】

(2) 実施例の動作

以上の構成において、このP D A 4 1では(図2)、表示に供する画像データD R ~ D Bが装置本体42からコントローラ52に入力され、ここでメモリ55を介して、ライン単位で同一色に係る画像データが連続してなるように時分割多重化処理され、その処理結果である画像データD 1が水平駆動回路45に入力される。この水平駆動回路45におい

10

20

30

40

50

て、画像データD1は、シフトレジスタ13に取り込まれ、ライン単位で、同一色に係る画像データが同時並列的にデジタルアナログ変換回路15A~15Nに入力される。またこのデジタルアナログ変換回路15A~15Nにおけるデジタルアナログ変換処理により、駆動信号に変換され、この駆動信号がそれぞれ増幅回路16A~16Nを介して表示部44に入力され、この表示部44において、それぞれセクタ17A~17Nにより各信号線SIGに出力される。これにより画像データD1は、表示部44において赤色、緑色、青色の順序により水平方向に順次循環的に繰り返されてなる有機EL素子による画素に対して、これら赤色、緑色、青色の画素による組み合わせに振り分けられた後、駆動信号に変換され、この駆動信号がセクタ17A~17Nにより赤色、緑色、青色の画素に係る信号線SIGに振り分けられ、これによりPDA41では、画像データDR~DBにより各画素の階調が設定されて所望の画像が表示される。

10

【0065】

また原基準電圧生成回路30において(図1及び図13)、複数の原基準電圧VRT、VB~VG、VRBが生成され、所定個数の抵抗を直列接続して形成された複数の分圧回路R1~R7を、さらに直列接続してなる抵抗直列回路による基準電圧生成回路39において、これら原基準電圧VRT、VB~VG、VRBを分圧して基準電圧V1~V64が形成され、デジタルアナログ変換回路15A~15Nにおいて、この基準電圧V1~V64の選択により画像データD1がデジタルアナログ変換処理されて駆動信号が生成され、これにより原基準電圧VRT、VB~VG、VRBにより設定される折れ線近似によるガンマ特性により駆動信号が生成されて画像が表示される。

20

【0066】

しかして有機EL素子においては、ガンマ特性自体はばらつかないものの、色毎、製品毎に発光特性が異なり、さらには経時変化により発光特性が変化する。これに対してPDA41では、黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBを分圧回路32B~32Gにより分圧して原基準電圧VB~VGが生成され、これらの原基準電圧VRT、VB~VG、VRBを分圧回路R1~R7により分圧して基準電圧V1~V64が生成される。これによりこのように画像データDR~DBをデジタルアナログ変換処理して駆動信号を生成するようにして、黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBを各色毎、製品毎に設定し、経時変化に対応するように補正することが必要になる。

30

【0067】

このためPDA41では、各色毎に、製品毎に、発光特性が測定され、この測定結果より所望の発光特性を確保可能に、原基準電圧VRT、VB~VG、VRBの設定を指示する原基準電圧設定データDVが、微調整データD3VRT、D3VRBと共にメモリ50に記録されて保持される(図2)。またこれら原基準電圧VRT、VB~VG、VRBのうち黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBを補正する補正データD2がメモリ51に保持される。PDA41では、原基準電圧設定回路59において、この原基準電圧設定データDVが補正データD2により補正された後、画像データD1の時分割多重化に対応して、順次、水平駆動回路45に入力される。

【0068】

水平駆動回路45においては(図13)、この原基準電圧設定データDVがデコーダ35により原基準電圧VRT、VB~VG、VRBの各系統に分割され、これらの原基準電圧設定データDVがデジタルアナログ変換回路31A~31Hによりデジタルアナログ変換処理されて原基準電圧VRT、VB~VG、VRBが生成される。

40

【0069】

これによりこの実施例においては、この原基準電圧設定データDVの設定により、種々の発光特性に対応することができ、これにより種々の表示パネルに簡易かつ迅速に対応することができる。すなわち単にデータの変更でダイナミックレンジ調整、黒レベル調整し、さらにはガンマ特性を変更できることにより、従来に比して大幅に開発期間を短縮し、さらには開発に要する手間も低減することができる。

【0070】

50

またこれにより色毎、製品毎の発光特性のばらつき、経時変化による発光特性の変化についても、柔軟に対応することができ、このような特性のばらつき、経時変化によるホワイトバランスのずれ、色再現性の劣化を有効に回避して高品質の表示画像を提供することができる。

【0071】

このようにして原基準電圧設定データDVにより原基準電圧VRT、VB～VG、VRBを設定して発光特性を種々に補正できるようにして、このPDA41において、黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBに係るデジタルアナログ変換回路31A、31Hでは、基準電圧生成用電圧VCOMを分圧回路32A、32Hにより分圧してそれぞれ原基準電圧VRT、VRBの候補電圧が複数生成され、この複数の候補電圧が原基準電圧設定データDVにより選択されて、原基準電圧VRT、VRBが生成される。これによりこれら原基準電圧VRT、VRBにあつては、基準電圧生成用電圧VCOMとアース電位との間で、種々に電圧を設定することができる。

10

【0072】

これに対して残る原基準電圧VB～VGに係るデジタルアナログ変換回路31B～31Gにおいては、分圧回路32B～32Gが直列に接続されて、両端が黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBに接続された状態で、それぞれ分圧回路32B～32Gにより分圧して原基準電圧VB～VGの候補電圧が複数生成され、この複数の候補電圧が原基準電圧設定データDVにより選択されて、原基準電圧VB～VGが生成される。

20

【0073】

これにより原基準電圧VB～VGにおいては、それぞれ直列接続されてなる分圧回路32B～32Gから出力される候補電圧の範囲でしか電圧が変化しないように保持され、これによりPDA41においては、ノイズの混入により原基準電圧設定データDVが誤って設定された場合にあっては、極端なガンマ特性による駆動信号の出力を防止でき、ノイズによる著しい画質劣化を防止することができるようになされている。

【0074】

またこのようにそれぞれ直列接続されてなる分圧回路32B～32Gの両端が、黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBに接続されることにより、ダイナミックレンジ調整、黒レベル調整により、発光特性のばらつき、経時変化を補正する場合に、これら原基準電圧VRT、VRBを可変した場合には、直列接続されてなる分圧回路32B～32Gによる抵抗分圧比により、これら原基準電圧VRT、VRBの変化に追従して原基準電圧VB～VGも変化することになる。これによりこれらの原基準電圧VB～VGについては、改めて設定し直す処理を省略することができ、これによりPDA41では、これら残りのデジタルアナログ変換回路31B～31Gに係る計算処理を省略して調整作業を簡略化することができるようになされている。

30

【0075】

またこのように原基準電圧設定データDVにより原基準電圧VRT、VB～VG、VRBを設定するようにして、画像データD1の伝送に係る時分割多重化の処理に対応して、原基準電圧設定データDVを切り換えることにより、1系統の原基準電圧生成回路を各色の画像データの処理に共用化することができ、これにより全体構成を簡略化することができるようになされている。

40

【0076】

またこれによりPDA41では、結局、1ラインで3回、原基準電圧設定データDVを出力してガンマ特性を切り換えることになる。これによりノイズの混入により誤ってガンマ特性を設定した場合でも、このノイズの影響によるガンマの誤設定を1ラインに止めることができ、これによってもノイズによる画質劣化を低減するようになされている。

【0077】

しかしてPDA41では、このように原基準電圧設定データDVにより原基準電圧VRT、VB～VG、VRBを設定するようにして、この原基準電圧VRT、VB～VG、V

50

R Bを生成する原基準電圧生成回路を基準電圧生成回路側に設け、一体に集積回路化することにより、原基準電圧V R T、V B ~ V G、V R Bの伝送路における静電容量を格段的に小さくすることができ、これにより基準電圧生成回路3 9においては、原基準電圧V R T、V B ~ V G、V R Bの入力に供する増幅回路を省略することができる。これによりその分、構成を簡略化して消費電力を低減することができる。またこの増幅回路が不要となったことで、その分、基準電圧生成回路に入力する原基準電圧V R T、V B ~ V G、V R Bの精度を向上することができ、これにより基準電圧V 1 ~ V 6 4の設定精度を向上し、生産性を向上することができる。

【0078】

このようにして原基準電圧設定データD V V R T、D V V B ~ D V V G、D V V R Bにより原基準電圧V R T、V B ~ V G、V R Bを設定するようにして、P D A 4 1では、補正データ生成回路5 9 Eにおいて(図3)、メモリ5 0に保持されてなる微調整データD 3 V R T、D 3 V R Bの値に応じて、各色毎に、ライン単位、フレーム単位で値0から値- 1に論理値が変化する補正データD 4が生成され(図4 ~ 図7)、原基準電圧生成回路3 0に出力する黒レベル用原基準電圧設定データD V V R T、白レベル用原基準電圧設定データD V V R Bが、それぞれこの補正データD 4により補正される。これによりP D A 4 1では、原基準電圧設定データD V V R T、D V V R Bによる最小分解能により、微調整データD 3 V R T、D 3 V R Bの値に応じて、一時的に原基準電圧V R T、V R Bの電圧が微調整データD 3 V R T、D 3 V R Bに応じて立ち下げられる(図1)。

【0079】

P D A 4 1では、微調整データD 3 V R T、D 3 V R Bの取り得る値の数により連続するフレーム及びラインを区切って見た場合に、この連続するフレームでは、補正データD 4 V R T、D 4 V R Bの平均値が、各ラインで等しく、かつ微調整データD 3 V R T、D 3 V R Bの値に対応するように、また連続するラインでは、補正データD 4 V R T、D 4 V R Bの平均値が、各フレームで等しく、かつ連続するフレームに係る各ラインにおける平均値と等しくなるように補正データD 4 V R T、D 4 V R Bが生成され、これらにより基準電圧V 1 ~ V 6 4の生成基準である黒レベル用及び白レベル用の原基準電圧V R T、V R Bが、連続するフレームによる時間軸方向に、また連続するラインによる空間的に変調され、時間軸方向の積分効果、空間的な積分効果により原基準電圧設定データD V V R T、D V V R Bによる最小分解能以下の分解能によりこれら黒レベル用及び白レベル用の原基準電圧V R T、V R Bが設定される。これによりP D A 4 1では、簡易な構成により精度良く黒レベル及び白レベルを調整して、高い精度に色調整することができるようになされている。

【0080】

しかしてこの実施例では、このような微調整データD 3による一時的な原基準電圧V R T、V R Bの立ち下げが、連続する4ライン、4フレームを単位にして、2ビットの微調整データに応じて実行されることにより、結果的に、黒レベル及び白レベルに係る原基準電圧設定データD V V R T、D V V R Bを8ビット(6ビット+2ビット)により作成すると共に、これら原基準電圧設定データD V V R T、D V V R Bに係るディジタルアナログ変換回路3 1 A、3 1 Hを8ビットにより構成したと同様の分解能により、黒レベル及び白レベルに係る原基準電圧V R T、V R Bを設定することができる。これによりこの実施例においては、簡易な構成により高い精度で色ずれ調整できるようになされている。

【0081】

このようにして表示部4 4の表示に係る時間的、空間的に原基準電圧V R T、V R Bを変調するにつき、このP D A 4 1では、極力、連続するフレームで同一の論理値による補正データD 4が連続しないように、補正データD 4を生成し、これによりこのような原基準電圧V R T、V R Bの一時的な立ち下げを目立たなくする。またライン方向については、連続する4フレームにおける補正データD 4の設定を、順次、1フレーム分ずつシフトさせ、これによりライン方向についてもこのような原基準電圧V R T、V R Bの一時的な立ち下げを目立たなくし、さらにはフリッカの発生を有効に回避する。

【 0 0 8 2 】

(3) 実施例の効果

以上の構成によれば、黒レベル用及び白レベル用の原基準電圧設定データに応じてそれぞれ黒レベル用及び白レベル用の原基準電圧を生成し、この黒レベル用及び白レベル用の原基準電圧の抵抗分圧によりデジタルアナログ変換用の基準電圧を生成するようにして、これら黒レベル用及び白レベル用の原基準電圧設定データを補正データに応じて空間的、時間的に変調し、これら空間的、時間的な積分効果を利用して原基準電圧設定データの分解能以下による分解能により黒レベル用及び白レベル用の原基準電圧を設定することにより、発光特性の製品ばらつき等に対応できるようにして、簡易な構成により精度良く色調整することができる。

10

【実施例 2】

【 0 0 8 3 】

なお上述の実施例においては、黒レベル及び白レベルの双方について、調整精度を向上する場合について述べたが、本発明はこれに限らず、実用上十分な特性を確保できる場合には、黒レベル及び白レベルの一方についてだけ、微調整データにより変調するようにしてもよい。

【 0 0 8 4 】

また上述の実施例においては、装置本体から出力される補正データにより黒レベル用原基準電圧設定データ及び白レベル用原基準電圧設定データだけを補正することにより、微調整データについては発光特性の経時変化を補正しない場合について述べたが、本発明はこれに限らず、微調整データに対応する補正データを装置本体に設けるようにして、微調整データに関しても発光特性の経時変化に対応するようにしてもよい。

20

【 0 0 8 5 】

また上述の実施例においては、本発明を P D A に適用する場合について述べたが、本発明はこれに限らず、種々の映像機器に広く適用することができる。

【産業上の利用可能性】

【 0 0 8 6 】

本発明は、フラットディスプレイ装置に関し、例えば有機 E L 素子による表示装置に適用することができる。

【図面の簡単な説明】

30

【 0 0 8 7 】

【図 1】本発明の実施例 1 に係る P D A における黒レベル原基準電圧、白レベル原基準電圧の設定の説明に供する略線図である。

【図 2】本発明の実施例 1 に係る P D A を示すブロック図である。

【図 3】図 1 の原基準電圧設定回路を示すブロック図である。

【図 4】微調整データが値〔 0 0 〕の場合における補正データの生成の説明に供する図表である。

【図 5】微調整データが値〔 0 1 〕の場合における補正データの生成の説明に供する図表である。

【図 6】微調整データが値〔 1 0 〕の場合における補正データの生成の説明に供する図表である。

40

【図 7】微調整データが値〔 1 1 〕の場合における補正データの生成の説明に供する図表である。

【図 8】従来の液晶表示装置を示すブロック図である。

【図 9】図 8 の液晶表示装置における水平駆動回路を周辺構成と共に示すブロック図である。

【図 1 0】図 9 の説明に供するタイムチャートである。

【図 1 1】図 9 の水平駆動回路及びコントローラにおける原基準電圧生成回路及び基準電圧生成回路を示すブロック図である。

【図 1 2】図 8 の液晶表示装置におけるガンマ特性の説明に供する特性曲線図である。

50

【図 13】原基準電圧設定データによる原基準電圧の設定例を示すブロック図である。

【図 1 4】図 1 3 の構成によるガンマ特性の説明に供する特性曲線図である。

【図 15】図 13 の構成によるガンマ特性におけるノイズの影響の説明に供する特性曲線図である。

【図 16】図 13 の構成によるガンマ特性におけるダイナミックレンジ調整の説明に供する特性曲線図である。

【符号の説明】

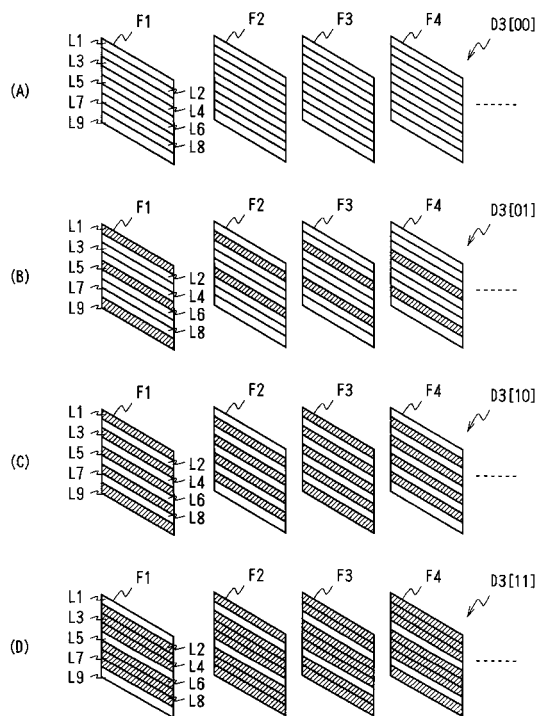
【 0 0 8 8 】

１ …… 液晶表示装置、２、４４ …… 表示部、３Ｒ、３Ｇ、３Ｂ …… 画素、４、４５ ……
 水平駆動回路、６、４２ …… 装置本体、７、４３、５２ …… コントローラ、９、５４、５
 ６ …… メモリ制御回路、１０、５０、５１、５５ …… メモリ、１２、３０ …… 原基準電圧
 生成回路、１３ …… シフトレジスタ、１４、３９ …… 基準電圧生成回路、１５Ａ～１５Ｎ
 、３１Ａ～３１Ｈ …… デジタルアナログ変換回路、１７Ａ～１７Ｎ、３３Ａ～３３Ｈ ……
 …… セレクタ、２１、３２Ａ～３２Ｈ、Ｒ１～Ｒ７ …… 分圧回路、２６ …… 抵抗直列回路、
 ３５ …… デコーダ、４１ …… ＰＤＡ、５９ …… 原基準電圧設定回路、５９Ａ、５９Ｂ ……
 加算回路、５９Ｅ …… 補正データ生成回路

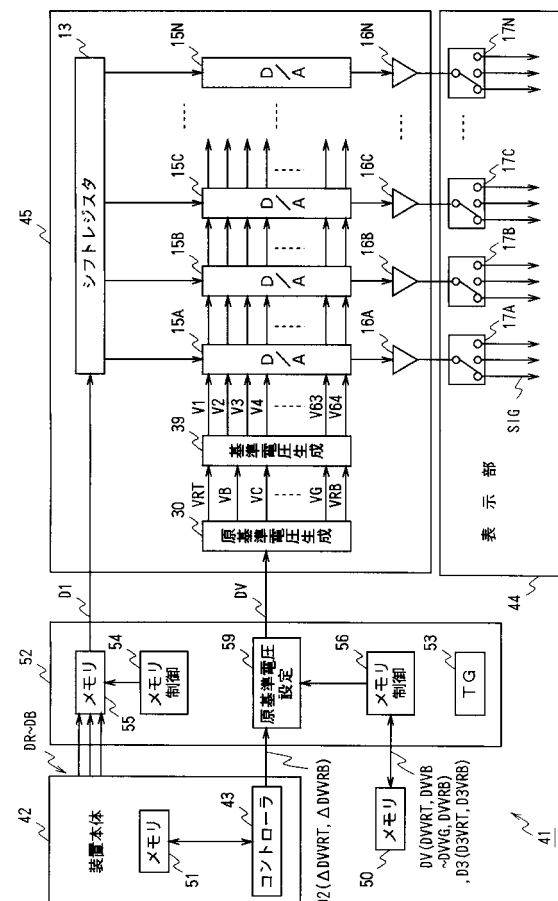
10

20

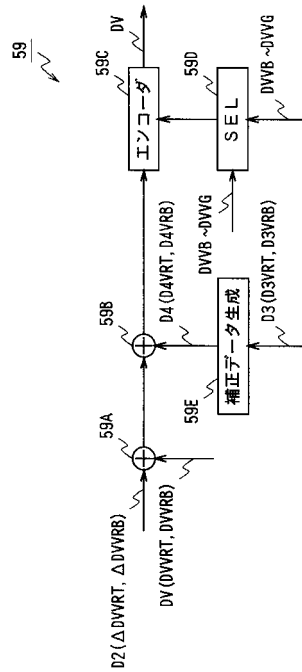
【图 1】



【圖 2】



【図 3】



【図 4】

D3[00]

→ フレーム数

	1	2	3	4	5	6	7	8		時間平均
1	0	0	0	0	0	0	0	0	---	0
2	0	0	0	0	0	0	0	0	---	0
3	0	0	0	0	0	0	0	0	---	0
4	0	0	0	0	0	0	0	0	---	0
5	0	0	0	0	0	0	0	0	---	0
6	0	0	0	0	0	0	0	0	---	0
...	---	---	---	---	---	---	---	---	---	0
空間平均	0	0	0	0	0	0	0	0	0	0

↓ ライン数

【図 5】

D3[01]

→ フレーム数

	1	2	3	4	5	6	7	8		時間平均
1	-1	0	0	0	-1	0	0	0	---	-0.25
2	0	-1	0	0	0	-1	0	0	---	-0.25
3	0	0	-1	0	0	0	-1	0	---	-0.25
4	0	0	0	-1	0	0	0	-1	---	-0.25
5	-1	0	0	0	-1	0	0	0	---	-0.25
6	0	-1	0	0	0	-1	0	0	---	-0.25
...	---	---	---	---	---	---	---	---	---	-0.25
空間平均	-0.25	-0.25	-0.25	-0.25	-0.25	-0.25	-0.25	-0.25	-0.25	-0.25

↓ ライン数

【図 6】

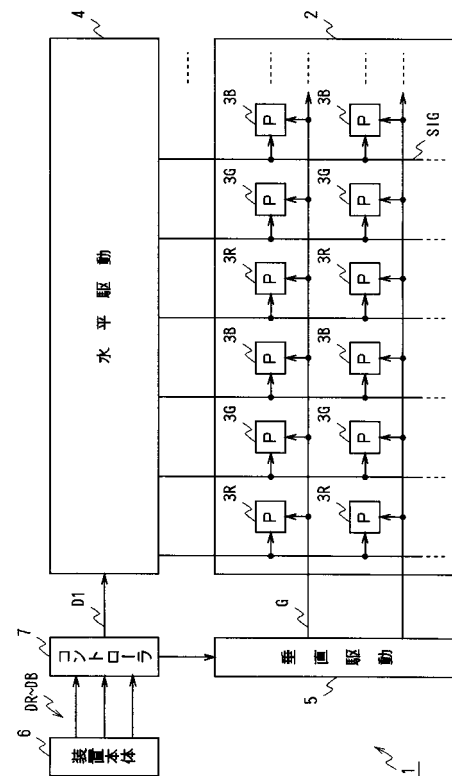
D3[10]

→ フレーム数

	1	2	3	4	5	6	7	8		時間平均
1	-1	0	-1	0	-1	0	-1	0	---	-0.5
2	0	-1	0	-1	0	-1	0	-1	---	-0.5
3	-1	0	-1	0	-1	0	-1	0	---	-0.5
4	0	-1	0	-1	0	-1	0	-1	---	-0.5
5	-1	0	-1	0	-1	0	-1	0	---	-0.5
6	0	-1	0	-1	0	-1	0	-1	---	-0.5
...	---	---	---	---	---	---	---	---	---	-0.5
空間平均	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5

↓ ライン数

【図 8】



【図 7】

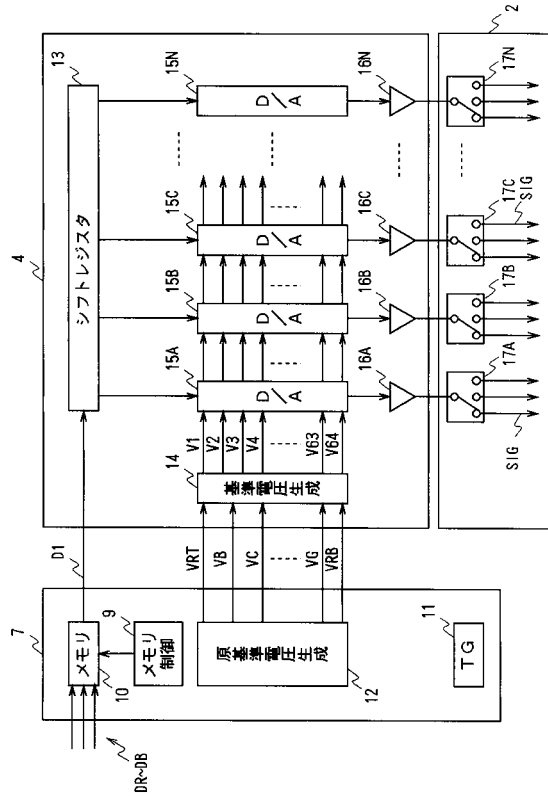
D3[11]

→ フレーム数

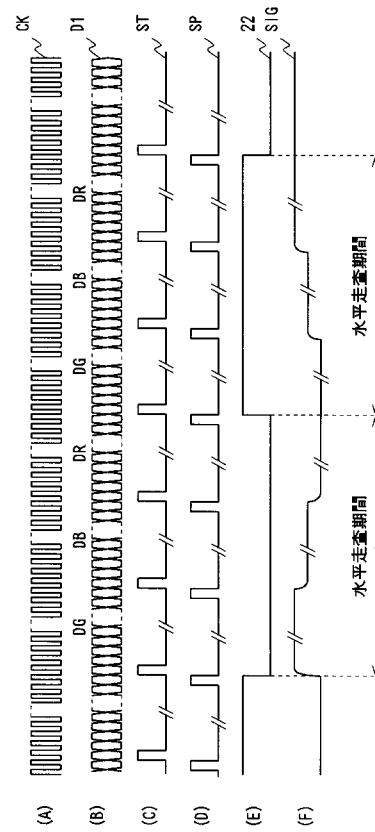
	1	2	3	4	5	6	7	8		時間平均
1	0	-1	-1	-1	0	-1	-1	-1	---	-0.75
2	-1	0	-1	-1	-1	0	-1	-1	---	-0.75
3	-1	-1	0	-1	-1	-1	0	-1	---	-0.75
4	-1	-1	-1	0	-1	-1	-1	0	---	-0.75
5	0	-1	-1	-1	0	-1	-1	-1	---	-0.75
6	-1	0	-1	-1	-1	0	-1	-1	---	-0.75
...	---	---	---	---	---	---	---	---	---	-0.75
空間平均	-0.75	-0.75	-0.75	-0.75	-0.75	-0.75	-0.75	-0.75	-0.75	-0.75

↓ ライン数

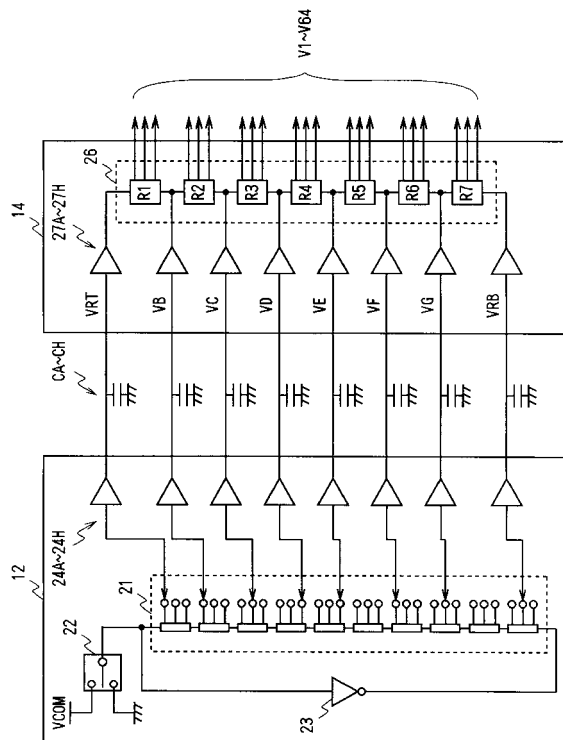
【図 9】



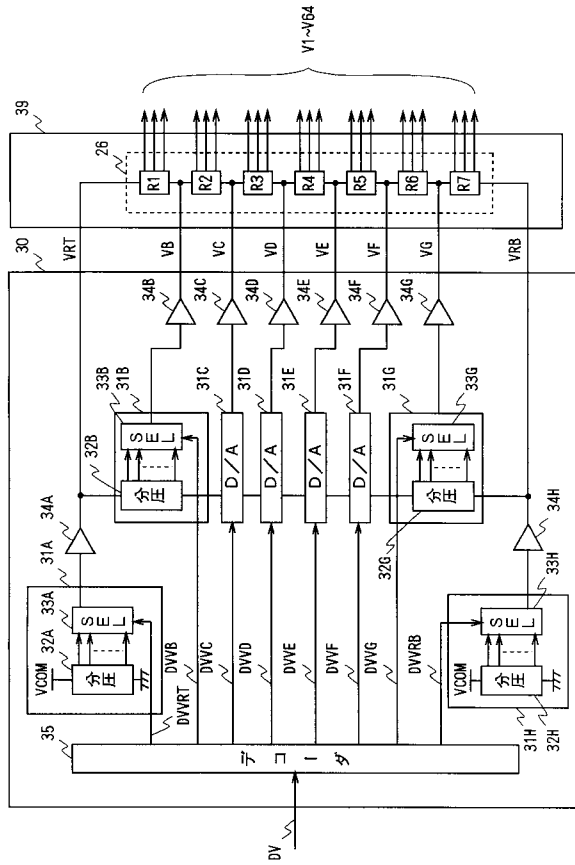
【図 10】



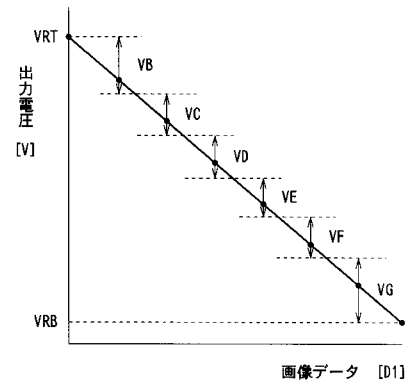
【図 11】



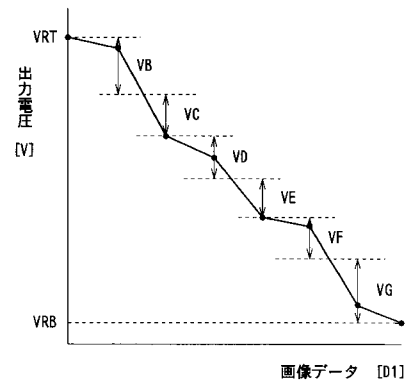
【図 13】



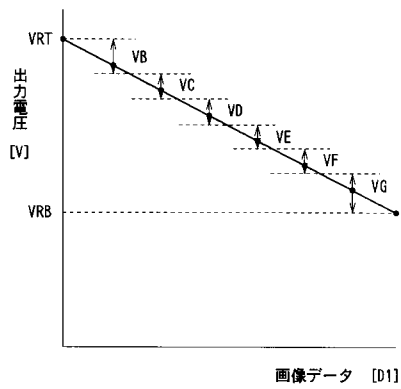
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 R
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 4 2 J
H 0 5 B 33/14 A

(56)参考文献 特開 2 0 0 2 - 3 6 6 1 1 2 (J P , A)
特開 2 0 0 3 - 0 9 8 9 9 8 (J P , A)
特開 2 0 0 3 - 1 5 7 0 5 1 (J P , A)
特開 2 0 0 4 - 3 5 4 6 2 5 (J P , A)
特開 2 0 0 5 - 2 8 4 0 3 7 (J P , A)
特開 2 0 0 5 - 2 8 4 0 3 8 (J P , A)
特開 2 0 0 5 - 3 0 0 7 8 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	平板显示设备		
公开(公告)号	JP4674443B2	公开(公告)日	2011-04-20
申请号	JP2004116046	申请日	2004-04-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山口正則		
发明人	山口 正則		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.612.E G09G3/20.623.F G09G3/20.623.R G09G3/20.642.A G09G3/20.642.J H05B33/14.A G09G3/20.612.F G09G3/20.641.Q G09G3/3275		
F-TERM分类号	3K007/AB04 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC08 3K107/CC33 3K107/EE02 3K107/HH04 5C080/AA05 5C080/BB05 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG17 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C380/AA01 5C380/AB04 5C380/AB34 5C380/AC12 5C380/BA01 5C380/BA08 5C380/BA11 5C380/BA14 5C380/BA24 5C380/BA25 5C380/BA30 5C380/BA37 5C380/BB15 5C380/BB23 5C380/BB25 5C380/BD03 5C380/CA04 5C380/CA17 5C380/CA33 5C380/CA36 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CE08 5C380/CF01 5C380/CF06 5C380/CF07 5C380/CF18 5C380/CF22 5C380/CF23 5C380/CF41 5C380/CF43 5C380/CF48 5C380/CF51 5C380/CF52 5C380/CF53 5C380/CF56 5C380/CF63 5C380/CF64 5C380/DA32 5C380/DA35 5C380/DA56 5C380/FA05 5C380/FA07 5C380/FA26 5C380/GA02 5C380/GA18		
代理人(译)	山本隆久 吉井正明 森浩一		
其他公开文献	JP2005300866A		
外部链接	Espacenet		

摘要(译)

公开涉及一种平板显示装置，例如，使用有机EL元件，以与在光发射特性的产品的变化，以应付，使得它能够准确地色彩调整用简单的结构应用到显示装置到。本发明中，分别生成用于黑色电平，并用于根据初始参考电压设定数据为黑电平，为白电平的白电平的原始参考电压，原来的黑色电平，为白电平以便通过参考电压的电阻分压，以产生用于数模转换的基准电压，这些黑电平以及用于在所述显示单元中的白色电平根据校正数据进行调制，空间原基准电压设定数据，利用由分辨率时间积分效果通过以下原基准电压设定数据的黑电平，为白色电平设置初始参考电压的分辨率。点域1

【 图 2 】

