

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4574039号
(P4574039)

(45) 発行日 平成22年11月4日(2010.11.4)

(24) 登録日 平成22年8月27日(2010.8.27)

(51) Int.Cl.	F I	
H05B 33/10	(2006.01)	H05B 33/10
C23C 14/12	(2006.01)	C23C 14/12
H05B 33/12	(2006.01)	H05B 33/12 B
H01L 51/50	(2006.01)	H05B 33/14 B
G09F 9/30	(2006.01)	G09F 9/30 365Z

請求項の数 7 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2001-61104 (P2001-61104)
 (22) 出願日 平成13年3月6日(2001.3.6)
 (65) 公開番号 特開2001-345177 (P2001-345177A)
 (43) 公開日 平成13年12月14日(2001.12.14)
 審査請求日 平成20年3月3日(2008.3.3)
 (31) 優先権主張番号 特願2000-61274 (P2000-61274)
 (32) 優先日 平成12年3月6日(2000.3.6)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2000-87696 (P2000-87696)
 (32) 優先日 平成12年3月27日(2000.3.27)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 ▲ひろ▼木 正明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 石丸 典子
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 濱野 隆

最終頁に続く

(54) 【発明の名称】 EL表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

試料ポート内でEL材料を気化させ、
前記気化したEL材料を帯電させ、
前記帯電したEL材料を前記試料ポートから放出し、
前記EL材料の進行方向を電界によって制御することで基板上に設けられた電極上に前記EL材料を選択的に蒸着させることを特徴とするEL表示装置の作製方法。

【請求項2】

試料ポート内でEL材料を気化させ、
前記気化したEL材料を帯電させ、
前記帯電したEL材料を前記試料ポートから放出し、
前記帯電したEL材料と反発するような電荷を発生させる電圧を印加したマスクの開口部に前記EL材料を通過させることにより、前記EL材料の進行方向を電界によって制御することで基板上に設けられた電極上に前記EL材料を選択的に蒸着させることを特徴とするEL表示装置の作製方法。

【請求項3】

請求項2において、
前記マスクは複数のマスクからなり、それぞれのマスクに印加する電圧を制御することによって前記EL材料を蒸着させる位置を制御することを特徴とするEL表示装置の作製方法。

【請求項 4】

請求項 2 又は請求項 3 において、

前記マスクは、導電材料からなる導電線、導電線からなる網目状の構造物、導電材料からなる板状の構造物、または複数の導電線が互いに平行に配置されたものであることを特徴とする E L 表示装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記電極に電圧を印加することで、前記電極上において前記 E L 材料を蒸着させる位置を制御することを特徴とする E L 表示装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記 E L 材料は、低分子材料からなることを特徴とする E L 表示装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、

前記電極上に蒸着された E L 材料の膜厚は、10 nm ~ 10 μm であることを特徴とする E L 表示装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、陽極、陰極及びそれらの間に E L (Electro Luminescence) が得られる発光性有機材料（以下、有機 E L 材料という）を挟んだ構造でなる E L 素子を絶縁体上に形成した自発光装置及びその自発光装置を表示部（表示ディスプレイまたは表示モニター）として有する電気器具、及び有機 E L 材料の薄膜形成方法及び薄膜形成装置に関する。なお、上記自発光装置は O L E D (Organic Light Emitting Diodes) ともいう。

【0002】

【従来の技術】

近年、発光性有機材料の E L 現象を利用した自発光素子として E L 素子を用いた自発光装置（E L 表示装置）の開発が進んでいる。E L 表示装置は自発光型であるため、液晶表示装置のようなバックライトが不要であり、さらに視野角が広いことから電気器具の表示部として有望視されている。

【0003】

E L 表示装置にはパッシブ型（単純マトリクス型）とアクティブ型（アクティブマトリクス型）の 2 種類があり、どちらも盛んに開発が行われている。特に現在はアクティブマトリクス型 E L 表示装置が注目されている。また、E L 素子の中心とも言える E L 層となる E L 材料は、低分子系有機 E L 材料と高分子系（ポリマー系）有機 E L 材料とがそれぞれ研究されている。

【0004】

E L 材料の成膜方法には、インクジェット法や蒸着法及びスピンコーティング法といった方法があるが、このうち蒸着法においては、マスクを用いて成膜位置をコントロールするという方法が採られているが、このとき E L 材料がマスクを通過せずにマスク上に成膜されてしまうという問題がある。

【0005】

【発明が解決しようとする課題】

本発明は上記問題点を鑑みてなされたものであり、E L 材料をマスクを用いて電界制御する蒸着法で E L 材料を無駄なく選択的に成膜する手段を提供することを課題とする。また、成膜位置の制御精度を上げることを課題とする。さらに、このような手段を用いた E L 表示装置及びその作製方法を提供することを課題とする。そして、このような E L 表示装置を表示部として有する電気器具を提供することを課題とする。

【0006】

【課題を解決するための手段】

10

20

30

40

50

上記課題を達成するために用いるマスクと、成膜する画素電極には、電圧がかけられている。

【0007】

本発明においてEL材料は、試料ポートに備えられており、これが気化してさらに電荷を持つと、気化したことで試料ポートの開口部から飛び出し、基板に到達する前にマスクにかけられた電圧により生じる電界により進行方向が制御され、蒸着位置を制御することができる。

【0008】

また、マスクを複数用いてもよい。例えば、第1マスク及び第2マスクにそれぞれ印加された電圧により生じた電界により進行方向が制御され、蒸着位置を制御することができる。

10

【0009】

【発明の実施の形態】

ここで本発明の実施の形態について図1を用いて説明する。

【0010】

図1(A)は、本発明を実施してEL材料を成膜する様子を模式的に示す図である。図1(A)において、110は基板であり、基板上の画素電極は、接地電位に接続されている。また、111は、試料ポートである。なお、試料ポート111にはEL材料が備えられている。

【0011】

なお、赤色EL層を形成させるときには、試料ポート111には赤色に発光するEL材料(以下、赤色EL材料という)、緑色EL層を形成させるときには、試料ポート111には緑色に発光するEL材料(以下、緑色EL材料という)、青色EL層を形成させるときには、試料ポート111には青色に発光するEL材料(以下、青色EL材料という)を備えておく。

20

【0012】

本発明の場合、試料ポート111のEL材料が電極120による抵抗加熱により気化され放出される。放出されるときEL材料は電極112にかけられた負の電圧により負に帯電した帯電粒子となり、導電性材料からなるマスク113の隙間を通過した後、基板110上の画素電極に蒸着される。また、電極112と電極120との間には絶縁体が設けられており、互いに異なる電圧が印加される。

30

【0013】

なお、EL材料は、マスク113を通過する際に図1(B)117の拡大図で示すようにマスク113における遮断部118により進行方向を制御される。また、マスク113は、遮断部118の部分が銅、鉄、アルミニウム、タンタル、チタン、タングステンといった導電性材料でできている複数の導電線が互いに平行に配置されたもの(ストライプ状)、もしくは、網目状の構造物(メッシュ状)、もしくは、板状の構造物である。蒸気状態のEL材料は、遮断部118にかけられた負の電圧により生じる電界と反発するため、遮断部118間の隙間を通過して基板に蒸着される。

【0014】

また、図1では断面形状が円形である例を示したが、特に限定されず矩形であっても楕円形であっても多角形状であってもよい。

40

【0015】

なお、マスク113の遮断部118には、蒸気状態のEL材料がマスク113の遮断部118と反発しあう電位にするための電圧をかけておく。これにより、EL材料は、マスク113における遮断部118間の隙間を通過することができる。なお、ここでは、蒸気状態のEL材料を負の電圧をかけた電極112により生じる電界により帯電させ、マスクの遮断部にも電極115により負の電圧をかけて電界を発生させる。これらにより、蒸気状態のEL材料の帯電粒子は、遮断部と電氣的に反発し、各遮断部の隙間を通過するようになる。

50

【 0 0 1 6 】

図 1 (A) に示すような構造とし、遮断部 1 1 8 に印加される負の電圧を数 1 0 V ~ 1 0 k V の範囲で適宜調節することによって、蒸着位置を高精度に制御することができる。

【 0 0 1 7 】

なお、マスク 1 1 3 と基板との間隔距離、各遮断部 1 1 8 間の距離等は実施者が適宜設定すればよい。例えば、各遮断部 1 1 8 間の距離は、基板上に形成される画素電極の画素ピッチにすると良い。

【 0 0 1 8 】

また、マスク 1 1 3 の目合わせを正確にするために、2 枚の導電板を重ねてスリット状もしくは円状の穴を放電加工で同時に切削してマスク 1 1 3 を形成してもよい。

10

【 0 0 1 9 】

また、ここでは 1 つのマスクを用いた例を示したが、二つ以上のマスクに電圧を印加して蒸気状態の E L 材料の飛翔方向を制御してもよい。また、ある一つの平面上に二つ以上のマスクを組み合わせたものに電圧を印加して蒸気状態の E L 材料の飛翔方向を制御してもよい。

【 0 0 2 0 】

まず、試料ポート 1 1 1 赤色 E L 材料を備え、これを蒸着させると画素上にストライプ状の赤色 E L 層が形成される。

【 0 0 2 1 】

次にマスクを矢印 k の方向に一画素列分移動させた後、試料ポート 1 1 1 から緑色 E L 材料を蒸着させ、緑色 E L 層を形成させる。さらにマスクを矢印 k の方向に一画素列分移動させ、同様に蒸着を行い青色 E L 層を形成させる。

20

【 0 0 2 2 】

即ち、マスクを矢印 k の方向に移動させながら赤、緑、青色に発光する画素列を色ごとに 3 回に分けて蒸着することで 3 色のストライプ状の E L 層が形成される。なお、ここで形成される E L 層の膜厚は、1 0 n m ~ 1 0 μ m であることが望ましい。

【 0 0 2 3 】

また、ここでいう画素列とはバンク 1 1 9 に仕切られた画素の列を指し、バンクは画素列間の隙間を埋めるように土手状に画素列のソース配線の上方に形成されている。つまり、バンクで画素列が仕切られているので画素上に形成させた E L 層を隣り合う画素列と区別して形成させることができる。即ち、ソース配線に沿って複数の画素が直列に並んだ列を画素列と呼んでいる。但し、ここではバンクがソース配線の上方に形成された場合を説明したが、ゲート配線の上方に設けられていても良い。この場合は、ゲート配線に沿って複数の画素が直列に並んだ列を画素列と呼ぶ。

30

【 0 0 2 4 】

従って、画素電極上の画素部 (図示せず) は、複数のソース配線もしくは複数のゲート配線の上方に設けられたストライプ状のバンクにより分割された複数の画素列の集合体として見ることができる。そのようにして見た場合、画素電極上の画素部は、赤色に発光するストライプ状の E L 層が形成された画素列、緑色に発光するストライプ状の E L 層が形成された画素列及び青色に発光するストライプ状の E L 層が形成された画素列からなるとも言える。

40

【 0 0 2 5 】

また、上記ストライプ状のバンクは、複数のソース配線もしくは複数のゲート配線の上方に設けられているため、実質的に画素部は、複数のソース配線もしくは複数のゲート配線により分割された複数の画素列の集合体と見こともできる。

【 0 0 2 6 】

さらに、本実施の形態において、基板 1 1 0 上に形成されている画素電極 (陽極) 上に電圧をかけておきマスクを通過した蒸気状態の E L 材料をさらに制御して、選択的に所望の位置に蒸着するような電界を与えておくとも良い。

【 0 0 2 7 】

50

また、試料ポート111、マスク、及び基板110が備えられている蒸着室121の内側側面に電極114で負の電圧をかけておくことで負に帯電した蒸気状態のEL材料と蒸着室の内側側面を反発させることができるので蒸気状態のEL材料を蒸着室の内側に付着させることなく被形成面に蒸着することができる。

【0028】

【実施例】

〔実施例1〕

本実施例では、試料ポートにおいて気化されたEL材料（以下蒸気状態のEL材料という）を電界で制御して基板上に成膜する方法について説明する。なお、本実施例における蒸着方法は、図1を用いる。

【0029】

図1において、110は基板であり、111は、試料ポートである。なお、試料ポート111にはEL層用材料が備えられている。

【0030】

なお、赤色EL層を形成させるときには、試料ポート111には赤色に発光するEL材料（以下、赤色EL材料という）、緑色EL層を形成させるときには、試料ポート111には緑色に発光するEL材料（以下、緑色EL材料という）、青色EL層を形成させるときには、試料ポート111には青色に発光するEL材料（以下、青色EL材料という）を備えておく。

【0031】

なお、本実施例では、EL材料として、赤色EL層には、Alqをホスト材料として赤色の蛍光色素DCMをドーピングしたものを用いた。また、緑色に発光するEL層には、アルミニウムの8-ヒドロキシキノリン錯体であるAlqを用い、青色に発光するEL層には亜鉛のベンゾオキサゾール錯体（ $Zn(oxz)_2$ ）を用いる。

【0032】

なお、上記に示したEL材料は、実施例の一つであり他の公知のEL材料を用いてもよい。また、発光色を赤、緑、青としてEL材料を選択しているが、この限りではなく、黄色、オレンジ、グレーといった色を用いてもよい。

【0033】

本実施例では、はじめに試料ポートに赤色EL材料を備えておき、基板上に赤色EL層を形成させた後、緑色EL材料が備えられた試料ポートを用いて基板上に緑色EL層を形成させる。そして、最後に青色EL材料が備えられた試料ポートを用いて基板上に青色EL層を形成させる。

【0034】

以上のように、赤、緑、青色EL材料を3回に分けて蒸着させることによりEL層を形成させることができる。

【0035】

各色のEL材料は、試料ポートにおいて、電極120による抵抗加熱により気化され、試料ポート111から放出される際、電極112が与える電界により電荷を持つ。この時、EL材料は、気化することで得られた、より高い運動エネルギーにより飛び出し、マスク113に到達する。

【0036】

マスク113には、電圧がかけられているためマスク113付近に電界が生じている。マスク113に到達した気体EL層用材料は、マスク113により生じる電界により制御された後、マスク113を通過して基板110に蒸着される。

【0037】

また、試料ポート111の赤色EL材料を蒸着させると画素上にストライプ状の赤色EL層が形成される。ここで、マスクを矢印kの方向に画素一列分移動させ、同様に試料ポート111から緑色EL材料を蒸着する。これにより、赤色EL層の横に緑色EL層が形成される。さらにマスクを矢印kの方向に画素一列分移動させながら試料ポート111から

10

20

30

40

50

青色EL材料を蒸着させる。これにより、緑色EL層の横に青色EL層が形成される。即ち、以上のようにマスクを移動させながら赤、緑、青色に発光する画素列を色ごとに3回に分けて蒸着させることで3色のストライプ状のEL層が形成される。なお、ここで形成されるEL層の膜厚は、100nm~1μmであることが望ましい。

【0038】

なお、ここでいう画素列とはバンク119に仕切られた画素の列を指し、バンクはソース配線の上方に形成されている。即ち、ソース配線に沿って複数の画素が直列に並んだ列を画素列と呼んでいる。但し、ここではバンクがソース配線の上方に形成された場合を説明したが、ゲート配線の上方に設けられていても良い。この場合は、ゲート配線に沿って複数の画素が直列に並んだ列を画素列と呼ぶ。

10

【0039】

従って、画素部(図示せず)は、複数のソース配線もしくは複数のゲート配線の上方に設けられたストライプ状のバンクにより分割された複数の画素列の集合体として見ることができる。そのようにして見た場合、画素部は、赤色に発光するストライプ状のEL層が形成された画素列、緑色に発光するストライプ状のEL層が形成された画素列及び青色に発光するストライプ状のEL層が形成された画素列からなるとも言える。

【0040】

また、上記ストライプ状のバンクは、複数のソース配線もしくは複数のゲート配線の上方に設けられているため、実質的に画素部は、複数のソース配線もしくは複数のゲート配線により分割された複数の画素列の集合体と見ることできる。

20

【0041】

また、基板110上に形成されている画素電極(陽極)上に電圧をかけておき、マスクを通過した蒸気状態のEL材料をさらに制御して、選択的に所望の位置に蒸着するような電界を与えるようにすると良い。

【0042】

〔実施例2〕

本実施例であるEL表示装置の画素部の断面図を図2に、その上面図を図3(A)に、その回路構成を図3(B)に示す。実際には画素がマトリクス状に複数配列されて画素部(画像表示部)が形成される。なお、図3(A)をA-A'で切断した断面図が図2に相当する。従って図2及び図3で共通の符号を用いているので、適宜両図面を参照すると良い。

30

【0043】

図2において、11は基板、12は下地となる絶縁膜(以下、下地膜という)である。基板11としてはガラス、ガラスセラミックス、石英、シリコン、セラミックス、金属若しくはプラスチックでなる基板を用いることができる。

【0044】

また、下地膜12は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜12としては、珪素(シリコン)を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜(SiO_xN_y で示される)など珪素、酸素若しくは窒素を所定の割合で含む絶縁膜を指す。

40

【0045】

また、下地膜12に放熱効果を持たせることによりTF Tの発熱を消散させることはTF Tの劣化又はEL素子の劣化を防ぐためにも有効である。放熱効果を持たせるには公知のあらゆる材料を用いることができる。

【0046】

ここでは画素内に二つのTF Tを形成している。201はスイッチング用TF Tであり、nチャネル型TF Tで形成され、202は電流制御用TF Tであり、pチャネル型TF Tで形成されている。

50

【0047】

ただし、本実施例において、スイッチング用TFTをnチャンネル型TFT、電流制御用TFTをpチャンネル型TFTに限定する必要はなく、スイッチング用TFTをpチャンネル型TFT、電流制御用TFTをnチャンネル型TFTにしたり、両方ともnチャンネル型又pチャンネル型TFTを用いることも可能である。

【0048】

スイッチング用TFT 201は、ソース領域13、ドレイン領域14、LDD領域15a~15d、高濃度不純物領域16及びチャンネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。

10

【0049】

また、図3に示すように、ゲート電極19a、19bは別の材料(ゲート電極19a、19bよりも低抵抗な材料)で形成されたゲート配線211によって電氣的に接続されたダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、シングルゲートもしくはトリプルゲート構造といったいわゆるマルチゲート構造(直列に接続された二つ以上のチャンネル形成領域を有する活性層を含む構造)であっても良い。マルチゲート構造はオフ電流値を低減する上で極めて有効であり、ここでは画素のスイッチング素子201をマルチゲート構造とすることによりオフ電流値の低いスイッチング素子を実現している。

【0050】

また、活性層は結晶構造を含む半導体膜で形成される。即ち、単結晶半導体膜でも良いし、多結晶半導体膜や微結晶半導体膜でも良い。また、ゲート絶縁膜18は珪素を含む絶縁膜で形成すれば良い。また、ゲート電極、ソース配線若しくはドレイン配線としてはあらゆる導電膜を用いることができる。

20

【0051】

さらに、スイッチング用TFT 201においては、LDD領域15a~15dは、ゲート絶縁膜18を挟んでゲート電極19a、19bと重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

【0052】

なお、チャンネル形成領域とLDD領域との間にオフセット領域(チャンネル形成領域と同一組成の半導体層となり、ゲート電圧が印加されない領域)を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャンネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

30

【0053】

次に、電流制御用TFT 202は、ソース領域31、ドレイン領域32及びチャンネル形成領域34を含む活性層、ゲート絶縁膜18、ゲート電極35、第1層間絶縁膜20、ソース配線36並びにドレイン配線37を有して形成される。なお、ゲート電極35はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0054】

図2に示すように、スイッチング用TFTのドレインは電流制御用TFT 202のゲートに接続されている。具体的には電流制御用TFT 202のゲート電極35はスイッチング用TFT 201のドレイン領域14とドレイン配線(接続配線とも言える)22を介して電氣的に接続されている。また、ソース配線36は電源供給線212に接続して形成、または電流供給線の一部として形成する。

40

【0055】

電流制御用TFT 202はEL素子203に注入される電流量を制御するための素子であるが、EL素子の劣化を考慮するとあまり多くの電流を流すことは好ましくない。そのため、電流制御用TFT 202に過剰な電流が流れないように、チャンネル長(L)は長めに設計することが好ましい。望ましくは一画素あたり0.5~2 μ A(好ましくは1~1.5 μ A)となるようにする。

50

【0056】

また、スイッチング用TF T 201に形成されるLDD領域の長さ(幅)は0.5~3.5 μm、代表的には2.0~2.5 μmとすれば良い。

【0057】

また、図3に示すように電流制御用TF T 202のゲート電極35を含む配線36は、50で示される領域で電流制御用TF T 202の電源供給線212と絶縁膜を挟んで重なる。このとき50で示される領域では、保持容量(コンデンサ)が形成される。保持容量50は電源供給線212と電氣的に接続された半導体膜51、ゲート絶縁膜と同一層の絶縁膜(図示せず)及び電源供給線212で形成される容量も保持容量として用いることが可能である。

10

【0058】

この保持容量50は、電流制御用TF T 202のゲート電極35にかかる電圧を保持するためのコンデンサとして機能する。

【0059】

また、流しうる電流量を多くするという観点から見れば、電流制御用TF T 202の活性層(特にチャネル形成領域)の膜厚を厚くする(好ましくは50~100 nm、さらに好ましくは60~80 nm)ことも有効である。逆に、スイッチング用TF T 201の場合はオフ電流値を小さくするという観点から見れば、活性層(特にチャネル形成領域)の膜厚を薄くする(好ましくは20~50 nm、さらに好ましくは25~40 nm)ことも有効である。

20

【0060】

次に、38は第1パッシベーション膜であり、膜厚は10 nm~10 μm(好ましくは200~500 nm)とすれば良い。材料としては、珪素を含む絶縁膜(特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。

【0061】

第1パッシベーション膜38の上には、各TF Tを覆うような形で第2層間絶縁膜(平坦化膜と言っても良い)39を形成し、TF Tによってできる段差の平坦化を行う。第2層間絶縁膜39としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル樹脂、BCB(ベンゾシクロブテン)等を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

30

【0062】

第2層間絶縁膜39によってTF Tによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0063】

また、40は透明導電膜でなる画素電極(EL素子の陽極に相当する)であり、第2層間絶縁膜39及び第1パッシベーション膜38にコンタクトホール(開孔)を開けた後、形成された開口部において電流制御用TF T 202のドレイン配線37に接続されるように形成される。

40

【0064】

本実施例では、画素電極として酸化インジウムと酸化スズの化合物でなる導電膜を用いる。また、これに少量のガリウムを添加しても良い。さらに酸化インジウムと酸化亜鉛との化合物や酸化亜鉛と酸化ガリウムの化合物を用いることもできる。

【0065】

画素電極を形成したら、樹脂材料でなるバンクを形成する。バンクは、バンクa(41a)バンクb(41b)のそれぞれエッチング材料に対する選択比の異なる有機樹脂膜、レジスト材料を用いパターンニングして形成されている。なお、ここでは、バンクa(41a)バンクb(41b)を積層させた後エッチングさせ、エッチング速度の違いにより図2で示すような形状を形成させることができる。なお、このときのエッチング速度は、(バ

50

ンク a を形成する樹脂) > (バンク b を形成する樹脂) なる関係が成り立つようにしておく。このバンク a (41a) およびバンク b (41b) は、画素と画素との間に図 3 (C) に示すようにストライプ状に形成される。なお、図 3 (C) の h_1 は、 $0.5 \sim 3 \mu\text{m}$ がよく、EL 層、陰極および保護電極を積層した膜厚よりも大きいことが望ましい。本実施例ではソース配線 21 に沿って形成するがゲート配線 35 に沿って形成しても良い。

【0066】

次に EL 層 42 が図 1 で説明したような薄膜形成方法により形成される。なお、ここでは一画素しか図示していないが、図 1 で説明したように R (赤)、G (緑)、B (青) の各色に対応した EL 層が形成される。

【0067】

まず、試料ポート 111 に備えられた EL 材料が電極 120 による抵抗加熱により気化 (蒸発) する。この蒸気状態の EL 材料が試料ポート 111 から飛び出す瞬間に試料ポート 111 の開口部に取り付けられている電極 112 による電界の影響で蒸気状態の EL 材料が帯電し、帯電粒子となる。この帯電粒子はマスク 113 を通過する際に遮断部 118 に電圧がかけられることにより生じるマスク付近の電界により進行方向を制御される。

【0068】

なお、試料ポートとマスクの間に電極を設けて電界を発生させ、試料ポートから放出される蒸気状態の EL 材料の電荷を制御しても良い。

【0069】

結果的には、気体 EL 材料は、各遮断部の隙間を通過して基板上の被形成面に蒸着される。

【0070】

なお、本明細書中でいうマスクの遮断部とは、マスクの導電性材料で形成されている部分のことを指し、導電性材料とは、チタン、タンタル、タングステン及びアルミニウムといった材料のことをいう。また、マスクの開口部は、各遮断部の隙間のことを指している。

【0071】

さらに、本明細書中では、被形成面とは、画素電極や有機膜の表面の一部であり、薄膜を形成させようとする面のことをいう。

【0072】

また、マスクには、数 $10\text{V} \sim 10\text{kV}$ の電圧がかけられていれば良く、好ましくは、 $10\text{V} \sim 1\text{kV}$ の電圧がかけられているとよい。また、実施者は、各電極に適宜、これらの範囲で電圧を設定すればよい。

【0073】

本実施例においては、まず、試料ポート 111 に備えられている赤色 EL 材料を気化 (蒸発) させて蒸着させることで、画素上の赤色に発光する画素列を形成する。次にマスクを横方向 (矢印 k の方向) に移動した後、試料ポート 111 に備えられている緑色 EL 材料を蒸着させ、緑色に発光すべき画素列を形成する。

さらにマスクを横方向 (矢印 k の方向) に移動して試料ポート 111 に備えられている青色 EL 材料を蒸着させ、青色に発光すべき画素列を形成する。

【0074】

なお、EL 材料を備えている試料ポート 111 は、EL 材料の種類を変える度に一緒に変えても良いし、試料ポートを変えずに EL 材料のみを入れ替えて用いても良い。

【0075】

また、ここで説明した試料ポート 111、マスクは別々に設けられていても良いが、一体形成されて装置化されていても良い。

【0076】

以上のように、マスクを移動させながら赤、緑、青色に発光する画素列を色ごとに 3 回に分けて蒸着させることで 3 色のストライプ状の EL 層を形成する。

【0077】

EL 層とする EL 材料としては低分子系材料を用いるとよい。代表的な低分子系材料とし

10

20

30

40

50

ては、トリス(8-キノリノナト)アルミニウム錯体(A1q)やビス(ベンゾキノリノラト)ベリリウム錯体(BeBq)といったEL材料などが挙げられる。

【0078】

なお、本実施例では、EL材料として、赤色EL層には、A1qをホスト材料として赤色の蛍光色素DCMをドーブしたものをを用いた。また、緑色に発光するEL層には、アルミニウムの8-ヒドロキシキノリン錯体であるA1qを用い、青色に発光するEL層には亜鉛のベンズオキサゾール錯体(Zn(oxz)₂)を用いる。

【0079】

但し、以上の例は本実施例のEL層として用いることのできるEL材料の一例であって、これに限定する必要はまったくない。

10

【0080】

つまり、ここでは述べなかったような高分子有機EL材料を塗布法で用いたり、高分子材料と併せて用いて形成させても良い。

【0081】

さらに、EL層42を形成する際、EL層は水分や酸素の存在によって容易に劣化してしまうため、処理雰囲気は水分や酸素の少ない雰囲気とし、窒素やアルゴンといった不活性ガス中で行うことが望ましい。

【0082】

以上のようにしてEL層42を形成したら、次に遮光性導電膜でなる陰極43、保護電極44及び第2パッシベーション膜45が形成される。本実施例では陰極43として、MgAgでなる導電膜を用い、保護電極44としてアルミニウムからなる導電膜を用いる。また、第2パッシベーション膜45としては、10nm~10μm(好ましくは200~500nm)の厚さの窒化珪素膜を用いる。

20

【0083】

なお、上述のようにEL層は熱に弱いので、陰極43及び第2パッシベーション膜45はなるべく低温(好ましくは室温から120℃までの温度範囲)で成膜するのが望ましい。従って、プラズマCVD法、真空蒸着法又は溶液塗布法(スピコート法)が望ましい成膜方法と言える。

【0084】

ここまで完成したものをアクティブマトリクス基板とよび、アクティブマトリクス基板に対向して、対向基板(図示せず)が設けられる。本実施例では対向基板としてガラス基板を用いる。なお、対向基板としては、プラスチックやセラミックスでなる基板を用いても良い。

30

【0085】

また、アクティブマトリクス基板と対向基板はシール剤(図示せず)によって接着され、密閉空間(図示せず)が形成される。本実施例では、密閉空間をアルゴンガスで充填している。勿論、この密閉空間内に酸化バリウムといった乾燥剤を配置したり酸化防止剤を配置することも可能である。

【0086】

また、本実施例の構成は、実施例1の構成と自由に組み合わせることができる。

40

【0087】

〔実施例3〕

ここで、図3(C)に示したバンクa及びバンクbからなるバンクを形成させる方法について説明する。バンクa及びバンクbはいずれもポジ型のものを用いる。

【0088】

まず、画素電極形成後に、メラミン樹脂からなる有機樹脂膜を形成させる。これは、後にバンクaを形成する。このメラミン樹脂には、染料を混合させておき反射防止膜としての機能を持たせておく。また、これらは、ジメチルアセトアミドといった溶媒に溶解させて用いると良い。なお、染料を選択する際には、露光に用いる光のスペクトルに近い位置に発光スペクトルを持つ染料を選択する必要がある。

50

【0089】

次に、メラミン樹脂の上にポリイミドを積層させる。ここでは、ポリイミドの代わりに感光性ポリイミドを用いても良いし、ノボラック系樹脂を用いても良い。

これは、のちにバンク b を形成する。

【0090】

なお、ここで2層の有機樹脂膜が形成される。これを露光してパターンニングを行う。パターンニングの際の現像液としては、水溶性のものを用いると良い。本実施例では、テトラメチルアンモニウムハイドロオキサイドを用いると良い。これは、水溶性であり、アルカリ性であるため本実施例に適している。しかし、現像液としては、これに限られることはなく、公知の現像液を用いても良い。

10

【0091】

現像液で現像することによりバンク a、及びバンク b は図3(C)に示すような形状になる。これは、バンク a に染料を混合させたことにより露光強度が変化したためであり、現像液で等方的にエッチングされるためである。なお、ここで示している h2 は、0.5 ~ 3 μm であることが望ましい。

【0092】

なお、バンク a 及びバンク b は、上記に示したように有機樹脂膜の積層構造に限られる必要はなく、バンク a を酸化珪素や窒化珪素といった無機膜で形成させた後、バンク b をポリイミドや、ポリアミド、感光性樹脂といった有機樹脂膜で形成させても良いし、バンク a 及びバンク b に用いたこれらの材料を逆に用いても良い。

20

【0093】

また、本実施例の構成は、実施例1~実施例2の構成と自由に組み合わせることができる。

【0094】

〔実施例4〕

本発明における画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について図4~図6を用いて説明する。但し、説明を簡単にするために、駆動回路に関しては基本回路であるCMOS回路を図示することとする。

【0095】

まず、図4(A)に示すように、ガラス基板300上に下地膜301を300nmの厚さに形成する。本実施例では下地膜301として100nm厚の窒化酸化珪素膜と200nmの窒化酸化珪素膜とを積層して用いる。この時、ガラス基板300に接する方の窒素濃度を10~25wt%としておくと良い。もちろん下地膜を設けずに石英基板上に直接素子を形成しても良い。

30

【0096】

次に下地膜301の上に50nmの厚さの非晶質珪素膜(図示せず)を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20~100nmの厚さであれば良い。

【0097】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜(多結晶シリコン膜若しくはポリシリコン膜ともいう)302を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

40

【0098】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【0099】

50

本実施例では結晶質珪素膜をTFTの活性層として用いるが、非晶質珪素膜を用いることも可能である。また、オフ電流を低減する必要のあるスイッチング用TFTの活性層を非晶質珪素膜で形成し、電流制御用TFTの活性層を結晶質珪素膜で形成することも可能である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0100】

次に、図4(B)に示すように、結晶質珪素膜302上に酸化珪素膜でなる保護膜303を130nmの厚さに形成する。この厚さは100~200nm(好ましくは130~170nm)の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜303は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

10

【0101】

そして、その上にレジストマスク304a、304bを形成し、保護膜303を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。

なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではホスフィン(PH₃)を質量分離しないでプラズマ励起したプラズマ(イオン)ドーピング法を用い、リンを 1×10^{18} atoms/cm³の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

20

【0102】

この工程により形成されるn型不純物領域305には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³)の濃度で含まれるようにドーズ量を調節する。

【0103】

次に、図4(C)に示すように、保護膜303およびレジスト304a、304bを除去し、添加した15族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜303をつけたままレーザー光を照射しても良い。

30

【0104】

なお、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450~550程度の熱処理を行えば良い。

【0105】

この工程によりn型不純物領域305の端部、即ち、n型不純物領域305、の周囲に存在するn型不純物元素を添加していない領域との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

40

【0106】

次に、図4(D)に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)306~309を形成する。

【0107】

次に、図4(E)に示すように、活性層306~309を覆ってゲート絶縁膜310を形成する。ゲート絶縁膜310としては、10~200nm、好ましくは50~150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

【0108】

次に、200~400nm厚の導電膜を形成し、パターンニングしてゲート電極311~3

50

15を形成する。このゲート電極311～315の端部をテーパ状にすることもできる。なお、本実施例ではゲート電極と、ゲート電極に電氣的に接続された引き回しのための配線（以下、ゲート配線という）とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。

これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成しても構わない。

【0109】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には2 μ m以下の線幅にパターンニング可能な材料が好ましい。

10

【0110】

代表的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0111】

本実施例では、50nm厚の窒化タンタル（Ta₂N）膜と、350nm厚のタンタル（Ta）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

20

【0112】

またこの時、ゲート電極312はn型不純物領域305の一部とゲート絶縁膜310を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極313、314は、断面では、二つに見えるが実際には電氣的に接続されている。

【0113】

次に、図5（A）に示すように、ゲート電極311～315をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域316～323にはn型不純物領域305の1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³（典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$ atoms/cm³）の濃度が好ましい。

30

【0114】

次に、図5（B）に示すように、ゲート電極等を覆う形でレジストマスク324a～324dを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域325～329を形成する。ここでもホスフィン（PH₃）を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³（代表的には $2 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm³）となるように調節する。

40

【0115】

この工程によってnチャネル型TFETのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFETでは、図5（A）の工程で形成したn型不純物領域319～321の一部を残す。この残された領域が、図5におけるスイッチング用TFET201のLDD領域15a～15dに対応する。

【0116】

次に、図5（C）に示すように、レジストマスク324a～324dを除去し、新たにレジストマスク332を形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域333～336を形成する。ここではジボラン（B

50

${}^2\text{H}_6$) を用いたイオンドーピング法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$) の濃度となるようにボロンを添加する。

【 0 1 1 7 】

なお、不純物領域 3 3 3 ~ 3 3 6 には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に p 型に反転し、p 型の不純物領域として機能する。

【 0 1 1 8 】

次に、レジストマスク 3 3 2 を除去した後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550、4 時間の熱処理を行う。

【 0 1 1 9 】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は 1 ppm 以下、好ましくは 0.1 ppm 以下とすることが望ましい。

【 0 1 2 0 】

次に、活性化工程が終了したら図 5 (D) に示すように 300 nm 厚のゲート配線 3 3 7 を形成する。ゲート配線 3 3 7 の材料としては、アルミニウム (Al) 又は銅 (Cu) を主成分 (組成として 50 ~ 100 % を占める。) とする金属を用いれば良い。配置としては図 3 のようにゲート配線 2 1 1 とスイッチング用 T F T のゲート電極 1 9 a、1 9 b (図 4 (E) の 3 1 3、3 1 4) が電氣的に接続するように形成する。

【 0 1 2 1 】

このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域 (画素部) を形成することができる。即ち、画面の大きさが対角 10 インチ以上 (さらに 30 インチ以上) の E L 表示装置を実現する上で、本実施例の画素構造は極めて有効である。

【 0 1 2 2 】

次に、図 6 (A) に示すように、第 1 層間絶縁膜 3 3 8 を形成する。第 1 層間絶縁膜 3 3 8 としては、珪素を含む絶縁膜を単層で用いるか、2 種類以上の珪素を含む絶縁膜を組み合わせた積層膜を用いれば良い。また、膜厚は 400 nm ~ 1.5 μm とすれば良い。本実施例では、200 nm 厚の窒化酸化珪素膜の上に 800 nm 厚の酸化珪素膜を積層した構造とする。

【 0 1 2 3 】

さらに、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行い、水素化処理をする。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマ化して生成された水素を用いる) を行っても良い。

【 0 1 2 4 】

なお、水素化処理は第 1 層間絶縁膜 3 3 8 を形成する間に入れても良い。即ち、200 nm 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 800 nm 厚の酸化珪素膜を形成してもよい。

【 0 1 2 5 】

次に、第 1 層間絶縁膜 3 3 8 及びゲート絶縁膜 3 1 0 に対してコンタクトホールを形成し、ソース配線 3 3 9 ~ 3 4 2 と、ドレイン配線 3 4 3 ~ 3 4 5 を形成する。なお、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜を 300 nm、Ti 膜 150 nm をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

【 0 1 2 6 】

次に、50～500nm（代表的には200～300nm）の厚さで第1パッシベーション膜346を形成する。本実施例では第1パッシベーション膜346として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。

【0127】

なお、窒化酸化珪素膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜338に供給され、熱処理を行うことで、第1パッシベーション膜346の膜質が改善される。それと同時に、第1層間絶縁膜338に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0128】

次に、図6（B）に示すように有機樹脂からなる第2層間絶縁膜347を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル樹脂、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜347は平坦化の意味合いが強いので、平坦性に優れたアクリル樹脂が好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル樹脂膜を形成する。好ましくは1～5μm（さらに好ましくは2～4μm）とすれば良い。

【0129】

次に、第2層間絶縁膜347及び第1パッシベーション膜346に対してコンタクトホールを形成し、ドレイン配線345と電気的に接続される画素電極348を形成する。本実施例では酸化インジウム・スズ（ITO）膜を110nmの厚さに形成し、パターンングを行って画素電極とする。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した化合物や、酸化亜鉛と酸化ガリウムからなる化合物を透明電極として用いても良い。この画素電極がEL素子の陽極となる。

【0130】

次に、図6（C）に示すように、樹脂材料でなるバンクa（349a）及びバンクb（349b）を形成する。バンクa（349a）及びバンクb（349b）は合計で1～2μm厚のアクリル樹脂膜またはポリイミド膜といった膜を積層した後、パターンングして形成すれば良い。なお、バンクa（349a）を形成させる膜は、バンクb（349b）を形成させる膜よりも同一のエッチング材料にたいしてエッチング速度の速い材料を選択する必要がある。このバンクa（349a）及びバンクb（349b）は図6に示したように、画素と画素との間にストライプ状に形成される。本実施例ではソース配線341に沿って形成するがゲート配線337に沿って形成しても良い。

【0131】

次に、EL層350を、図1で説明した薄膜形成方法により形成する。なお、ここでは一画素しか図示していないが、図1で説明したようにR（赤）、G（緑）、B（青）の各色に対応したEL層が形成される。

【0132】

まず、試料ポートに備えられたEL材料が電極からの抵抗加熱により蒸発し、蒸気状態のEL材料となる。この蒸気状態のEL材料を意図的に帯電させた後、放出される。放出された蒸気状態のEL材料は電圧がかけられているマスクを通過した後、基板110上の画素部に蒸着される。なお、蒸気状態のEL材料は、マスクを通過する際にマスク付近の電界により進行方向を制御される。

【0133】

本実施例においては、まず、試料ポートから赤色EL材料を蒸気状態のEL材料として放出させ、画素上の赤色に発光する画素列を形成する。次にマスクを横方向に移動した後、試料ポートから緑色EL材料を蒸着させ、緑色に発光すべき画素列を形成する。さらにマスクを横方向に移動して試料ポートから青色EL材料を蒸着させ、青色に発光すべき画素列を形成する。

【0134】

以上のように、マスクを移動させながら赤、緑、青色に発光する画素列を色ごとに3回に

10

20

30

40

50

分けて蒸着させることで3色のストライプ状のEL層を形成する。

【0135】

なお、本実施例では一画素しか図示されていないが、同じ色に発光するEL層は、このとき同時に形成される。

【0136】

なお、本実施例では、EL材料として、赤色EL層には、Alqをホスト材料として赤色の蛍光色素DCMをドープしたものをを用いた。また、緑色に発光するEL層には、アルミニウムの8-ヒドロキシキノリン錯体であるAlqを用い、青色に発光するEL層には亜鉛のベンズオキサゾール錯体($Zn(oxz)_2$)を用い、各々50nmの厚さに形成する。

10

【0137】

EL層350としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。なお、本実施例ではEL層350を上記EL層のみの単層構造とするが、必要に応じて電子注入層、電子輸送層、正孔輸送層、正孔注入層、電子阻止層もしくは正孔素子層を設けても良い。また、本実施例ではEL素子の陰極351としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0138】

又、EL層は、各色のEL層ごとに蒸着を行うがこれらの電子注入層、電子輸送層、正孔輸送層、正孔注入層、電子阻止層もしくは正孔素子層は、EL層の色に関係なく同一材料をスピコート法、蒸着法といった方法を用いて、一度に形成させてもよい。

20

【0139】

EL層350を形成した後、陰極(MgAg電極)351を真空蒸着法を用いて形成する。なお、EL層350の膜厚は80~200nm(典型的には100~120nm)、陰極351の厚さは180~300nm(典型的には200~250nm)とすれば良い。

【0140】

さらに、陰極351上には、保護電極352を設ける。保護電極352としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極352は、マスクを用いて真空蒸着法で形成すれば良い。

【0141】

最後に、窒化珪素膜でなる第2パッシベーション膜353を300nmの厚さに形成する。実際には保護電極352がEL層を水分等から保護する役割を果たすが、さらに第2パッシベーション膜353を形成しておくことで、EL素子の信頼性をさらに高めることができる。

30

【0142】

画素部のTFETとして、nチャネル型のスイッチング用TFETの断面構造を図7に示した。

【0143】

まず、図7に示したスイッチング用TFETであるが、図7(A)は、LDD領域15a~15dがゲート絶縁膜18を挟んでゲート電極19a及び19bと重ならないように設けられている。このような構造は、オフ電流値を低減する上で非常に効果的である。

40

【0144】

これに対して、図7(B)には、これらのLDD領域15a~15dは設けられていない。図7(B)の構造とする場合には、図7(A)の構造を形成させる場合に比べて工程を減らすことができるので生産効率を向上させることができる。

【0145】

本実施例において、スイッチング用TFETとしては、図7(A)及び図7(B)のどちらの構造を用いても良い。

【0146】

次に、画素部のTFETとして、図8には、nチャネル型の電流制御用TFETの断面構造図を示す。

50

【0147】

図8(A)に示した電流制御用TFTにおいて、ドレイン領域32とチャネル形成領域34との間にLDD領域33が設けられる。ここでは、LDD領域33がゲート絶縁膜18を挟んでゲート電極35に重なっている領域と重なっていない領域とを有する構造を示したが、図8(B)に示すようにLDD領域33を設けない構造としてもよい。

【0148】

電流制御用TFTは、EL素子を発光させるための電流を供給すると同時に、その供給量を制御して階調表示を可能とする。そのため、電流を流しても劣化しないようにホットキャリア注入による劣化対策を講じておく必要がある

【0149】

ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。そのため、図8(A)に示したようにゲート絶縁膜18を挟んでゲート電極35に重なっている領域にLDD領域を設けるという構造が適当であるが、ここではオフ電流対策としてゲート電極に重ならないLDD領域も設けるという構造を示した。しかし、ゲート電極に重ならないLDD領域は、必ずしも設けなくて良い。また、場合によっては、図8(B)に示すようにこれらのLDD領域を設けなくても良い。

【0150】

本実施例の場合、図6(C)に示すように、nチャネル型205の活性層は、ソース領域355、ドレイン領域356、LDD領域357及びチャネル形成領域358を含み、LDD領域357はゲート絶縁膜310を挟んでゲート電極312と重なっている。

【0151】

ドレイン領域側だけにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT205はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域357は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0152】

こうして図6(C)に示すような構造のアクティブマトリクス基板が完成する。なお、バンク349を形成した後、パッシベーション膜353を形成するまでの工程をマルチチャンパー方式(またはインライン方式)の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

【0153】

ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上する。

【0154】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFT205として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路(サンプル及びホールド回路)などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれる。

【0155】

なお、実際には図6(C)まで完成したら、さらに外気に曝されないように気密性の高いガラス、石英、プラスチックといったカバー材でパッケージング(封入)することが好ましい。その際、カバー材の内部に酸化バリウムといった吸湿剤や酸化防止剤を配置するとよい。

【0156】

また、パッケージング等の処理により気密性を高めたら、絶縁体上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブル

10

20

30

40

50

プリントサーキット：FPC)を取り付けて製品として完成する。このような出荷できる状態にまでした状態を本明細書中ではEL表示装置(またはELモジュール)をという。

【0157】

ここで本実施例のアクティブマトリクス型EL表示装置の構成を図9の斜視図を用いて説明する。本実施例のアクティブマトリクス型EL表示装置は、ガラス基板601上に形成された、画素部602と、ゲート側駆動回路603と、ソース側駆動回路604を含む。画素部のスイッチング用TFT605はnチャンネル型TFTであり、ゲート側駆動回路603に接続されたゲート配線606、ソース側駆動回路604に接続されたソース配線607の交点に配置されている。また、スイッチング用TFT605のドレインは電流制御用TFT608のゲートに接続されている。

10

【0158】

さらに、電流制御用TFT608のソース側は電源供給線609に接続される。本実施例のような構造では、電源供給線609には接地電位(アース電位)が与えられている。また、電流制御用TFT608のドレインにはEL素子610が接続されている。また、このEL素子610の陽極には所定の電圧(3~12V、好ましくは3~5V)が加えられる。

【0159】

そして、外部入出力端子となるFPC611には駆動回路部まで信号を伝達するための接続配線612、613、及び電源供給線609に接続された接続配線614が設けられている。

20

【0160】

また、図9に示したEL表示装置の回路構成の一例を図10に示す。本実施例のEL表示装置は、ソース側駆動回路801、ゲート側駆動回路(A)807、ゲート側駆動回路(B)811、画素部806を有している。なお、本明細書中において、駆動回路部とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【0161】

ソース側駆動回路801は、シフトレジスタ802、レベルシフタ803、バッファ804、サンプリング回路(サンプル及びホールド回路)805を備えている。また、ゲート側駆動回路(A)807は、シフトレジスタ808、レベルシフタ809、バッファ810を備えている。ゲート側駆動回路(B)811も同様な構成である。

30

【0162】

ここでシフトレジスタ802、808は駆動電圧が5~16V(代表的には10V)であり、回路を形成するCMOS回路に使われるnチャンネル型TFTは図6(C)の205で示される構造が適している。

【0163】

また、レベルシフタ803、809、バッファ804、810はシフトレジスタと同様に、図6(C)のnチャンネル型TFT205を含むCMOS回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

【0164】

また、画素部806は図5に示した構造の画素を配置する。

40

【0165】

なお、上記構成は、図4~6に示した作製工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路部の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/Aコンバータ回路、オペアンプ回路、補正回路など駆動回路以外の論理回路を同一絶縁体上に形成することが可能であり、さらにはメモリ部やマイクロプロセッサ等を形成しうると考えている。

【0166】

さらに、カバー材をも含めた本実施例のELモジュールについて図11(A)、(B)を用いて説明する。なお、必要に応じて図9、図10で用いた符号を引用することにする。

50

【0167】

図11(A)は、図9に示した状態にシーリング構造を設けた状態を示す上面図である。点線で示された602は画素部、603はゲート側駆動回路、604はソース側駆動回路である。本実施例のシーリング構造は、図9の状態に対してカバー材1101、シール材(図示せず)を設けた構造である。

【0168】

ここで、図11(A)をA-A'で切断した断面図を図11(B)に示す。なお、図11(A)、(B)では同一の部位に同一の符号を用いている。

【0169】

図11(B)に示すように、基板601上には画素部602、ゲート側駆動回路603が形成されており、画素部602は電流制御用TFT202とそれに電氣的に接続された画素電極346を含む複数の画素により形成される。また、ゲート側駆動回路603はnチャンネル型TFT205とpチャンネル型TFT206とを相補的に組み合わせたCMOS回路を用いて形成される。

10

【0170】

画素電極348はEL素子の陽極として機能する。また、画素電極348間の隙間にはバンクa(349a)及びバンクb(349b)が形成され、バンクa(349a)及びバンクb(349b)の内側にEL層350、陰極351が形成される。また、その上には保護電極352、第2パッシベーション膜353が形成される。勿論、発明の実施の形態にも述べたようにEL素子の構造を反対とし、画素電極を陰極としても構わない。

20

【0171】

本実施例の場合、保護電極352は画素列ごとに共通の配線としても機能し、接続配線612を経由してFPC611に電氣的に接続されている。さらに、画素部602及びゲート側駆動回路603に含まれる素子は全て第2パッシベーション膜353で覆われている。この第2パッシベーション膜353は省略することも可能であるが、各素子を外部と遮断する上で設けた方が好ましい。

【0172】

また、シール材1004によりカバー材1001が貼り合わされている。なお、カバー材1001と発光素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。なお、シール材1004の内側1103は密閉された空間になっており、窒素やアルゴンなどの不活性ガスが充填されている。また、この密閉された空間1103の中に酸化バリウムに代表される吸湿材を設けることも有効である。

30

【0173】

さらに、この空間1103には充填材を設けることも可能である。充填材としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。

【0174】

また、本実施例ではカバー材1101としては、ガラス、プラスチック、およびセラミックスでなる材料を用いることができる。

【0175】

シール材1104としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シール材1104はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材1104の内部に乾燥剤を添加しても良い。

40

【0176】

以上のような方式を用いてEL素子を封止することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL表示装置を作製することができる。なお、本実施例において、赤色、緑色または青色に発光する三種類のストライプ状のEL層をそれぞれ縦方向に形成する例を示したが横方向に形成しても良い。

50

【 0 1 7 7 】

また、本実施例の構成は、実施例 1 ~ 実施例 3 の構成と自由に組み合わせることができる。

【 0 1 7 8 】

〔実施例 5〕

図 1 1 (A) の向きに本発明のアクティブマトリクス型 E L 表示装置を見た時、画素列は縦方向にストライプ状に形成しても良いし、デルタ配置になるように形成しても良い。

【 0 1 7 9 】

ここで、基板上に赤、緑、青の三色の画素がストライプ状に形成される様子を説明する。なお、画素の色は、必ずしも三色である必要はなく、一色または、二色であってもよい。また、色は、赤、緑、青に限られることはなく、黄色、オレンジ、グレーといった他の色を用いてもよい。

10

【 0 1 8 0 】

なお、基板、E L 材料が備えられている試料ポート及び蒸気状態の E L 材料を制御するためのマスクの位置関係は図 1 (A) に示す通りである。

【 0 1 8 1 】

まず、試料ポートに赤色 E L 層用 E L 材料を備えておき、試料ポートで気化されると試料ポートから蒸気状態の E L 材料が放出される。このときマスクには、それぞれ所定の電圧がかけられているので、放出された蒸気状態の E L 材料は、マスクに到達したところで電界により制御されてマスクを通過して所望の画素部に到達する。これにより、画素部の所望の位置への蒸着制御が可能となる。マスクには、数 1 0 V ~ 1 0 k V の電圧がかけられていれば良い。

20

【 0 1 8 2 】

まず、赤色 E L 材料を蒸着させる。マスクには電圧がかけられているので選択的に画素部の所望の位置に E L 材料を蒸着させることができる。

【 0 1 8 3 】

また、ストライプ状の E L 層を画素部 7 0 4 に形成させるマスクとしては、図 1 2 (A) に示すストライプ状用マスク 5 0 0 を用いると良い。なお、マスクとしては、デルタ配置の画素形成が可能なマスクを用いても良い。

【 0 1 8 4 】

本実施例では、図 1 2 (A) で示したストライプ状用マスク 5 0 0 を用いて、まず、赤色 E L 材料を蒸着させ、次にストライプ状用マスク 5 0 0 を矢印 i で示す横方向に 1 画素列分移動させた後、緑色 E L 材料を蒸着させる。そして、この後で、マスク 5 0 0 を矢印 i で示す横方向にさらに 1 画素列分移動させた後、青色 E L 材料を蒸着させて、画素部に赤、緑、青でなるストライプ状の E L 層を形成させる。

30

【 0 1 8 5 】

なお、これらのマスクを用いて赤色 E L 材料、緑 E L 材料及び青色 E L 材料を画素部に形成させることで、図 1 3 (A) に示すように画素部にストライプ状の画素を形成させることができる。

【 0 1 8 6 】

また、ストライプ状の E L 層を画素部 7 0 4 に形成させるマスクとしては、図 1 2 (A) に示すストライプ状用マスク 5 0 0 を用い、デルタ配置の画素を形成させるマスクとしては、図 1 2 (B) に示すデルタ配置用マスク 5 0 1 を用いると良い。

40

【 0 1 8 7 】

図 1 3 (A) において、7 0 4 a は赤色に発光する E L 層、7 0 4 b は緑色に発光する E L 層であり、さらに青色に発光する E L 層 7 0 4 c が形成される。なお、バンク (図示せず) は絶縁膜を介したソース配線の上方に、ソース配線に沿って縦方向にストライプ状に形成されている。

【 0 1 8 8 】

ここでいう E L 層とは、E L 層、電荷注入層、電荷輸送層等の発光に寄与する有機 E L 材

50

料でなる層を指している。E L層単層とする場合もありうるが、例えば正孔注入層とE L層とを積層した場合は、その積層膜をE L層と呼ぶ。

【0189】

このとき、同じ色のライン状に隣り合う画素の相互の距離(D)は、E L層の膜厚(t)の5倍以上(好ましくは10倍以上)とすることが望ましい。これは、 $D < 5t$ では画素間でクロストークの問題が発生しうるからである。なお、距離(D)が離れすぎても高精細な画像が得られなくなるので、 $5t < D < 50t$ (好ましくは $10t < D < 35t$)とすることが好ましい。

【0190】

また、バンクを横方向にストライプ状に形成し、赤色に発光するE L層、緑色に発光するE L層及び青色に発光するE L層をそれぞれ横に形成させても良い。

このときバンク(図示せず)は絶縁膜を介したゲート配線の上方に、ゲート配線に沿って形成される。

【0191】

この場合も同じ色のライン状に隣り合う画素の相互の距離(D)は、E L層の膜厚(t)の5倍以上(好ましくは10倍以上)、さらに好ましくは $5t < D < 50t$ (好ましくは $10t < D < 35t$)とすると良い。

【0192】

本実施例のようにE L層を蒸着により形成する際の蒸気状態のE L材料を電氣的に制御することで蒸着位置の制御が可能となる。

【0193】

なお、本実施例の構成は、実施例1~実施例4のいずれの構成とも自由に組み合わせて実施することが可能である。

【0194】

〔実施例6〕

本実施例では本発明をパッシブ型(単純マトリクス型)のE L表示装置に用いた場合について説明する。説明には図14を用いる。図14において、1301はプラスチックでなる基板、1302は透明導電膜でなる陽極である。本実施例では、透明導電膜として酸化インジウムと酸化亜鉛との化合物を蒸着法により形成する。なお、図14では図示されていないが、複数本の陽極が紙面と平行な方向へストライプ状に配列されている。

【0195】

また、ストライプ状に配列された陰極1305の間を埋めるように紙面に垂直な方向にバンクa(1303a)及びバンクb(1303b)でなるバンクが形成される。

【0196】

次に、E L材料でなるE L層1304a~1304cが図1に示したように蒸着法により形成される。なお、1304aは赤色に発光するE L層、1304bは緑色に発光するE L層、1304cは青色に発光するE L層である。用いる有機E L材料は実施例1と同様のものを用いれば良い。これらのE L層はバンクa(1303a)及びバンクb(1303b)によって形成された溝に沿って形成されるため、紙面に垂直な方向にストライプ状に配列される。

【0197】

なお、本実施例において、E L材料が陽極上に蒸着される位置をマスクで制御するだけでなく、陽極上に電圧をかけることにより制御すると良い。

【0198】

その後、図14では図示されていないが、複数本の陰極及び保護電極が紙面に垂直な方向が長手方向となり、且つ、陽極1302と直交するようにストライプ状に配列されている。なお、本実施例では、陰極1305は、MgAgでなり、保護電極1306はアルミニウム合金膜でなり、それぞれ蒸着法により形成される。また、図示されないが保護電極1306は所定の電圧が加えられるように、後にFPCが取り付けられる部分まで配線が引き出されている。

10

20

30

40

50

【0199】

また、ここでは図示していないが保護電極1306を形成したら、パッシベーション膜として窒化珪素膜を設けても良い。

【0200】

以上のようにして基板1301上にEL素子を形成する。なお、本実施例では下側の電極が透光性の陽極となっているため、EL層1304a~1304cで発生した光は下面(基板1301)に放射される。しかしながら、EL素子の構造を反対にし、下側の電極を遮光性の陰極とすることもできる。その場合、EL層1304a~1304cで発生した光は上面(基板1301とは反対側)に放射されることになる。

【0201】

次に、カバー材1307としてセラミックス基板を用意する。本実施例の構造では遮光性で良いのでセラミックス基板を用いたが、勿論、前述のようにEL素子の構造を反対にした場合、カバー材は透光性のほうが良いので、プラスチックやガラスでなる基板を用いるとよい。

【0202】

こうして用意したカバー材1307は、紫外線硬化樹脂でなるシール剤1309により貼り合わされる。なお、シール材1309の内側1308は密閉された空間になっており、窒素やアルゴンなどの不活性ガスが充填されている。また、この密閉された空間1308の中に酸化バリウムに代表される吸湿材を設けることも有効である。最後に異方導電性フィルム(FPC)1311を取り付けてパッシブ型のEL表示装置が完成する。

【0203】

なお、本実施例の構成は、実施例1~実施例5のいずれの構成とも自由に組み合わせて実施することが可能である。

【0204】

〔実施例7〕

本発明を実施してアクティブマトリクス型のEL表示装置を作製する際に、基板としてシリコン基板(シリコンウェハ)を用いることは有効である。基板としてシリコン基板を用いた場合、画素部に形成するスイッチング用素子や電流制御用素子または駆動回路部に形成する駆動用素子を、従来のICやLSIなどに用いられているMOSFETの作製技術を用いて作製することができる。

【0205】

MOSFETはICやLSIで実績があるように非常にばらつきの小さい回路を形成することが可能であり、特に電流値で階調表現を行うアナログ駆動のアクティブマトリクス型EL表示装置には有効である。

【0206】

なお、シリコン基板は遮光性であるので、EL層からの光は基板とは反対側に放射されるような構造とする必要がある。本実施例のEL表示装置は構造的には図14と似ているが、画素部602、駆動回路部603を形成するTFTの代わりにMOSFETを用いる点で異なる。

【0207】

なお、本実施例の構成は、実施例1~実施例6のいずれの構成とも自由に組み合わせて実施することが可能である。

【0208】

〔実施例8〕

上記各実施例を実施して形成されたEL表示装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上(典型的には40インチ以上)のELディスプレイ(EL表示装置を筐体に組み込んだディスプレイ)の表示部として本発明のEL表示装置を用いるとよい。

【0209】

なお、E Lディスプレイには、パソコン用ディスプレイ、T V放送受信ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子機器の表示部として本発明のE L表示装置を用いることができる。

【0210】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、E L表示装置を用いることが望ましい。それら電子機器の具体例を図15、図16に示す。

10

【0211】

図15（A）はE Lディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明は表示部2003に用いることができる。E Lディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0212】

図15（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のE L表示装置は表示部2102に用いることができる。

20

【0213】

図15（C）は頭部取り付け型のE Lディスプレイの一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、表示部2204、光学系2205、E L表示装置2206等を含む。本発明はE L表示装置2206に用いることができる。

【0214】

図15（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（DVD等）2302、操作スイッチ2303、表示部（a）2304、表示部（b）2305等を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明のE L表示装置はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

30

【0215】

図15（E）は携帯型（モバイル）コンピュータであり、本体2401、カメラ部2402、受像部2403、操作スイッチ2404、表示部2405等を含む。本発明のE L表示装置は表示部2405に用いることができる。

【0216】

図15（F）はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明のE L表示装置は表示部2503に用いることができる。

40

【0217】

なお、将来的に有機E L材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0218】

また、上記電気器具はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増えている。有機E L材料の応答速度は非常に高いため、E L表示装置は動画表示に好ましいが、画素間の輪郭がぼやけてしまったりは動画全体もぼやけてしまう。従って、画素間の

50

輪郭を明瞭にするという本発明のEL表示装置を電気器具の表示部として用いることは極めて有効である。

【0219】

また、EL表示装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にEL表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0220】

ここで図16(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明のEL表示装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

10

【0221】

また、図16(B)は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明のEL表示装置は表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0222】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1~7に示したいずれの構成のEL表示装置を用いても良い。

20

【0223】

〔実施例9〕

本実施例では、試料ポートにおいて気化されたEL材料(以下蒸気状態のEL材料という)を複数のマスクにより電界で制御して基板上に成膜する方法について説明する。なお、本実施例における蒸着方法は、図17を用いる。

【0224】

図17において、1010は基板であり、1011は、試料ポートである。なお、試料ポート1011にはEL材料が備えられている。

30

【0225】

また、ここで説明した試料ポート1011、第1マスク、及び第2マスクは別々に設けられていても良いが、一体形成されて装置化されていても良い。

【0226】

なお、赤色EL層を形成させるときには、試料ポート1011には赤色に発光するEL材料(以下、赤色EL材料という)、緑色EL層を形成させるときには、試料ポート1011には緑色に発光するEL材料(以下、緑色EL材料という)、青色EL層を形成させるときには、試料ポート1011には青色に発光するEL材料(以下、青色EL材料という)を備えておく。

40

【0227】

なお、本実施例では、EL材料として、赤色EL層には、Alqをホスト材料として赤色の蛍光色素DCMをドーブしたものをを用いた。また、緑色に発光するEL層には、アルミニウムの8-ヒドロキシキノリン錯体であるAlqを用い、青色に発光するEL層には亜鉛のベンズオキサゾール錯体($Zn(oxz)_2$)を用いる。

【0228】

なお、上記に示したEL材料は、実施例の一つであり他の公知のEL材料を用いてもよい。また、発光色を赤、緑、青としてEL材料を選択しているが、この限りではなく、黄色、オレンジ、グレーといった色を用いてもよい。

【0229】

50

本実施例では、はじめに試料ポートに赤色 E L 材料を備えておき、基板上に赤色 E L 層を形成させた後、緑色 E L 材料が備えられた試料ポートを用いて基板上に緑色 E L 層を形成させる。そして、最後に青色 E L 材料が備えられた試料ポートを用いて基板上に青色 E L 層を形成させる。

【0230】

以上のように、赤、緑、青色 E L 材料を 3 回に分けて蒸着させることにより E L 層を形成させることができる。

【0231】

まず、試料ポート 1011 に備えられた E L 材料が電極 1012 による抵抗加熱により気化（蒸発）する。この蒸気状態の E L 材料が試料ポート 1011 から飛び出す瞬間に試料ポート 1011 の開口部に取り付けられている電極 1020 による電界の影響で蒸気状態の E L 材料が帯電し、帯電粒子となる。この帯電粒子はマスク 1013 を通過する際に第 1 遮断部 1018 及び第 2 遮断部 1019b に電圧がかけられることにより生じるマスク付近の電界により進行方向を制御される。

【0232】

なお、試料ポートとマスクの間に電極を設けて電界を発生させ、試料ポートから放出される蒸気状態の E L 材料の電荷を制御しても良い。

【0233】

結果的には、気体 E L 材料は、各第 1 遮断部及び各第 2 遮断部の隙間を通過して基板上の被形成面に蒸着される。

【0234】

また、第 1 マスク 1013 は、第 1 遮断部 1018 の部分が銅、鉄、アルミニウム、タンタル、チタン、タングステンといった導電性材料でできている複数の導電線が互いに平行に配置されたもの（ストライプ状）、もしくは、網目状の構造物（メッシュ状）、もしくは、板状の構造物である。また、第 2 マスク 1019a は、第 2 遮断部 1019b の部分が銅、鉄、アルミニウム、タンタル、チタン、タングステンといった導電性材料でできている複数の導電線が互いに平行に配置されたもの（ストライプ状）、もしくは、網目状の構造物（メッシュ状）、もしくは板状の構造物である。蒸気状態の E L 材料は、第 1 遮断部 1018 にかげられた負の電圧により生じる電界と反発するため、第 1 遮断部 1018 間の隙間を通過し、さらに第 2 遮断部 1019b にかげられた負の電圧により生じる電界と反発するため、第 2 遮断部 1019b 間の隙間を通過して基板に蒸着される。

【0235】

また、図 17 では断面形状が円形である例を示したが、特に限定されず矩形であっても楕円形であっても多角形状であってもよい。

【0236】

なお、第 1 マスク 1013 の第 1 遮断部 1018 には、蒸気状態の E L 材料が第 1 マスク 1013 の第 1 遮断部 1018 と反発しあう電位にするための電圧をかけておく。これにより、E L 材料は、第 1 マスク 1013 における第 1 遮断部 1018 間の隙間を通過することができる。なお、ここでは、蒸気状態の E L 材料を負の電圧をかけた電極 1012 により生じる電界により帯電させ、第 1 マスクの第 1 遮断部にも電極 1015a により負の電圧をかけて電界を発生させる。

また、第 2 マスクの第 2 遮断部にも電極 1015b により負の電圧をかけて電界を発生させる。これらにより、蒸気状態の E L 材料の帯電粒子は、第 1 遮断部及び第 2 遮断部と電氣的に反発し、各第 1 遮断部及び各第 2 遮断部の隙間を通過するようになる。

【0237】

図 1 (A) に示すような構造とし、第 1 遮断部 1018 に印加される負の第 1 電圧と第 2 遮断部 1019b に印加される負の第 2 電圧を数 10 V ~ 10 k V の範囲で適宜調節することによって、蒸着位置を高精度に制御することができる。

【0238】

なお、第 1 マスク 1013 と第 2 マスク 1019a の間隔距離、第 2 マスク 1019a と

10

20

30

40

50

基板との間隔距離、各第1遮断部1018間の距離、各第2遮断部1019bの距離等は実施者が適宜設定すればよい。例えば、各第1遮断部1018間の距離や各第2遮断部1019bの距離は、基板上に形成される画素電極の画素ピッチにすると良い。

【0239】

また、マスクの開口部は、各第1遮断部の隙間または各第2遮断部の隙間のことを指している。

【0240】

さらに、本明細書中では、被形成面とは、画素電極や有機膜の表面の一部であり、薄膜を形成させようとする面のことをいう。

【0241】

また、試料ポート1011、第1マスク、第2マスク、及び基板1010が備えられている蒸着室1021の内側側面に電極1014で負の電圧をかけておくことで負に帯電した蒸気状態のEL材料と蒸着室の内側側面を反発させることができるので蒸気状態のEL材料を蒸着室の内側に付着させることなく被形成面に蒸着することができる。

【0242】

また、試料ポート1011の赤色EL材料を蒸着させると画素上にストライプ状の赤色EL層が形成される。ここで、マスクを矢印kの方向に画素一列分移動させ、同様に試料ポート1011から緑色EL材料を蒸着する。これにより、赤色EL層の横に緑色EL層が形成される。さらにマスクを矢印kの方向に画素一列分移動させながら試料ポート1011から青色EL材料を蒸着させる。これにより、緑色EL層の横に青色EL層が形成される。即ち、以上のようにマスクを移動させながら赤、緑、青色に発光する画素列を色ごとに3回に分けて蒸着させることで3色のストライプ状のEL層が形成される。なお、ここで形成されるEL層の膜厚は、100nm~1μmであることが望ましい。

【0243】

なお、EL材料を備えている試料ポート1011は、EL材料の種類を変える度に一緒に変えても良いし、試料ポートを変えずにEL材料のみを入れ替えて用いても良い。

【0244】

なお、ここでいう画素列とはバンク(図示せず)に仕切られた画素の列を指し、バンクはソース配線の上方に形成されている。即ち、ソース配線に沿って複数の画素が直列に並んだ列を画素列と呼んでいる。但し、ここではバンクがソース配線の上方に形成された場合を説明したが、ゲート配線の上方に設けられていても良い。この場合は、ゲート配線に沿って複数の画素が直列に並んだ列を画素列と呼ぶ。

【0245】

従って、画素部(図示せず)は、複数のソース配線もしくは複数のゲート配線の上方に設けられたストライプ状のバンクにより分割された複数の画素列の集合体として見る事ができる。そのようにして見た場合、画素部は、赤色に発光するストライプ状のEL層が形成された画素列、緑色に発光するストライプ状のEL層が形成された画素列及び青色に発光するストライプ状のEL層が形成された画素列からなるとも言える。

【0246】

また、上記ストライプ状のバンクは、複数のソース配線もしくは複数のゲート配線の上方に設けられているため、実質的に画素部は、複数のソース配線もしくは複数のゲート配線により分割された複数の画素列の集合体と見ることもできる。

【0247】

また、基板1010上に形成されている画素電極(陽極)上に電圧をかけておき、第1マスク及び第2マスクを通過した蒸気状態のEL材料をさらに制御して、選択的に所望の位置に蒸着するような電界を与えるようにすると良い。

【0248】

また、第1マスク1013と第2マスク1019aの目合わせを正確にするために、2枚の導電板を重ねてスリット状もしくは円状の穴を放電加工で同時に切削して第1マスク1013と第2マスク1019aを形成してもよい。

10

20

30

40

50

【 0 2 4 9 】

なお、本実施例の構成は、実施例 1 ~ 実施例 8 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 2 5 0 】

〔 実施例 1 0 〕

本発明において、三重項励起子からの燐光を発光に利用できる E L 材料 (トリプレット化合物ともいう) を用いることも可能である。燐光を発光に利用できる E L 材料を用いた自発光装置は、外部発光量子効率を飛躍的に向上させることができる。これにより、E L 素子の低消費電力化、長寿命化、および軽量化が可能になる。

【 0 2 5 1 】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

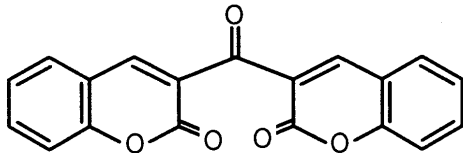
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【 0 2 5 2 】

上記の論文により報告された E L 材料 (クマリン色素) の分子式を以下に示す。

【 0 2 5 3 】

【 化 1 】



【 0 2 5 4 】

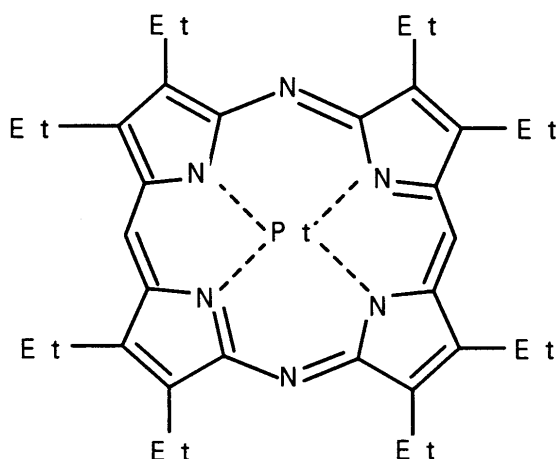
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【 0 2 5 5 】

上記の論文により報告された E L 材料 (Pt 錯体) の分子式を以下に示す。

【 0 2 5 6 】

【 化 2 】



【 0 2 5 7 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【 0 2 5 8 】

上記の論文により報告された E L 材料 (Ir 錯体) の分子式を以下に示す。

10

20

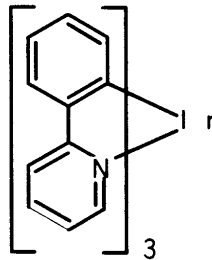
30

40

50

【 0 2 5 9 】

【 化 3 】



10

【 0 2 6 0 】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【 0 2 6 1 】

なお、本実施例の構成は、実施例1～実施例9のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 2 6 2 】

【 発 明 の 効 果 】

本発明を実施することで、マスクを通して被形成面に蒸着法でEL材料を成膜させる際、EL材料がマスクを通過できずにマスク上に蒸着されるという事態を防ぐことができる。さらに、本発明では、複数のマスクを用いて成膜位置の位置あわせ精度を向上させることができる。

20

【 0 2 6 3 】

また、電気的な反発により、マスク上にEL材料が蒸着されることを防ぐことができるのでマスクを何度も使用することができ、かつ位置あわせ精度の問題なく精密にEL材料を成膜することができるため、EL材料を用いたEL表示装置の製造歩留まりを向上させたり、低コスト化をはかることができる。さらに、蒸着直前に蒸気状態のEL材料の蒸着位置を制御するため、これまでの蒸着方法を用いることができ、幅広い応用が可能である。

【 図 面 の 簡 単 な 説 明 】

30

【 図 1 】 本発明の有機EL材料の蒸着方法を示す図。

【 図 2 】 画素部の断面構造を示す図。

【 図 3 】 画素部の上面構造及び構成を示す図。

【 図 4 】 EL表示装置の作製工程を示す図。

【 図 5 】 EL表示装置の作製工程を示す図。

【 図 6 】 EL表示装置の作製工程を示す図。

【 図 7 】 EL表示装置の画素部のTFTの断面構造を示す図。

【 図 8 】 EL表示装置の画素部のTFTの断面構造を示す図。

【 図 9 】 EL表示装置の外観を示す図。

【 図 1 0 】 EL表示装置の回路ブロック構成を示す図。

40

【 図 1 1 】 アクティブマトリクス型のEL表示装置の断面構造を示す図。

【 図 1 2 】 有機EL材料の蒸着パターンを示す図。

【 図 1 3 】 マスクパターンを示す図。

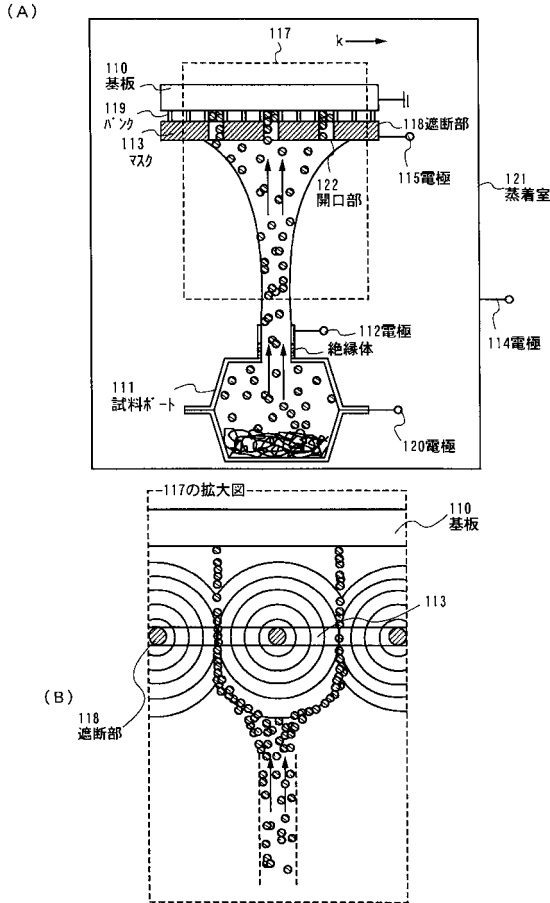
【 図 1 4 】 パッシブ型のEL表示装置の断面構造を示す図。

【 図 1 5 】 電気器具の具体例を示す図。

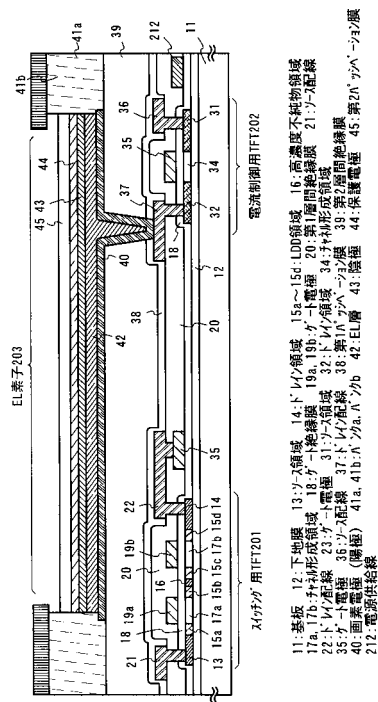
【 図 1 6 】 電気器具の具体例を示す図。

【 図 1 7 】 本発明の有機EL材料の蒸着方法を示す図。

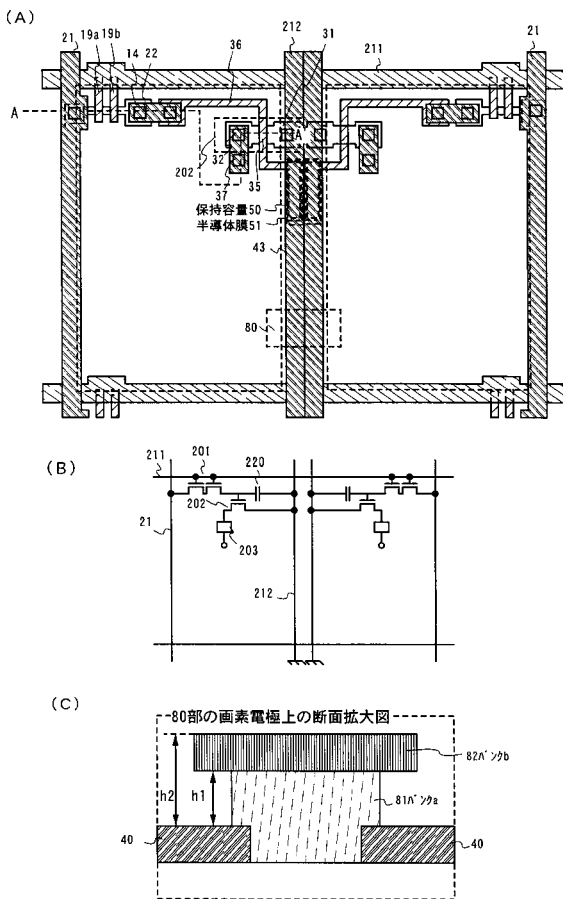
【図1】



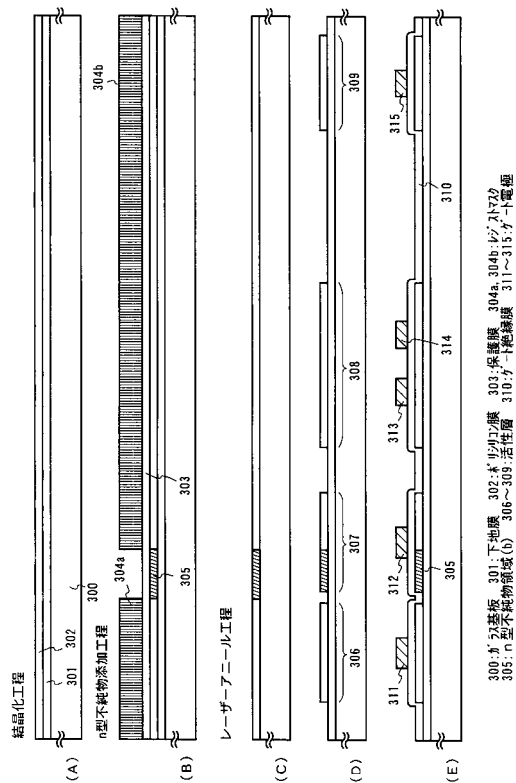
【図2】



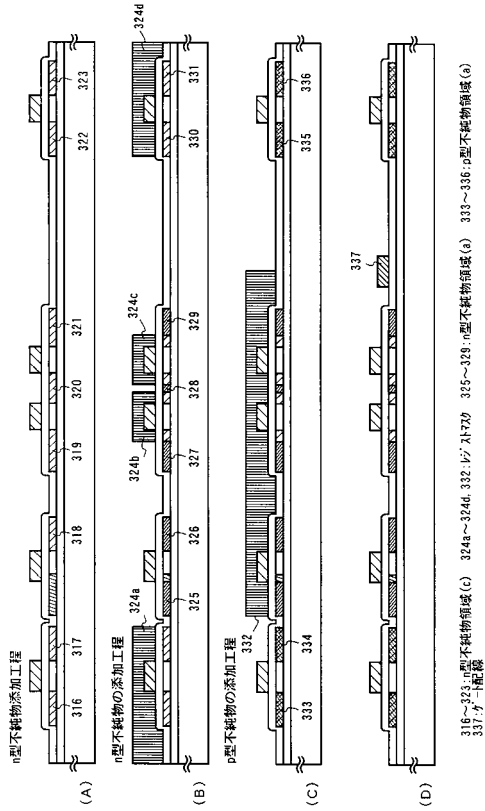
【図3】



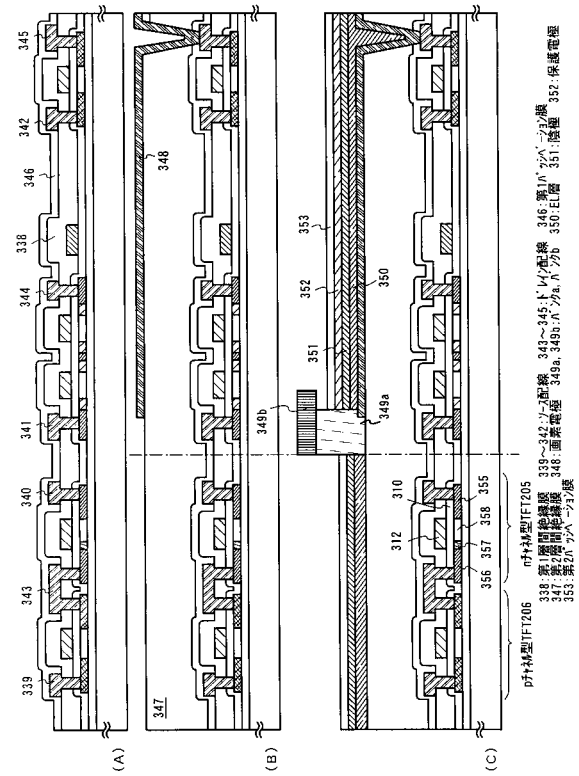
【図4】



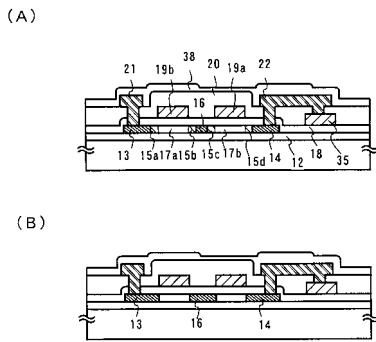
【図5】



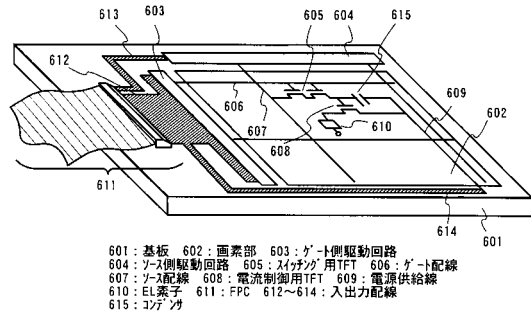
【図6】



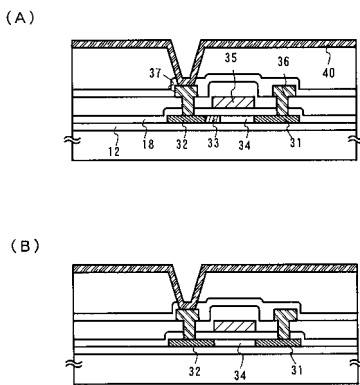
【図7】



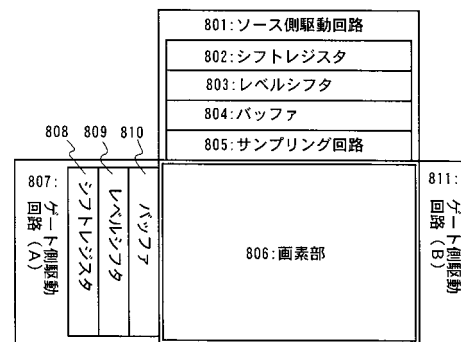
【図9】



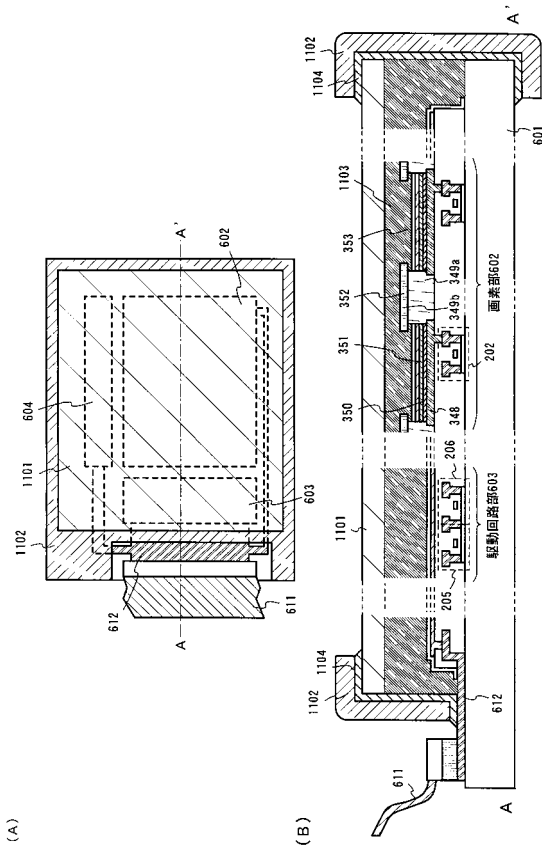
【図8】



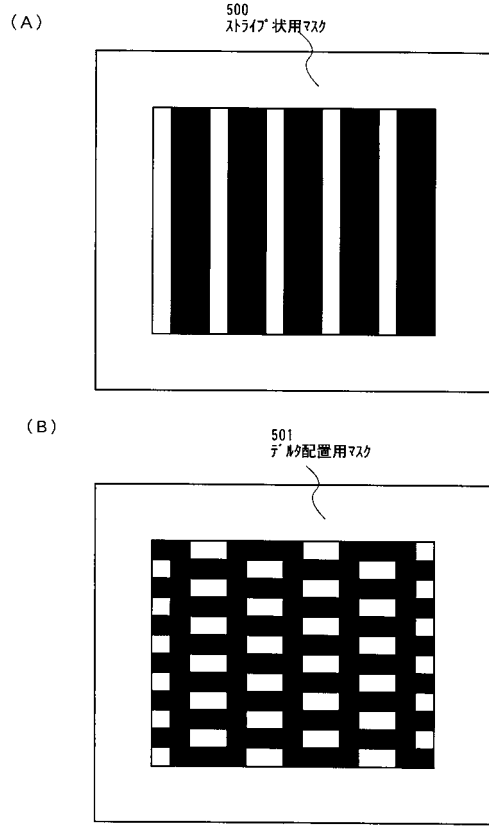
【図10】



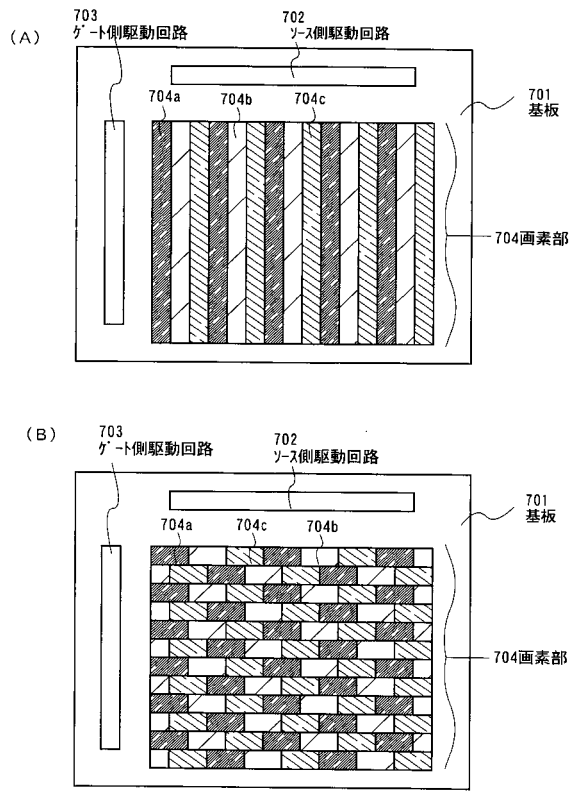
【図11】



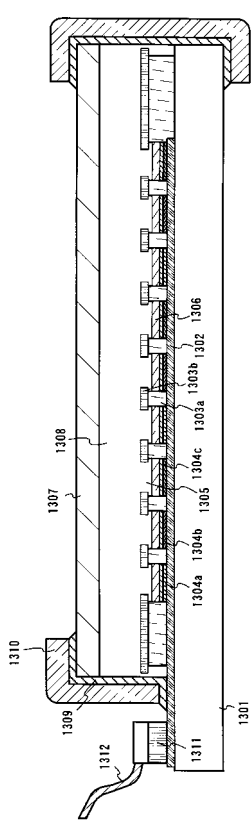
【図12】



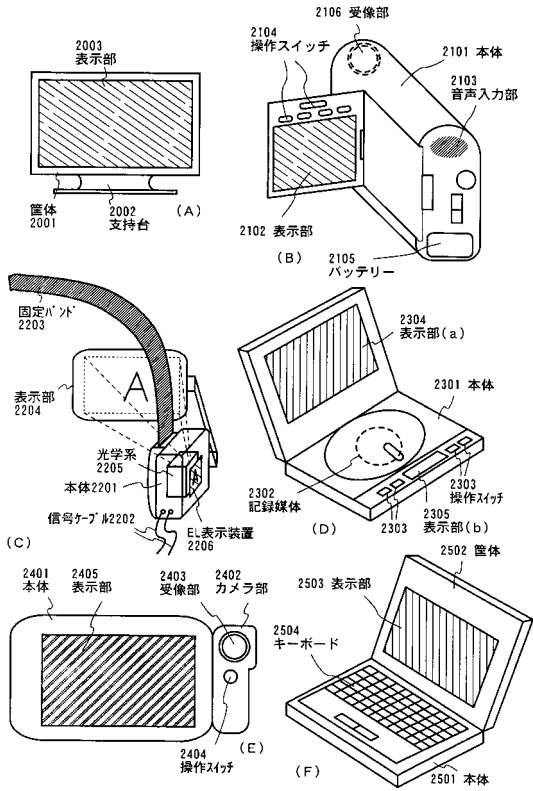
【図13】



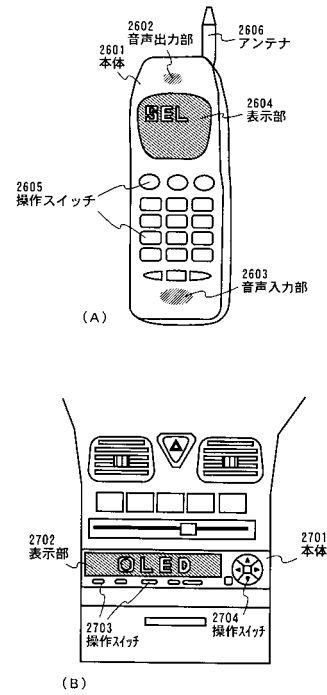
【図14】



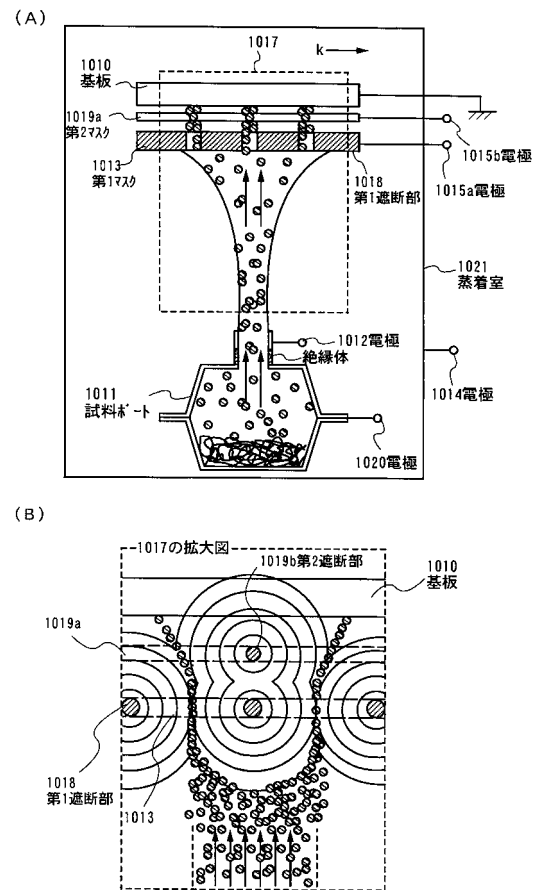
【図15】



【図16】



【図17】



フロントページの続き

(51) Int.Cl. F I

H 0 1 L 27/32 (2006.01)

(56) 参考文献 特開平 1 1 - 0 6 7 4 5 4 (J P , A)
特開平 1 1 - 2 1 4 1 5 7 (J P , A)
特開平 1 1 - 1 0 2 5 4 3 (J P , A)
特開平 0 9 - 2 3 4 8 7 0 (J P , A)
特開平 0 7 - 1 8 6 4 3 6 (J P , A)
特開平 0 5 - 1 0 1 8 9 0 (J P , A)
特開平 0 5 - 0 0 9 7 1 6 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

H05B 33/10
C23C 14/12
G09F 9/30
H01L 27/32
H01L 51/50
H05B 33/12

专利名称(译)	EL显示器件的制造方法		
公开(公告)号	JP4574039B2	公开(公告)日	2010-11-04
申请号	JP2001061104	申请日	2001-03-06
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	ひろ木 正明 山崎 舜平 石丸 典子		
发明人	▲ひろ▼木 正明 山崎 舜平 石丸 典子		
IPC分类号	H05B33/10 C23C14/12 H05B33/12 H01L51/50 G09F9/30 H01L27/32 H05B33/14		
FI分类号	H05B33/10 C23C14/12 H05B33/12.B H05B33/14.B G09F9/30.365.Z G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB04 3K007/AB18 3K007/BA06 3K007/BB01 3K007/CB01 3K007/DA01 3K007/DB03 3K007/EA01 3K007/EB00 3K007/FA01 3K107/AA01 3K107/BB01 3K107/BB06 3K107/BB08 3K107/CC35 3K107/CC45 3K107/DD59 3K107/FF15 3K107/GG04 3K107/GG28 3K107/GG32 3K107/GG33 4K029/BA62 4K029/BC07 4K029/BD00 4K029/EA01 4K029/EA07 4K029/HA03 5C094/AA43 5C094/BA04 5C094/BA27 5C094/CA19 5C094/CA20 5C094/CA24 5C094/FB01 5C094/FB12 5C094/GB10 5C094/HA05 5C094/HA08 5C094/JA08		
审查员(译)	滨野隆		
优先权	2000061274 2000-03-06 JP 2000087696 2000-03-27 JP		
其他公开文献	JP2001345177A JP2001345177A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种在沉积用于形成EL层的材料时在所需位置选择性地沉积用于形成EL层的材料的方法。解决方案：当沉积用于形成EL层的材料时，在样品舟111和基板110之间设置掩模113，并且通过在掩模113上施加电压来控制用于形成EL层的材料的前进方向，并且材料可以选择性地沉积在所需位置上。

