

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4537363号
(P4537363)

(45) 発行日 平成22年9月1日(2010.9.1)

(24) 登録日 平成22年6月25日(2010.6.25)

(51) Int.Cl.		F I			
G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	641D
			G09G	3/20	611H
			G09G	3/20	642A
			G09G	3/20	612E

請求項の数 26 (全 28 頁)

(21) 出願番号	特願2006-246721 (P2006-246721)	(73) 特許権者	504376935
(22) 出願日	平成18年9月12日(2006.9.12)		奇景光電股▲ふん▼有限公司
(65) 公開番号	特開2007-219480 (P2007-219480A)		台湾臺南縣新化鎮中山路605號10樓
(43) 公開日	平成19年8月30日(2007.8.30)	(74) 代理人	100070150
審査請求日	平成18年9月12日(2006.9.12)		弁理士 伊東 忠彦
(31) 優先権主張番号	095105538	(74) 代理人	100091214
(32) 優先日	平成18年2月17日(2006.2.17)		弁理士 大貫 進介
(33) 優先権主張国	台湾(TW)	(74) 代理人	100107766
			弁理士 伊東 忠重
		(74) 代理人	100145377
			弁理士 杉山 公一
		(72) 発明者	邱 郁文
			台湾台南縣新化鎮中山路605號10樓
		(72) 発明者	ト 令楷
			台湾台南縣新化鎮中山路605號10樓
			最終頁に続く

(54) 【発明の名称】 O L E Dパネル及びそれを駆動する電流ミラー

(57) 【特許請求の範囲】

【請求項1】

O L E Dパネルを駆動する電流ミラーであって：

第1の低圧P M O Sトランジスタであり：

第1基準電圧に結合されるソース端子；

ドレイン端子；及び

当該第1の低圧P M O Sトランジスタの前記ドレイン端子に結合されたゲート端子；

を有する第1の低圧P M O Sトランジスタ；

第2の低圧P M O Sトランジスタであり：

前記第1基準電圧に結合されるソース端子；

ドレイン端子；及び

前記第1の低圧P M O Sトランジスタの前記ゲート端子に結合されたゲート端子；

を有する第2の低圧P M O Sトランジスタ；

前記第1の低圧P M O Sトランジスタの前記ドレイン端子と第1電流源との間に結合され、前記第1の低圧P M O Sトランジスタを所定の低電圧で動作するようにバイアスする第1のデバイス；並びに

前記第2の低圧P M O Sトランジスタの前記ドレイン端子と前記O L E Dパネルとの間に結合され、前記第2の低圧P M O Sトランジスタを所定の低電圧で動作するようにバイアスする第2のデバイス；

を有し；

10

20

前記第 1 の低圧 P M O S トランジスタが、前記第 1 基準電圧に結合されるベース端子をさらに有し；かつ

前記第 2 の低圧 P M O S トランジスタが、前記第 1 基準電圧に結合されるベース端子をさらに有し；

前記第 1 のデバイスが：

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 電流源に結合されるドレイン端子；及び

第 2 基準電圧に結合されるゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；かつ

前記第 2 のデバイスが：

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 O L E D パネルに結合されるドレイン端子；及び

第 3 基準電圧に結合されるゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含み；

前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されており；

前記第 2 基準電圧が前記第 3 基準電圧に等しく；

前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合され、かつ、前記第 2 の高圧 P M O S トランジスタの前記ゲート端子が前記第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている；

電流ミラー。

【請求項 2】

請求項 1 に記載の電流ミラーであって：

第 1 個数の低圧 P M O S トランジスタであり、各々が：

前記第 1 基準電圧に結合されるソース端子；

ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子；

を有する、ところの第 1 個数の低圧 P M O S トランジスタ；並びに

該第 1 個数の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数のデバイスであり、各々が前記 O L E D パネルと前記第 1 個数の低圧 P M O S トランジスタ内の対応する 1 つの低圧 P M O S トランジスタの前記ドレイン端子との間に結合されている、ところの第 1 個数のデバイス；

をさらに有し；

前記第 1 個数の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されるベース端子をさらに有し；

前記第 1 のデバイスが：

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 電流源に結合されるドレイン端子；及び

第 2 基準電圧に結合されるゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；

前記第 2 のデバイスが：

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 O L E D パネルに結合されるドレイン端子；及び

第 3 基準電圧に結合されるゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含み；かつ

前記第 1 個数のデバイスの各々が：

対応する低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 O L E D パネルに結合されるドレイン端子；及び

第 3 基準電圧に結合されるゲート端子；

10

20

30

40

50

を有する高圧PMOSトランジスタを含み；
前記第2基準電圧が前記第3基準電圧に等しく；
各々の高圧PMOSトランジスタの前記ゲート端子が前記第1の高圧PMOSトランジスタの前記ドレイン端子に結合されており；
前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。

【請求項3】

請求項1に記載の電流ミラーであって、PMOLEDパネルを駆動するための電流ミラー。

【請求項4】

請求項1に記載の電流ミラーであって、電流モードのAMOLEDパネルを駆動するための電流ミラー。

【請求項5】

OLEDパネル；並びに

該OLEDパネルを駆動する電流ミラーであって：

第1の低圧PMOSトランジスタであり：

第1基準電圧に結合されたソース端子；

ドレイン端子；及び

当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子

；

を有する第1の低圧PMOSトランジスタ；

第2の低圧PMOSトランジスタであり：

前記第1基準電圧に結合されたソース端子；

ドレイン端子；及び

前記第1の低圧PMOSトランジスタの前記ゲート端子に結合されたゲート端子；

を有する第2の低圧PMOSトランジスタ；

前記第1の低圧PMOSトランジスタの前記ドレイン端子と第1電流源との間に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1のデバイス；及び

前記第2の低圧PMOSトランジスタの前記ドレイン端子と前記OLEDパネルとの間に結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2のデバイス；

を有する電流ミラー；

を有し；

前記第1の低圧PMOSトランジスタが、前記第1基準電圧に結合されたベース端子をさらに有し；かつ

前記第2の低圧PMOSトランジスタが、前記第1基準電圧に結合されたベース端子をさらに有し；

前記第1のデバイスが：

前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記第1電流源に結合されたドレイン端子；及び

第2基準電圧に結合されたゲート端子；

を有する第1の高圧PMOSトランジスタを含み；かつ

前記第2のデバイスが：

前記第2の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記OLEDパネルに結合されたドレイン端子；及び

第3基準電圧に結合されたゲート端子；

を有する第2の高圧PMOSトランジスタを含み；

前記第2基準電圧が前記第3基準電圧に等しく、

前記第1の高圧PMOSトランジスタ4の前記ゲート端子が該第1の高圧PMOSトラ

10

20

30

40

50

ンジスタの前記ドレイン端子に結合され、かつ、前記第2の高圧PMOSトランジスタの前記ゲート端子が前記第1の高圧PMOSトランジスタの前記ドレイン端子に結合されており；

前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合されている、ところのOLEDディスプレイ。

【請求項6】

請求項5に記載のOLEDディスプレイであって、前記電流ミラーが：

第1個数の低圧PMOSトランジスタであり、各々が：

前記第1基準電圧に結合されたソース端子；

ドレイン端子；及び

前記第1の低圧PMOSトランジスタの前記ゲート端子に結合されたゲート端子；

を有する第1個数の低圧PMOSトランジスタ；並びに

該第1個数の低圧PMOSトランジスタをバイアスする第1個数のデバイスであり、各々が前記OLEDパネルと前記第1個数の低圧PMOSトランジスタ内の対応する1つの低圧PMOSトランジスタの前記ドレイン端子との間に結合されている、ところの第1個数のデバイス；

をさらに有し；

前記第1個数の低圧PMOSトランジスタの各々が、前記第1基準電圧に結合されたベース端子をさらに有し；

前記第1のデバイスが：

前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記第1電流源に結合されたドレイン端子；及び

第2基準電圧に結合されたゲート端子；

を有する第1の高圧PMOSトランジスタを含み；

前記第2のデバイスが：

前記第2の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記OLEDパネルに結合されたドレイン端子；及び

第3基準電圧に結合されたゲート端子；

を有する第2の高圧PMOSトランジスタを含み；かつ

前記第1個数のデバイスの各々が：

対応する低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記OLEDパネルに結合されたドレイン端子；及び

第3基準電圧に結合されたゲート端子；

を有する高圧PMOSトランジスタを含み；

前記第2基準電圧が前記第3基準電圧に等しく；

各々の高圧PMOSトランジスタの前記ゲート端子が前記第1の高圧PMOSトランジスタの前記ドレイン端子に結合されており；

前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合されている、ところのOLEDディスプレイ。

【請求項7】

請求項5に記載のOLEDディスプレイであって、前記OLEDパネルがPMOLEDパネルである、ところのOLEDディスプレイ。

【請求項8】

請求項5に記載のOLEDディスプレイであって、前記OLEDパネルが電流モードAMOLEDパネルである、ところのOLEDディスプレイ。

【請求項9】

PMOLEDパネルを駆動する電流ミラーであって：

電流源；

第1の低圧PMOSトランジスタであり；

第1基準電圧に結合されるソース端子；

10

20

30

40

50

ドレイン端子；及び
 当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子；
 を有する第1の低圧PMOSトランジスタ；
 第2の低圧PMOSトランジスタであり；
 前記第1基準電圧に結合されるソース端子；
 ドレイン端子；及び
 前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子；
 を有する第2の低圧PMOSトランジスタ；
 前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合され、前記第1の低圧
 PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1のデバイス； 10
 前記第2の低圧PMOSトランジスタの前記ドレイン端子及び前記PMOLEDパネル
 に結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイ
 アスする第2のデバイス；
 前記第1のデバイスに結合され、前記第1の低圧PMOSトランジスタを通る電流を制
 御するPAMモジュール；並びに
 NMOSトランジスタであり；
 前記電流源に結合されたソース端子；
 ドレイン端子；及び
 前記PAMモジュールに結合され、該PAMモジュールの機能を有効にするゲート端
 子； 20
 を有するNMOSトランジスタ；
 を有し；
前記第1及び第2の低圧PMOSトランジスタの各々が、前記第1基準電圧に結合され
 るベース端子をさらに有し；
前記第1のデバイスが；
前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；
前記PAMモジュールに結合されたドレイン端子；及び
第2基準電圧に結合されるゲート端子；
を有する第1の高圧PMOSトランジスタを含み；かつ
前記第2のデバイスが； 30
前記第2の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；
前記PMOLEDパネルに結合されるドレイン端子；及び
第3基準電圧に結合されるゲート端子；
を有する第2の高圧PMOSトランジスタを含み；
前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSラン
 ジスタの前記ドレイン端子に結合されており；
前記第2基準電圧が前記第3基準電圧に等しく；
前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSラン
 ジスタの前記ドレイン端子に結合されている；
 電流ミラー。 40
 【請求項10】
 請求項9に記載の電流ミラーであって、前記NMOSトランジスタが高圧NMOSトラ
 ンジスタである、ところの電流ミラー。
 【請求項11】
 請求項9に記載の電流ミラーであって、前記PAMモジュールが；
 並列に結合された複数のNMOSトランジスタ；及び
 複数のスイッチであり、各々が前記複数のNMOSトランジスタ内の対応する1つのN
 MOSトランジスタに直列接続されている、ところの複数のスイッチ；
 を有する、ところの電流ミラー。
 【請求項12】 50

請求項 9 に記載の電流ミラーであって：

第 1 個数の第 1 の低圧 P M O S トランジスタであり、各々が：

前記第 1 基準電圧に結合されるソース端子；

ドレイン端子；及び

該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子；

を有する、ところの第 1 個数の第 1 の低圧 P M O S トランジスタ；

第 1 個数の前記第 2 の低圧 P M O S トランジスタであり、各々が：

前記第 1 基準電圧に結合されるソース端子；

ドレイン端子；及び

前記第 1 個数の第 1 の低圧 P M O S トランジスタ内の対応する 1 つの第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子；

を有する、ところの第 1 個数の第 2 の低圧 P M O S トランジスタ；

前記第 1 個数の第 1 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数の第 1 の デバイス であり、各々が前記第 1 個数の第 1 の低圧 P M O S トランジスタ内の対応する 1 つの第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの第 1 個数の第 1 の デバイス；

前記第 1 個数の第 2 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数の第 2 の デバイス であり、各々が前記 P M O L E D パネルと前記第 1 個数の第 2 の低圧 P M O S トランジスタ内の対応する 1 つの第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの第 1 個数の第 2 の デバイス；並びに

第 1 個数の P A M モジュールであり、各々が、前記第 1 個数の第 1 の デバイス 内の対応する 1 つの第 1 の デバイス と前記 N M O S トランジスタの前記ドレイン端子との間に結合され、前記第 1 個数の第 1 の低圧 P M O S トランジスタ内の対応する 1 つの低圧 P M O S トランジスタを通る電流を制御する、ところの第 1 個数の P A M モジュール；

をさらに有し；

前記第 1 個数の第 1 の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されるベース端子をさらに有し；かつ

前記第 1 個数の第 2 の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されるベース端子をさらに有し；

前記第 1 個数の第 1 のデバイスの各々が；

前記第 1 個数の第 1 の低圧 P M O S トランジスタ内の対応する 1 つの第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 個数の P A M モジュール内の対応する 1 つの P A M モジュールに結合されたドレイン端子；及び

第 2 基準電圧に結合されるゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；かつ

前記第 1 個数の第 2 のデバイスの各々が；

前記第 1 個数の第 2 の低圧 P M O S トランジスタ内の対応する 1 つの第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 P M O L E D パネルに結合されるドレイン端子；及び

第 3 基準電圧に結合されるゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含み；

各々の前記第 1 個数の第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。

【請求項 13】

請求項 12 に記載の電流ミラーであって、前記第 1 個数の P A M モジュールの各々が：

並列に結合された複数の N M O S トランジスタ；及び

複数のスイッチであり、各々が前記複数の N M O S トランジスタ内の対応する 1 つの N M O S トランジスタに直列接続されている、ところの複数のスイッチ；

を含む、ところの電流ミラー。

10

20

30

40

50

【請求項 14】

P M O L E D パネル；並びに

該 P M O L E D パネルを駆動する電流ミラーであって：

電流源；

第 1 の低圧 P M O S トランジスタであり：

第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

当該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子

；

を有する第 1 の低圧 P M O S トランジスタ；

10

第 2 の低圧 P M O S トランジスタであり：

前記第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子

；

を有する第 2 の低圧 P M O S トランジスタ；

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合され、前記第 1 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 の デバイス；

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子と前記 P M O L E D パネルとの間に結合され、前記第 2 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 2 の デバイス；

20

前記第 1 の デバイスに結合され、前記第 1 の低圧 P M O S トランジスタを通る電流を制御する P A M モジュール；及び

N M O S トランジスタであり：

前記電流源に結合されたソース端子；

ドレイン端子；及び

前記 P A M モジュールに結合され、該 P A M モジュールの機能を有効にするゲート端子；

を有する N M O S トランジスタ；

を有する電流ミラー；

30

を有し；

前記第 1 及び第 2 の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されたベース端子をさらに有し；

前記第 1 のデバイスが：

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 P A M モジュールに結合されたドレイン端子；及び

第 2 基準電圧に結合されたゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；かつ

前記第 2 のデバイスが：

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

40

前記 P M O L E D パネルに結合されたドレイン端子；及び

第 3 基準電圧に結合されたゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含み；

前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されており；

前記第 2 基準電圧が前記第 3 基準電圧に等しく；

前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている；

P M O L E D ディスプレー。

【請求項 15】

50

請求項 1 4 に記載の P M O L E D ディスプレーであって、前記 P A M モジュールが：
 並列に結合された複数の N M O S トランジスタ；及び
 複数のスイッチであり、各々が前記複数の N M O S トランジスタ内の対応する 1 つの N
 M O S トランジスタに直列接続されている、ところの複数のスイッチ；
 を有する、ところの P M O L E D ディスプレー。

【請求項 1 6】

請求項 1 4 に記載の P M O L E D ディスプレーであって：

第 1 個数の第 1 の低圧 P M O S トランジスタであり、各々が：

前記第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子；

を有する、ところの第 1 個数の第 1 の低圧 P M O S トランジスタ；

第 1 個数の前記第 2 の低圧 P M O S トランジスタであり、各々が：

前記第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

前記第 1 個数の第 1 の低圧 P M O S トランジスタ内の対応する 1 つの第 1 の低圧 P M
 O S トランジスタの前記ドレイン端子に結合されたゲート端子；

を有する、ところの第 1 個数の第 2 の低圧 P M O S トランジスタ；

前記第 1 個数の第 1 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイ
 アスする第 1 個数の第 1 の デバイス であり、各々が前記第 1 個数の第 1 の低圧 P M O S ト
 ランジスタ内の対応する 1 つの第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結
 合されている、ところの第 1 個数の第 1 の デバイス；

前記第 1 個数の第 2 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイ
 アスする第 1 個数の第 2 の デバイス であり、各々が前記 P M O L E D パネルと前記第 1 個
 数の第 2 の低圧 P M O S トランジスタ内の対応する 1 つの第 2 の低圧 P M O S トランジス
 タの前記ドレイン端子に結合されている、ところの第 1 個数の第 2 の デバイス；並びに

第 1 個数の P A M モジュールであり、各々が前記第 1 個数の第 1 の デバイス 内の対応す
 る 1 つの第 1 の デバイス と前記 N M O S トランジスタの前記ドレイン端子とに結合されて
 いる、ところの第 1 個数の P A M モジュール；

をさらに有し；

前記第 1 個数の第 1 の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合さ
 れたベース端子をさらに有し；かつ

前記第 1 個数の第 2 の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合さ
 れたベース端子をさらに有し；

前記第 1 個数の第 1 のデバイスの各々が：

前記第 1 個数の第 1 の低圧 P M O S トランジスタ内の対応する 1 つの第 1 の低圧 P M
 O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 個数の P A M モジュール内の対応する 1 つの P A M モジュールに結合された
 ドレイン端子；及び

第 2 基準電圧に結合されたゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；かつ

前記第 1 個数の第 2 のデバイスの各々が：

前記第 1 個数の第 2 の低圧 P M O S トランジスタ内の対応する 1 つの第 2 の低圧 P M
 O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 P M O L E D パネルに結合されたドレイン端子；及び

第 3 基準電圧に結合されたゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含み；

各々の前記第 1 個数の第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高
 圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの P M O L E D デ
 ィスプレー。

10

20

30

40

50

【請求項 17】

請求項 16 に記載の P M O L E D ディスプレーであって、前記第 1 個数の P A M モジュールの各々が：

並列に結合された複数の N M O S トランジスタ；及び

複数のスイッチであり、各々が前記複数の N M O S トランジスタ内の対応する 1 つの N M O S トランジスタに直列接続されている、ところの複数のスイッチ；

を含む、ところの P M O L E D ディスプレー。

【請求項 18】

A M O L E D パネルを駆動する電流ミラーであって：

電流源；

10

第 1 の低圧 N M O S トランジスタであり：

ソース端子；

ドレイン端子；及び

当該第 1 の低圧 N M O S トランジスタの前記ドレイン端子に結合されたゲート端子；

を有する第 1 の低圧 N M O S トランジスタ；

第 2 の低圧 N M O S トランジスタであり：

前記第 1 の低圧 N M O S トランジスタの前記ソース端子に結合されたソース端子；

ドレイン端子；及び

前記第 1 の低圧 N M O S トランジスタの前記ゲート端子に結合されたゲート端子；

を有する第 2 の低圧 N M O S トランジスタ；

20

前記第 1 の低圧 N M O S トランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第 1 の低圧 N M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 の デバイス；

前記第 2 の低圧 N M O S トランジスタの前記ドレイン端子に結合され、前記第 2 の低圧 N M O S トランジスタを所定の低電圧で動作するようにバイアスする第 2 の デバイス；並びに

前記第 2 の デバイスと前記 A M O L E D パネルとの間に結合されるスイッチ；

を有し；

前記第 1 の低圧 N M O S トランジスタの前記ソース端子がグランドに結合されており；

前記第 1 の デバイスが：

30

前記第 1 の低圧 N M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記電流源に結合されたドレイン端子；及び

第 1 基準電圧源に結合されるゲート端子；

を有する第 1 の高圧 N M O S トランジスタを含み；かつ

前記第 2 の デバイスが：

前記第 2 の低圧 N M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記スイッチに結合されたドレイン端子；及び

第 2 基準電圧源に結合されるゲート端子；

を有する第 2 の高圧 N M O S トランジスタを含み；

前記第 1 の高圧 N M O S トランジスタの前記ゲート端子が該第 1 の高圧 N M O S トランジスタの前記ドレイン端子に結合されており；

40

前記第 1 基準電圧が前記第 2 基準電圧に等しく；

前記第 1 の高圧 N M O S トランジスタの前記ゲート端子が該第 1 の高圧 N M O S トランジスタの前記ドレイン端子に結合されている；

電流ミラー。

【請求項 19】

請求項 18 に記載の電流ミラーであって：

第 1 個数の第 3 の低圧 N M O S トランジスタであり、各々が：

前記第 1 の低圧 N M O S トランジスタのソース端子に結合されたソース端子；

ドレイン端子；及び

50

前記第 1 の低圧 NMOS トランジスタの前記ゲート端子に結合されたゲート端子；
 を有する、ところの第 1 個数の第 3 の低圧 NMOS トランジスタ；
 前記第 1 個数の第 3 の低圧 NMOS トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数の第 3 の デバイス であり、各々が前記第 1 個数の第 3 の低圧 NMOS トランジスタ内の対応する 1 つの第 3 の低圧 NMOS トランジスタの前記ドレイン端子に結合されている、ところの第 1 個数の第 3 の デバイス；並びに
 第 1 個数のスイッチであり、各々が、対応する 1 つの第 3 の デバイス と前記 AMOLED パネルとの間に結合される、ところの第 1 個数のスイッチ；
 をさらに有する、ところの電流ミラー。

【請求項 20】

請求項 19 に記載の電流ミラーであって、前記第 1 個数の第 3 の デバイス の各々が：
 前記第 1 個数の第 3 の低圧 NMOS トランジスタ内の対応する 1 つの第 3 の低圧 NMOS トランジスタの前記ドレイン端子に結合されたソース端子；
 前記第 1 個数のスイッチ内の対応する 1 つのスイッチに結合されたドレイン端子；及び
 第 2 基準電圧源に結合されるゲート端子；
 を有する第 3 の高圧 NMOS トランジスタを含む、ところの電流ミラー。

【請求項 21】

AMOLED パネル；並びに
 該 AMOLED パネルを駆動する電流ミラーであって：
 電流源；
 第 1 の低圧 NMOS トランジスタであり：
 ソース端子；
 ドレイン端子；及び
 当該第 1 の低圧 NMOS トランジスタの前記ドレイン端子に結合されたゲート端子
 ；
 を有する第 1 の低圧 NMOS トランジスタ；
 第 2 の低圧 NMOS トランジスタであり：
 前記第 1 の低圧 NMOS トランジスタの前記ソース端子に結合されたソース端子；
 ドレイン端子；及び
 前記第 1 の低圧 NMOS トランジスタの前記ゲート端子に結合されたゲート端子；
 を有する第 2 の低圧 NMOS トランジスタ；
 前記第 1 の低圧 NMOS トランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第 1 の低圧 NMOS トランジスタを所定の低電圧で動作するようにバイアスする第 1 の デバイス；
 前記第 2 の低圧 NMOS トランジスタの前記ドレイン端子に結合され、前記第 2 の低圧 NMOS トランジスタを所定の低電圧で動作するようにバイアスする第 2 の デバイス；
 及び
 前記第 2 の デバイス と前記 AMOLED パネルとの間に結合されるスイッチ；
 を有する電流ミラー；
 を有し；
 前記第 1 の低圧 NMOS トランジスタの前記ソース端子がグランドに結合されており；
 前記第 1 の デバイス が；
 前記第 1 の低圧 NMOS トランジスタの前記ドレイン端子に結合されたソース端子；
 前記電流源に結合されたドレイン端子；及び
 第 1 基準電圧源に結合されるゲート端子；
 を有する第 1 の高圧 NMOS トランジスタを含み；かつ
 前記第 2 の デバイス が；
 前記第 2 の低圧 NMOS トランジスタの前記ドレイン端子に結合されたソース端子；
 前記スイッチに結合されたドレイン端子；及び
 第 2 基準電圧源に結合されるゲート端子；

10

20

30

40

50

を有する第2の高圧NMOSトランジスタを含み；
前記第1の高圧NMOSトランジスタの前記ゲート端子が該第1の高圧NMOSトラン
ジスタの前記ドレイン端子に結合されており；
前記第1基準電圧が前記第2基準電圧に等しく；
前記第1の高圧NMOSトランジスタの前記ゲート端子が該第1の高圧NMOSトラン
ジスタの前記ドレイン端子に結合されている；
 AMOLEDディスプレイ。

【請求項22】

請求項21に記載のAMOLEDディスプレイであって：
 第1個数の第3の低圧NMOSトランジスタであり、各々が：
 前記第1の低圧NMOSトランジスタのソース端子に結合されたソース端子；
 ドレイン端子；及び
 前記第1の低圧NMOSトランジスタの前記ゲート端子に結合されたゲート端子；
 を有する、ところの第1個数の第3の低圧NMOSトランジスタ；
 前記第1個数の第3の低圧NMOSトランジスタを所定の低電圧で動作するようにバイ
 アスする第1個数の第3のデバイスであり、各々が前記第1個数の第3の低圧NMOSト
 ランジスタ内の対応する1つの第3の低圧NMOSトランジスタの前記ドレイン端子に結
 合されている、ところの第1個数の第3のデバイス；並びに
 第1個数のスイッチであり、各々が前記第1個数の第3のデバイス内の対応する1つの
 第3のデバイスと前記AMOLEDパネルとの間に結合される、ところの第1個数のスイ
 ッチ；
 をさらに有し；
前記第1個数の第3のデバイスの各々が；
前記第1個数の第3の低圧NMOSトランジスタ内の対応する1つの第3の低圧NMOS
トランジスタの前記ドレイン端子に結合されたソース端子；
前記第1個数のスイッチ内の対応する1つのスイッチに結合されたドレイン端子；及び
第2基準電圧源に結合されるゲート端子；
を有する第3の高圧NMOSトランジスタを含む、ところのAMOLEDディスプレイ
 。

【請求項23】

AMOLEDパネルを駆動する電流ミラーであって：
 電流源；
 第1の低圧PMOSトランジスタであり：
 ソース端子；
 ドレイン端子；及び
 当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子；
 を有する第1の低圧PMOSトランジスタ；
 第2の低圧PMOSトランジスタであり：
 前記第1の低圧PMOSトランジスタの前記ソース端子に結合されたソース端子；
 ドレイン端子；及び
 前記第1の低圧PMOSトランジスタの前記ゲート端子に結合されたゲート端子；
 を有する第2の低圧PMOSトランジスタ；
 前記第1の低圧PMOSトランジスタの前記ドレイン端子と前記電流源との間に結合さ
 れ、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする
 第1のデバイス；
 前記第2の低圧PMOSトランジスタの前記ドレイン端子に結合され、前記第2の低圧
 PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2のデバイス；並
 びに
 前記第2のデバイスと前記AMOLEDパネルとの間に結合されるスイッチ；
 を有し；

前記第 1 のデバイスが：

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記電流源に結合されたドレイン端子；及び

第 1 基準電圧源に結合されるゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；かつ

前記第 2 のデバイスが：

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記スイッチに結合されたドレイン端子；及び

第 2 基準電圧源に結合されるゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含み；

前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されており；

前記第 1 基準電圧が前記第 2 基準電圧に等しく；

前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている；

電流ミラー。

【請求項 2 4】

請求項 2 3 に記載の電流ミラーであって：

第 1 個数の第 3 の低圧 P M O S トランジスタであり、各々が：

前記第 1 の低圧 P M O S トランジスタのソース端子に結合されたソース端子；

ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ゲート端子に結合されたゲート端子；

を有する、ところの第 1 個数の第 3 の低圧 P M O S トランジスタ；

前記第 1 個数の第 3 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数の第 3 の デバイス であり、各々が前記第 1 個数の第 3 の低圧 P M O S トランジスタ内の対応する 1 つの第 3 の低圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの第 1 個数の第 3 の デバイス；並びに

第 1 個数のスイッチであり、各々が、対応する 1 つの第 3 の デバイス と前記 A M O L E D パネルとの間に結合される、ところの第 1 個数のスイッチ；

をさらに有し；

前記第 1 個数の第 3 のデバイスの各々が：

前記第 1 個数の第 3 の低圧 P M O S トランジスタ内の対応する 1 つの第 3 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 個数のスイッチ内の対応する 1 つのスイッチに結合されたドレイン端子；及び

前記第 2 基準電圧源に結合されるゲート端子；

を有する第 3 の高圧 P M O S トランジスタを含む、ところの電流ミラー。

【請求項 2 5】

A M O L E D パネル；並びに

該 A M O L E D パネルを駆動する電流ミラーであって：

電流源；

第 1 の低圧 P M O S トランジスタであり：

ソース端子；

ドレイン端子；及び

当該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子

；

を有する第 1 の低圧 P M O S トランジスタ；

第 2 の低圧 P M O S トランジスタであり：

前記第 1 の低圧 P M O S トランジスタの前記ソース端子に結合されたソース端子；

ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ゲート端子に結合されたゲート端子；

10

20

30

40

50

を有する第2の低圧PMOSトランジスタ；

前記第1の低圧PMOSトランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1のデバイス；

前記第2の低圧PMOSトランジスタの前記ドレイン端子に結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2のデバイス；及び

前記第2のデバイスと前記AMOLEDパネルとの間に結合されるスイッチ；

を有する電流ミラー；

を有し；

前記第1のデバイスが；

前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記電流源に結合されたドレイン端子；及び

第1基準電圧源に結合されるゲート端子；

を有する第1の高圧PMOSトランジスタを含み；かつ

前記第2のデバイスが；

前記第2の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記スイッチに結合されたドレイン端子；及び

第2基準電圧源に結合されるゲート端子；

を有する第2の高圧PMOSトランジスタを含み；

前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合されおり；

前記第1基準電圧が前記第2基準電圧に等しく；

前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合されている、

AMOLEDディスプレイ。

【請求項26】

請求項25に記載のAMOLEDディスプレイであって；

第1個数の第3の低圧PMOSトランジスタであり、各々が；

前記第1の低圧PMOSトランジスタのソース端子に結合されたソース端子；

ドレイン端子；及び

前記第1の低圧PMOSトランジスタの前記ゲート端子に結合されたゲート端子；

を有する、ところの第1個数の第3の低圧PMOSトランジスタ；

前記第1個数の第3の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1個数の第3のデバイスであり、各々が前記第1個数の第3の低圧PMOSトランジスタ内の対応する1つの第3の低圧PMOSトランジスタの前記ドレイン端子に結合されている、ところの第1個数の第3のデバイス；並びに

第1個数のスイッチであり、各々が、対応する1つの第3のデバイスと前記AMOLEDパネルとの間に結合される、ところの第1個数のスイッチ；

をさらに有し；

前記第1個数の第3のデバイスの各々が；

前記第1個数の第3の低圧PMOSトランジスタ内の対応する1つの第3の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記第1個数のスイッチ内の対応する1つのスイッチに結合されたドレイン端子；及び

前記第2基準電圧源に結合されるゲート端子；

を有する第3の高圧PMOSトランジスタを含む、ところのAMOLEDディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、有機発光ダイオード（O L E D）パネル及びそれを駆動する電流ミラーに関し、より具体的には、O L E Dパネル及び該O L E Dパネルを駆動するための安定した駆動電流を供給可能な電流ミラーに関する。

【背景技術】

【0002】

技術の急速な進展に伴って、軽くて持ち運び可能で、低消費電力性を備えた電子デバイスが日常生活において広く用いられるようになってきている。例えば携帯電話、携帯情報端末（P D A）又はノート型コンピュータ等のこれら電子デバイスにおいては、ユーザと機械との間の交流インターフェースとしてディスプレイが必要である。近年、高解像度イメージ、大型スクリーン、及び低コスト化のため、平面パネルディスプレイ（F P D）デバイスの開発が進められている。様々なF P Dデバイスの中でも、有機発光ダイオード（O L E D）パネルが、中ノ小型応用において、ますます大きな注目を得るに至っている。それは、例えば、自発光源、広視野角、高速応答時間、低消費電力、高コントラスト、高輝度、フルカラー、簡易な構造、及び広い動作温度範囲といった利点のためである。例えば、低歩留まり、不都合なマスク適用、又は不安定なキャップ封止プロセスといった製造上の課題も近年解決されつつあり、O L E Dパネルは将来動向となってきた。

10

【0003】

O L E Dパネルは電流駆動デバイスであり、その輝度は通過電流によって決定される。故に、駆動電流の安定化が非常に重要である。高解像度のパッシブマトリックス型O L E D（P M O L E D）、又は電流モードのアクティブマトリックス型O L E D（A M O L E D）を用いるパネルでは、O L E Dの各画素に供給される電流間の均一性が、高品質イメージを提供するために極めて重要である。

20

【0004】

P M O L E Dパネルはパルス幅変調（P W M）によって駆動可能である。P W Mでは、P M O L E Dの発光を制御するために、パルス電圧のデューティサイクルが変化させられる。従来から、O L E Dパネルを駆動するために電流ミラーが用いられてきた。高圧電源が必要であるため、電流ミラーは高電圧の金属酸化膜半導体（高圧M O S）トランジスタを有している。図1は、P W MによってO L E Dパネルを駆動するための従来の電流ミラー100を示している。電流ミラー100は $n+1$ 個の高圧p型M O S（高圧P M O S）トランジスタP0乃至Pn（図1にはP0、P1、P2及びPnのみが示されている）を有している。電流ミラー100は高電圧であるVcc_HVを受けている。図1に示されるように、各高圧P M O Sトランジスタのソース端子及びベース端子は高圧電源Vcc_HVに結合されている。電流ミラー100は、高圧P M O SトランジスタP0乃至Pnのドレイン端子側のO L E Dパネルに、電流I1乃至Inを出力する。しかし、高圧P M O SトランジスタP0乃至Pnの閾値電圧が公称値から別々に外れ、電流I1乃至In間に大きなばらつきを生じさせ得る。従って、従来の電流ミラー100は、高解像度イメージを実現するために要求される安定した電流をO L E Dパネルに供給することができなかった。

30

【0005】

図2は、P W MによってO L E Dパネルを駆動するための他の従来の電流ミラー200を示している。従来の電流ミラー100に対して、従来の電流ミラー200はカスコード構造をしており、対応する高圧P M O SトランジスタP0乃至Pnに直列接続された $n+1$ 個の高圧P M O SトランジスタPC0乃至PCn（図2にはPC0、PC1、PC2及びPCnのみが示されている）をさらに有している。トランジスタP0乃至Pnは高圧P M O Sトランジスタであるため、ドレイン端子（図2のノードA0乃至An）に定められる電圧は非常に高くなり得る。安全性の観点から、従来の電流ミラー200に用いられる全てのデバイスが高圧P M O Sトランジスタでなければならない。故に、高圧P M O SトランジスタP0乃至Pn、及びPC0乃至PCnの閾値電圧はやはり、公称値から別々に外れ、電流I1乃至In間に大きなばらつきを生じさせ得る。従って、従来の電流ミラー200は、高解像度イメージを実現するために要求される安定した電流をO L E Dパネルに供給することができなかった。

40

【0006】

50

P M O L E D パネルはまた、パルス振幅変調 (P A M) によっても駆動可能である。図 3 は、M ビット P A M モジュール 30 を示している。P A M モジュール 30 はスイッチ SW1 乃至 SWm、及び N M O S トランジスタ N1 乃至 Nm を有している。 I_{DC1} 乃至 I_{DCm} は、それぞれ、N M O S トランジスタ N1 乃至 Nm を通る電流を示している。P A M モジュール 30 は、電流 I_{DC1} 乃至 I_{DCm} の経路をスイッチ SW1 乃至 SWm を用いて制御し、それによって全体電流 I_{DC} の量を制御する。

【 0 0 0 7 】

図 4 は、P A M によって O L E D パネルを駆動するための従来の電流ミラー 400 を示している。電流ミラー 400 は電流源 I_{DC} 、n 型金属酸化膜半導体 (N M O S) トランジスタ N 、 $2n$ 個の高圧 P M O S トランジスタ P1 乃至 Pn 及び P1' 乃至 Pn'、並びに P A M モジュール PAM1 乃至 PAMn を有している。電流ミラー 400 は高電圧 V_{CC_HV} を受け取っている。図 4 に示されるように、各高圧 P M O S トランジスタのソース端子及びベース端子は高電圧 V_{CC_HV} に結合され、高圧 P M O S トランジスタ P1 乃至 Pn のドレイン端子は、それぞれ、P A M モジュール PAM1 乃至 PAMn に結合されている。P A M モジュール PAM1 乃至 PAMn の各々は図 3 に示される M ビット P A M モジュール 30 を含むことができる。ドレイン電流 $I1'$ 乃至 I_n' が O L E D パネルに出力される。P A M モジュール PAM1 乃至 PAMn は、高圧 P M O S トランジスタ P1 乃至 Pn を通るドレイン電流 $I1$ 乃至 I_n の量を制御し、それによって、高圧 P M O S トランジスタ P1' 乃至 Pn' を通るドレイン電流 $I1'$ 乃至 I_n' の量を制御する。高圧 P M O S トランジスタ P1 乃至 Pn 及び P1' 乃至 Pn' の閾値電圧は公称値から別々に外れ、電流 $I1'$ 乃至 I_n' 間に大きなばらつきを生じさせ得る。従って、電流ミラー 400 は、高解像度イメージを実現するために要求される安定した電流を O L E D パネルに供給することができなかつた。

【 0 0 0 8 】

図 5 は、P A M によって O L E D パネルを駆動するための他の従来の電流ミラー 500 を示している。従来の電流ミラー 400 に対して、従来の電流ミラー 500 はカスコード構造をしており、対応する高圧 P M O S トランジスタ P1 乃至 Pn 及び P1' 乃至 Pn' にそれぞれ直列接続された $2n$ 個の高圧 P M O S トランジスタ PC1 乃至 PCn 及び PC1' 乃至 PCn' をさらに有している。トランジスタ P1 乃至 Pn 及び P1' 乃至 Pn' は高圧 P M O S トランジスタであるため、ドレイン端子 (図 5 のノード A1 乃至 An) に設立される電圧は非常に高くなり得る。安全性の観点から、従来の電流ミラー 500 に用いられる全てのデバイスが高圧 P M O S トランジスタでなければならない。故に、高圧 P M O S トランジスタ P1 乃至 Pn 及び P1' 乃至 Pn' の閾値電圧はやはり、公称値から別々に外れ、O L E D パネルに出力される電流 $I1'$ 乃至 I_n' 間に大きなばらつきを生じさせ得る。従って、電流ミラー 500 は、高解像度イメージを実現するために要求される安定した電流を O L E D パネルに供給することができなかつた。

【 0 0 0 9 】

図 6 は、P A M によって O L E D パネルを駆動するための他の従来の電流ミラー 600 を示している。従来の電流ミラー 500 に対して、従来の電流ミラー 600 もまたカスコード構造をしているが、高圧 P M O S トランジスタ P1 乃至 Pn のドレイン端子がそれぞれ高圧 P M O S トランジスタ PC1 乃至 PCn のゲート端子に結合され、高圧 P M O S トランジスタ PC1 乃至 PCn 及び PC1' 乃至 PCn' のゲート端子が基準電圧に結合されている。電流ミラー 600 では、高圧 P M O S トランジスタ P1 乃至 Pn 及び P1' 乃至 Pn' の閾値電圧は、公称値から別々に外れ、O L E D パネルに出力される電流 $I1'$ 乃至 I_n' 間に大きなばらつきを生じさせ得る。従って、電流ミラー 500 は、高解像度イメージを実現するために要求される安定した電流を O L E D パネルに供給することができなかつた。

【 0 0 1 0 】

A M O L E D パネルにおいては、各 O L E D 画素は薄膜トランジスタ (T F T) スイッチで制御される。A M O L E D パネルを駆動するデータドライバーは、イメージデータに対応する駆動電流を生成可能なデジタル・アナログ変換器 (D A C) を有する。電流方向に応じて、データドライバーは 2 つの型式に分類される。シンクモードのデータドライバ

ー及びソースモードのデータドライバーである。図7は、AMOLEDパネルを駆動するための従来のシンクモード電流ミラー700を示している。電流ミラー700は電流源 I_{DC} 、 $n+1$ 個の高圧NMOSトランジスタ $N0$ 乃至 Nn 、及びスイッチ $SW1$ 乃至 SWn を有している。高圧NMOSトランジスタ $N0$ のドレイン端子は電流源 I_{DC} に結合され、高圧NMOSトランジスタ $N1$ 乃至 Nn のドレイン端子はそれぞれスイッチ $SW1$ 乃至 SWn を介してAMOLEDパネルに結合されている。故に、電流ミラー700はスイッチ $SW1$ 乃至 SWn をオン/オフさせることにより駆動電流 I の量を制御する。しかし、高圧NMOSトランジスタ $N1$ 乃至 Nn の閾値電圧はやはり、公称値から別々に外れ、各々の高圧NMOSトランジスタを通る電流間に大きなばらつきを生じさせ得る。従って、電流ミラー700は、高解像度イメージを実現するために要求される安定した電流をAMOLEDパネルに供給することができなかつた。

10

【0011】

図8は、AMOLEDパネルを駆動するための従来のソースモード電流ミラー800を示している。電流ミラー800は電流源 I_{DC} 、 $n+1$ 個の高圧PMOSトランジスタ $P0$ 乃至 Pn 、及びスイッチ $SW1$ 乃至 SWn を有している。高圧PMOSトランジスタ $P0$ のドレイン端子は電流源 I_{DC} に結合され、高圧PMOSトランジスタ $P1$ 乃至 Pn のドレイン端子はそれぞれスイッチ $SW1$ 乃至 SWn を介してAMOLEDパネルに結合されている。故に、電流ミラー800はスイッチ $SW1$ 乃至 SWn をオン/オフさせることにより駆動電流 I の量を制御する。しかし、高圧PMOSトランジスタ $P0$ 乃至 Pn の閾値電圧はやはり、公称値から別々に外れ、各々の高圧PMOSトランジスタを通る電流間に大きなばらつきを生じさせ得る。従って、電流ミラー800は、高解像度イメージを実現するために要求される安定した電流をAMOLED

20

【特許文献1】台湾特許出願第91137551号明細書

【特許文献2】台湾特許第459169号明細書

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明の目的は、OLEDパネルに均一性の高い電流を供給することが可能な、OLEDパネルを駆動するための電流ミラー、及びそれをを用いたOLEDディスプレイを提供することである。

【課題を解決するための手段】

30

【0013】

本発明によって提供される有機発光ダイオード(OLED)パネルを駆動する電流ミラーは、第1の低電圧P型MOS(低圧PMOS)トランジスタであり、第1基準電圧に結合されるソース端子、ドレイン端子、及び当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧PMOSトランジスタ；第2の低圧PMOSトランジスタであり、前記第1基準電圧に結合されるソース端子、ドレイン端子、及び前記第1の低圧PMOSトランジスタの前記ゲート端子に結合されたゲート端子、を有する第2の低圧PMOSトランジスタ；前記第1の低圧PMOSトランジスタの前記ドレイン端子と第1電流源との間に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；並びに前記第2の低

40

【0014】

本発明によって提供されるOLEDディスプレイは、OLEDパネル及び該OLEDパネルを駆動する電流ミラーを有する。該電流ミラーは、第1の低圧PMOSトランジスタであり、第1基準電圧に結合されたソース端子、ドレイン端子、及び当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧PMOSトランジスタ；第2の低圧PMOSトランジスタであり、前記第1基準電圧に結合されたソース端子、ドレイン端子、及び前記第1の低圧PMOSトランジスタの前記ゲート

50

端子に結合されたゲート端子、を有する第2の低圧PMOSトランジスタ；前記第1の低圧PMOSトランジスタの前記ドレイン端子と第1電流源との間に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；並びに前記第2の低圧PMOSトランジスタの前記ドレイン端子と前記OLEDパネルとの間に結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイスを有する。

【0015】

本発明によってさらに提供されるパッシブマトリックス型(PM)OLEDパネルを駆動する電流ミラーは、電流源；第1の低圧PMOSトランジスタであり、第1基準電圧に結合されるソース端子、ドレイン端子、及び当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧PMOSトランジスタ；第2の低圧PMOSトランジスタであり、前記第1基準電圧に結合されるソース端子、ドレイン端子、及び前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第2の低圧PMOSトランジスタ；前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；前記第2の低圧PMOSトランジスタの前記ドレイン端子及び前記PMOLEDパネルに結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；前記第1の高圧デバイスに結合され、前記第1の低圧PMOSトランジスタを通る電流を制御するパルス振幅変調(PAM)モジュール；並びにN型MOS(NMOS)トランジスタであり、前記電流源に結合されたソース端子、ドレイン端子、及び前記PAMモジュールに結合され、該PAMモジュールの機能を有効にするゲート端子、を有するNMOSトランジスタを有する。

【0016】

本発明によってさらに提供されるPMOLEDディスプレイは、PMOLEDパネル及び該PMOLEDパネルを駆動する電流ミラーを有する。該電流ミラーは、電流源；第1の低圧PMOSトランジスタであり、第1基準電圧に結合されたソース端子、ドレイン端子、及び当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧PMOSトランジスタ；第2の低圧PMOSトランジスタであり、前記第1基準電圧に結合されたソース端子、ドレイン端子、及び前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第2の低圧PMOSトランジスタ；前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；前記第2の低圧PMOSトランジスタの前記ドレイン端子と前記PMOLEDパネルとの間に結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；前記第1の高圧デバイスに結合され、前記第1の低圧PMOSトランジスタを通る電流を制御するPAMモジュール；並びにNMOSトランジスタであり、前記電流源に結合されたソース端子、ドレイン端子、及び前記PAMモジュールに結合され、該PAMモジュールの機能を有効にするゲート端子、を有するNMOSトランジスタを有する。

【0017】

本発明によってさらに提供されるアクティブマトリックス型(AM)OLEDパネルを駆動する電流ミラーは、電流源；第1の低圧NMOSトランジスタであり、ソース端子、ドレイン端子、及び当該第1の低圧NMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧NMOSトランジスタ；第2の低圧NMOSトランジスタであり、前記第1の低圧NMOSトランジスタの前記ソース端子に結合されたソース端子、ドレイン端子、及び前記第1の低圧NMOSトランジスタの前記ゲート端子に結合されたゲート端子、を有する第2の低圧NMOSトランジスタ；前記第1の低圧NMOSトランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第1の低圧NMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；前記

第2の低圧NMOSトランジスタの前記ドレイン端子に結合され、前記第2の低圧NMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；並びに前記第2の高圧デバイスと前記AMOLEDパネルとの間に結合されるスイッチを有する。

【0018】

本発明によってさらに提供されるAMOLEDディスプレイは、AMOLEDパネル及び該AMOLEDパネルを駆動する電流ミラーを有する。該電流ミラーは、電流源；第1の低圧NMOSトランジスタであり、ソース端子、ドレイン端子、及び当該第1の低圧NMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧NMOSトランジスタ；第2の低圧NMOSトランジスタであり、前記第1の低圧NMOSトランジスタの前記ソース端子に結合されたソース端子、ドレイン端子、及び前記第1の低圧NMOSトランジスタの前記ゲート端子に結合されたゲート端子、を有する第2の低圧NMOSトランジスタ；前記第1の低圧NMOSトランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第1の低圧NMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；前記第2の低圧NMOSトランジスタの前記ドレイン端子に結合され、前記第2の低圧NMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；並びに前記第2の高圧デバイスと前記AMOLEDパネルとの間に結合されるスイッチを有する。

【0019】

本発明によってさらに提供されるAMOLEDパネルを駆動する電流ミラーは、電流源；第1の低圧PMOSトランジスタであり、ソース端子、ドレイン端子、及び当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧PMOSトランジスタ；第2の低圧PMOSトランジスタであり、前記第1の低圧PMOSトランジスタの前記ソース端子に結合されたソース端子、ドレイン端子、及び前記第1の低圧PMOSトランジスタの前記ゲート端子に結合されたゲート端子、を有する第2の低圧PMOSトランジスタ；前記第1の低圧PMOSトランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；前記第2の低圧PMOSトランジスタの前記ドレイン端子に結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；並びに前記第2の高圧デバイスと前記AMOLEDパネルとの間に結合されるスイッチを有する。

【0020】

本発明によってさらに提供されるAMOLEDディスプレイは、AMOLEDパネル及び該AMOLEDパネルを駆動する電流ミラーを有する。該電流ミラーは、電流源；第1の低圧PMOSトランジスタであり、ソース端子、ドレイン端子、及び当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧PMOSトランジスタ；第2の低圧PMOSトランジスタであり、前記第1の低圧PMOSトランジスタの前記ソース端子に結合されたソース端子、ドレイン端子、及び前記第1の低圧PMOSトランジスタの前記ゲート端子に結合されたゲート端子、を有する第2の低圧PMOSトランジスタ；前記第1の低圧PMOSトランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；前記第2の低圧PMOSトランジスタの前記ドレイン端子に結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；並びに前記第2の高圧デバイスと前記AMOLEDパネルとの間に結合されるスイッチを有する。

【0021】

本発明のこれら及び他の目的は、様々な図に例示される好ましい実施形態についての以下の詳細な記載により、当業者にとって明白となることである。

【発明を実施するための最良の形態】

【0022】

図9は本発明に従った、PWMによってPMOLEDパネルを駆動するための電流ミラー900を示している。従来の電流ミラーと異なり、電流ミラー900は $n+1$ 個の低圧p型金属酸化膜半導体（低圧PMOS）トランジスタ PL_0 乃至 PL_n （図9には PL_0 、 PL_1 、 PL_2 及び PL_n のみが示されている）、及び、低圧PMOSトランジスタ PL_0 乃至 PL_n にそれぞれ直列接続された高圧デバイス90乃至9nを有している。高圧デバイス90乃至9nは低圧PMOSトランジスタ PL_0 乃至 PL_n にバイアス電圧を供給する。図9に示されるように、電流ミラー900はまた、高電圧 HV_Vcc を受けている。言い換えれば、各低圧PMOSトランジスタのソース端子及びベース端子は高電圧 HV_Vcc に結合されている。低圧PMOSトランジスタの閾値電圧は高圧PMOSトランジスタのそれより安定しているため、電流ミラー900は高解像度イメージを実現するために、安定した駆動電流 I_{h1} 乃至 I_{hn} をPMOLEDパネルに供給することができる。低圧PMOSトランジスタ PL_0 乃至 PL_n の大きさ（ W/L 比）はそれらの動作電圧限界に基づいて決定することができ、高圧デバイス90乃至9nを用いて低圧PMOSトランジスタ PL_0 乃至 PL_n のドレイン端子に適切なバイアス電圧を与えることができる。従って、電流ミラー900は高電圧 HV_Vcc を受けているものの、やはり、高解像度イメージを実現するために安定した駆動電流 I_{h1} 乃至 I_{hn} をPMOLEDパネルに供給することができる。

10

【0023】

図10は、電流ミラー900の構成を基礎とする本発明の第1実施形態に従った、PMOLEDパネルを駆動するための電流ミラー1000を示している。図10に示されるように、電流ミラー1000はカスコード構造をしており、低圧PMOSトランジスタ PL_0 乃至 PL_n をそれぞれバイアスするための $n+1$ 個の高圧PMOSトランジスタ PH_0 乃至 PH_n （図10には PH_0 、 PH_1 、 PH_2 及び PH_n のみが示されている）を有している。高圧PMOSトランジスタ PH_0 乃至 PH_n のゲート端子は基準電圧 V_{ref} に結合され、高圧PMOSトランジスタ PH_0 乃至 PH_n のソース端子はそれぞれ低圧PMOSトランジスタ PL_0 乃至 PL_n のドレイン端子に結合されている。

20

【0024】

図11、12及び13はそれぞれ、電流ミラー900の構成を基礎とする本発明の第2、3及び4の実施形態に従った電流ミラー1100、1200及び1300を示している。電流ミラー1000と同様に、電流ミラー1100乃至1300では、高圧PMOSトランジスタ PH_0 乃至 PH_n が高圧デバイス90乃至9nに用いられている。しかし、高圧PMOSトランジスタ PH_0 乃至 PH_n のゲート端子は、電流ミラー1100乃至1300で異なるように結合されている。電流ミラー1100では図11に示されるように、高圧PMOSトランジスタ PH_0 乃至 PH_n のゲート端子は高圧PMOSトランジスタ PH_0 のドレイン端子に結合されている。電流ミラー1200では図12に示されるように、高圧PMOSトランジスタ PH_0 のゲート端子は第1基準電圧 V_{ref1} に結合され、高圧PMOSトランジスタ PH_1 乃至 PH_n のゲート端子は第2基準電圧 V_{ref2} に結合されている。電流ミラー1300では図13に示されるように、高圧PMOSトランジスタ PH_0 のゲート端子及びドレイン端子はともに結合され、高圧PMOSトランジスタ PH_1 乃至 PH_n のゲート端子は基準電圧 V_{ref} に結合されている。基準電圧 V_{ref} 、 V_{ref1} 及び V_{ref2} の生成のために、当業者に一般に知られている様々な回路が用いられ得る。

30

【0025】

図14は本発明に従った、PAMによってPMOLEDパネルを駆動するための電流ミラー1400を示している。従来の電流ミラー400と異なり、電流ミラー1400は、 $2n$ 個の低圧PMOSトランジスタ PL_1 乃至 PL_n 及び PL_1' 乃至 PL_n' 、並びに、低圧PMOSトランジスタ PL_1 乃至 PL_n 及び PL_1' 乃至 PL_n' にそれぞれ直列接続された高圧デバイス140乃至14nを有している。高圧デバイス140乃至14nは低圧PMOSトランジスタ PL_1 乃至 PL_n 及び PL_1' 乃至 PL_n' にバイアス電圧を供給する。図14に示されるように、電流ミラー1400はまた、高電圧 HV_Vcc を受けている。言い換えれば、各低圧PMOSトランジスタのソース端子及びベース端子は高電圧 HV_Vcc に結合されている。そして、低圧PMOSトランジスタ PL_1 乃至 PL_n のドレイン端子、それぞれ、高圧デバイス140乃至14nを介してPAMモジュール PAM_1 乃至 PAM_n に結合されている。PAMモジュール PAM_1 乃至 PAM_n の各々は図3に示される

40

50

MビットPAMモジュール30を含むことができる。低圧PMOSトランジスタPL1乃至PLnに結合された高圧デバイス140乃至14nは電流Ih1乃至Ihnを出力する。一方、低圧PMOSトランジスタPL1'乃至PLn'に結合された高圧デバイス140乃至14nは、電流Ih1'乃至Ihn'をPMOLEDパネルに出力する。PAMモジュールPAM1乃至PAMnは、高圧PMOSトランジスタPL1乃至PLnを通るドレイン電流Ih1乃至Ihnの量を制御し、それによって、高圧PMOSトランジスタPL1'乃至PLn'を通るドレイン電流Ih1'乃至Ihn'の量を制御する。低圧PMOSトランジスタの閾値電圧は高圧PMOSトランジスタのそれより安定しているため、電流ミラー1400は高解像度イメージを実現するために、安定した駆動電流Ih1'乃至Ihn'をPMOLEDパネルに供給することができる。各低圧PMOSトランジスタの大きさ(W/L比)はそれらの動作電圧限界に基づいて決定することができ、高圧デバイス140乃至14nを用いて低圧PMOSトランジスタPL1乃至PLn及びPL1'乃至PLn'のドレイン端子に適切なバイアス電圧を与えることができる。従って、電流ミラー1400は高電圧HV_Vccを受けているものの、やはり、高解像度イメージを実現するために安定した駆動電流Ih1'乃至Ihn'をPMOLEDパネルに供給することができる。

【0026】

図15は、電流ミラー1400の構成を基礎とする本発明の第5実施形態に従った、PMOLEDパネルを駆動するための電流ミラー1500を示している。図15に示されるように、電流ミラー1500は、低圧PMOSトランジスタPL1乃至PLn及びPL1'乃至PLn'をそれぞれバイアスするための2n個の高圧PMOSトランジスタPCH1乃至PCHn及びPCH1'乃至PCHn'を有している。高圧PMOSトランジスタPCH1乃至PCHn及びPCH1'乃至PCHn'のゲート端子は基準電圧Vrefに結合され、高圧PMOSトランジスタPCH1乃至PCHn及びPCH1'乃至PCHn'のソース端子は、それぞれ、低圧PMOSトランジスタPL1乃至PLn及びPL1'乃至PLn'のドレイン端子に結合されている。低圧PMOSトランジスタの閾値電圧は高圧PMOSトランジスタのそれより安定しているため、電流ミラー1500は高解像度イメージを実現するために、安定した駆動電流Ih1'乃至Ihn'をPMOLEDパネルに供給することができる。

【0027】

図16、17及び18はそれぞれ、電流ミラー1400の構成を基礎とする本発明の第6、7及び8の実施形態に従った電流ミラー1600、1700及び1800を示している。電流ミラー1500と同様に、電流ミラー1600乃至1800では高圧PMOSトランジスタPCH1乃至PCHn及びPCH1'乃至PCHn'が高圧デバイスに用いられている。しかし、高圧PMOSトランジスタPCH1乃至PCHn及びPCH1'乃至PCHn'のゲート端子は、電流ミラー1600乃至1800で異なるように結合されている。電流ミラー1600では図16に示されるように、高圧PMOSトランジスタPCH1乃至PCHnのゲート端子及びドレイン端子はともに結合され、高圧PMOSトランジスタPCH1'乃至PCHn'のゲート端子は基準電圧Vrefに結合されている。電流ミラー1700では図17に示されるように、高圧PMOSトランジスタPCH1乃至PCHnのゲート端子は第1基準電圧Vref1に結合され、高圧PMOSトランジスタPCH1'乃至PCHn'のゲート端子は第2基準電圧Vref2に結合されている。電流ミラー1800では図18に示されるように、高圧PMOSトランジスタPCH1乃至PCHnのゲート端子及びドレイン端子はともに結合されている。基準電圧Vref、Vref1及びVref2の生成のために、当業者に一般に知られている様々な回路が用いられ得る。

【0028】

図19は本発明に従った、AMOLEDパネルを駆動するためのシンクモード電流ミラー1900を示している。電流ミラー1900は電流源I_{DC}、n+1個の低圧NMOSトランジスタNL0乃至NLn(図19にはNL0、NL1、NL2及びNLnのみが示されている)、高圧デバイス190乃至19n(図19には190、191、192及び19nのみが示されている)、及びスイッチSW1乃至SWn(図19にはSW1、SW2及びSWnのみが示されている)を有している。従来の電流ミラー700と異なり、本発明に係る電流ミラー1900は低圧NMOSトランジスタNL0乃至NLn、及び、低圧NMOSトランジスタをそれぞれバイアスする高圧デバイス190乃至19nを有している。高圧デバイス190乃至19nは高圧NMOSトランジスタを含み得る。低圧NMOSト

10

20

30

40

50

ンジスタNL0のドレイン端子は高圧デバイス190を介して電流源 I_{DC} に結合され、低圧N M O S トランジスタNL1乃至NLnのドレイン端子は、それぞれ、高圧デバイス191乃至19n及びスイッチSW1乃至SWnを介してA M O L E D パネルに結合されている。電流ミラー1900はスイッチSW1乃至SWnを用いて駆動電流量を制御する。低圧N M O S トランジスタの閾値電圧は高圧N M O S トランジスタのそれより安定しているため、低圧N M O S トランジスタNL1乃至NLnを通る電流は大きなばらつきを持たない。従って、電流ミラー1900は高解像度イメージを実現するために、安定した駆動電流をA M O L E D パネルに供給することができる。

【 0 0 2 9 】

図 2 0 は本発明に従った、A M O L E D パネルを駆動するためのソースモード電流ミラー2000を示している。電流ミラー2000は電流源 I_{DC} 、 $n+1$ 個の低圧P M O S トランジスタPL0乃至PLn（図 2 0 にはPL0、PL1、PL2及びPLnのみが示されている）、高圧デバイス200乃至20n（図 2 0 には200、201、202及び20nのみが示されている）、及びスイッチSW1乃至SWn（図 2 0 にはSW1、SW2及びSWnのみが示されている）を有している。従来の電流ミラー800と異なり、本発明に係る電流ミラー2000は低圧P M O S トランジスタPL0乃至PLn、及び、低圧P M O S トランジスタPL0乃至PLnをそれぞれバイアスする高圧デバイス200乃至20nを有している。高圧デバイス200乃至20nは高圧P M O S トランジスタを含み得る。低圧P M O S トランジスタPL0のドレイン端子は高圧デバイス200を介して電流源 I_{DC} に結合され、低圧P M O S トランジスタPL1乃至PLnのドレイン端子は、それぞれ、高圧デバイス201乃至20n及びスイッチSW1乃至SWnを介してA M O L E D パネルに結合されている。電流ミラー2000はスイッチSW1乃至SWnを用いて駆動電流量を制御する。低圧P M O S トランジスタの閾値電圧は高圧P M O S トランジスタのそれより安定しているため、低圧P M O S トランジスタPL1乃至PLnを通る電流は大きなばらつきを持たない。従って、電流ミラー2000は高解像度イメージを実現するために、安定した駆動電流をA M O L E D パネルに供給することができる。

【 0 0 3 0 】

図 2 1、2 2、2 3 及び 2 4 はそれぞれ、シンクモード電流ミラー1900の構成を基礎とする本発明の第 9、1 0、1 1 及び 1 2 の実施形態に従った電流ミラー2100、2200、2300 及び 2400を示している。シンクモード電流ミラー1900と同様に、電流ミラー2100乃至2400では、高圧N M O S トランジスタNH0乃至NHnが高圧デバイスに用いられている。しかし、高圧N M O S トランジスタNH0乃至NHnのゲート端子は、電流ミラー2100乃至2400で異なるように結合されている。電流ミラー2100では図 2 1 に示されるように、高圧N M O S トランジスタNH0乃至NHnのゲート端子は基準電圧 V_{ref} に結合されている。電流ミラー2200では図 2 2 に示されるように、高圧N M O S トランジスタNH0のゲート端子及びソース端子はともに結合されている。電流ミラー2300では図 2 3 に示されるように、高圧N M O S トランジスタNH0のゲート端子は第 1 基準電圧 V_{ref1} に結合され、高圧N M O S トランジスタNH1乃至NHnのゲート端子は第 2 基準電圧 V_{ref2} に結合されている。電流ミラー2400では図 2 4 に示されるように、高圧N M O S トランジスタNH0のゲート端子及びソース端子はともに結合され、高圧N M O S トランジスタNH1乃至NHnのゲート端子は基準電圧 V_{ref} に結合されている。基準電圧 V_{ref} 、 V_{ref1} 及び V_{ref2} の生成のために、当業者に一般に知られている様々な回路が用いられ得る。

【 0 0 3 1 】

図 2 5、2 6、2 7 及び 2 8 はそれぞれ、ソースモード電流ミラー2000の構成を基礎とする本発明の第 1 3、1 4、1 5 及び 1 6 の実施形態に従った電流ミラー2500、2600、2700 及び 2800を示している。ソースモード電流ミラー2000と同様に、電流ミラー2500乃至2800では、高圧P M O S トランジスタPH0乃至PHnが高圧デバイスに用いられている。しかし、高圧P M O S トランジスタPH0乃至PHnのゲート端子は、電流ミラー2500乃至2800で異なるように結合されている。電流ミラー2500では図 2 5 に示されるように、高圧P M O S トランジスタPH0乃至PHnのゲート端子は基準電圧 V_{ref} に結合されている。電流ミラー2600では図 2 6 に示されるように、高圧P M O S トランジスタPH0のゲート端子及びソース端子

10

20

30

40

50

はともに結合されている。電流ミラー2700では図27に示されるように、高圧PMOSトランジスタPH0のゲート端子は第1基準電圧Vref1に結合され、高圧PMOSトランジスタPH1乃至PHnのゲート端子は第2基準電圧Vref2に結合されている。電流ミラー2800では図28に示されるように、高圧PMOSトランジスタPH0のゲート端子及びソース端子はともに結合され、高圧PMOSトランジスタPH1乃至PHnのゲート端子は基準電圧Vrefに結合されている。基準電圧Vref、Vref1及びVref2の生成のために、当業者に一般に知られている様々な回路が用いられ得る。

【0032】

要するに、本発明は電圧バイアスをもたらす高圧デバイスに接続されたLVトランジスタを用いる電流ミラーを提供する。本発明に従った電流ミラーは、OLEDパネルに用いられる高電圧を受けると同時に、安定した閾値電圧を有するLVトランジスタを用いて安定した駆動電流を供給することができるので、OLEDパネルは高解像度イメージを提供することが可能である。図9乃至28に例示された図は単に本発明の実施形態であり、本発明の範囲を限定するものではない。

10

【0033】

本発明の教示の範囲内で、デバイス及び方法に多数の変更及び代替が為され得ることは当業者が容易に気付くところである。従って、上述の開示は添付の請求項の境界及び範囲によってのみ限定されるものとして解釈されるべきものである。

【図面の簡単な説明】

【0034】

20

【図1】従来技術に係る、PWMによってOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図2】従来技術に係る、PWMによってOLEDパネルを駆動するための他の電流ミラーを示す回路図である。

【図3】MビットPAMモジュールを示す回路図である。

【図4】従来技術に係る、PAMによってOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図5】従来技術に係る、PAMによってOLEDパネルを駆動するための他の電流ミラーを示す回路図である。

【図6】従来技術に係る、PAMによってOLEDパネルを駆動するための他の電流ミラーを示す回路図である。

30

【図7】従来技術に係る、AMOLEDパネルを駆動するためのシンクモード電流ミラーを示す回路図である。

【図8】従来技術に係る、AMOLEDパネルを駆動するためのソースモード電流ミラーを示す回路図である。

【図9】本発明に従った、PWMによってPMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図10】本発明の第1実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図11】本発明の第2実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

40

【図12】本発明の第3実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図13】本発明の第4実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図14】本発明に従った、PAMによってPMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図15】本発明の第5実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図16】本発明の第6実施形態に従った、PMOLEDパネルを駆動するための電流ミ

50

ラーを示す回路図である。

【図 17】本発明の第 7 実施形態に従った、P M O L E D パネルを駆動するための電流ミラーを示す回路図である。

【図 18】本発明の第 8 実施形態に従った、P M O L E D パネルを駆動するための電流ミラーを示す回路図である。

【図 19】本発明に従った、A M O L E D パネルを駆動するためのシンクモード電流ミラーを示す回路図である。

【図 20】本発明に従った、A M O L E D パネルを駆動するためのソースモード電流ミラーを示す回路図である。

【図 21】本発明の第 9 実施形態に従った、A M O L E D パネルを駆動するためのシンクモード電流ミラーを示す回路図である。 10

【図 22】本発明の第 10 実施形態に従った、A M O L E D パネルを駆動するためのシンクモード電流ミラーを示す回路図である。

【図 23】本発明の第 11 実施形態に従った、A M O L E D パネルを駆動するためのシンクモード電流ミラーを示す回路図である。

【図 24】本発明の第 12 実施形態に従った、A M O L E D パネルを駆動するためのシンクモード電流ミラーを示す回路図である。

【図 25】本発明の第 13 実施形態に従った、A M O L E D パネルを駆動するためのソースモード電流ミラーを示す回路図である。

【図 26】本発明の第 14 実施形態に従った、A M O L E D パネルを駆動するためのソースモード電流ミラーを示す回路図である。 20

【図 27】本発明の第 15 実施形態に従った、A M O L E D パネルを駆動するためのソースモード電流ミラーを示す回路図である。

【図 28】本発明の第 16 実施形態に従った、A M O L E D パネルを駆動するためのソースモード電流ミラーを示す回路図である。

【符号の説明】

【 0 0 3 5 】

100、200、400、500、600、700、800、900、1000、1100、1200、1300、1400、1500、1600、1700、1800、1900、2000、2100、2200、2300、2400、2500、2600、2700、2800 ...

電流ミラー

30

30 ... P A M モジュール

90、91、92、9n、140、141、14n、190、191、192、19n、200、201、202、20n ... 高圧デバイス

PL0、PL1、PL2、PLn、PL1'、PL2'、PLn' ... 低圧 P M O S トランジスタ

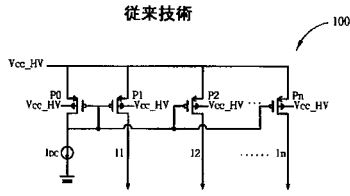
PH0、PH1、PH2、PHn、PCH1、PCH2、PCHn、PCH1'、PCH2'、PCHn' ... 高圧 P M O S トランジスタ

N0、N1、N2、Nm ... N M O S トランジスタ

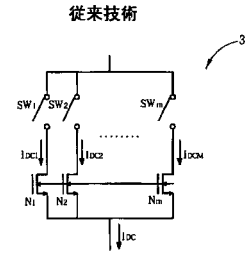
NL0、NL1、NL2、NLn ... 低圧 N M O S トランジスタ

NH0、NH1、NH2、NHn ... 高圧 N M O S トランジスタ

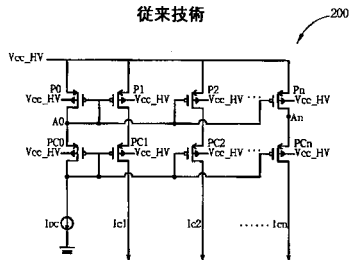
【 図 1 】



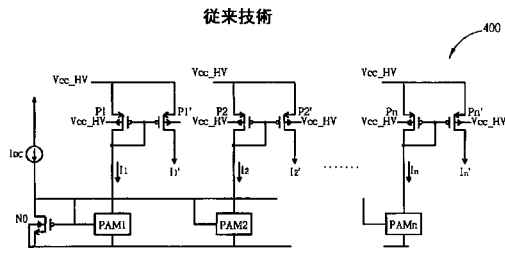
【 図 3 】



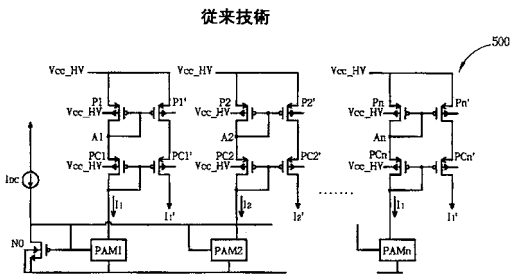
【 図 2 】



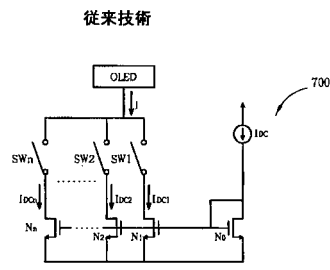
【 図 4 】



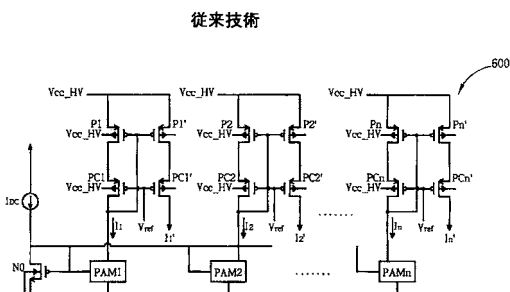
【 図 5 】



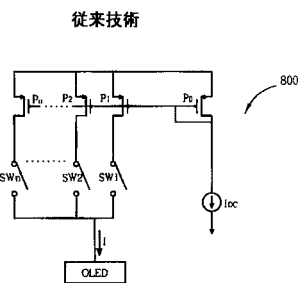
【 図 7 】



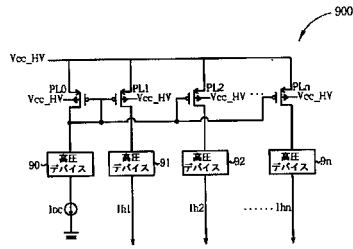
【 図 6 】



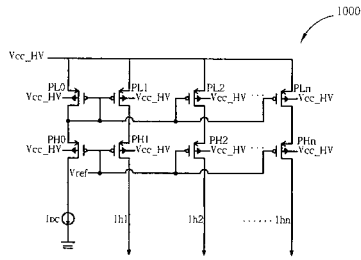
【 図 8 】



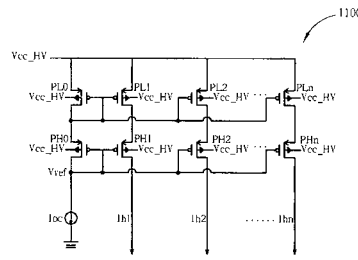
【図9】



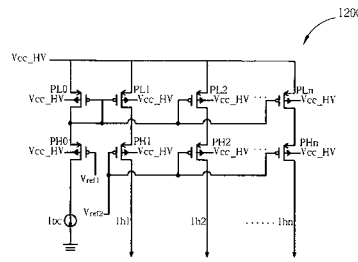
【図10】



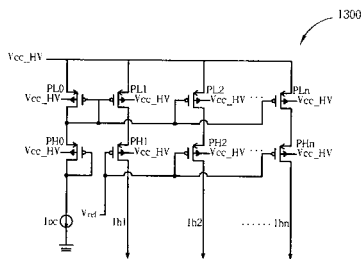
【図11】



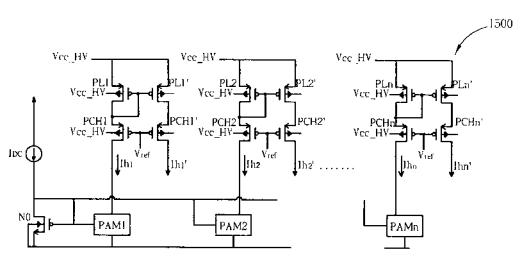
【図12】



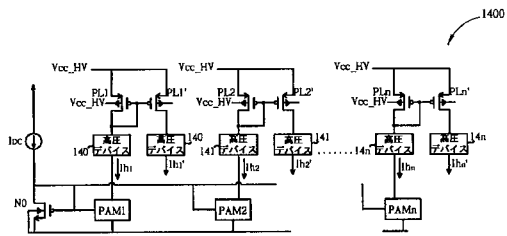
【図13】



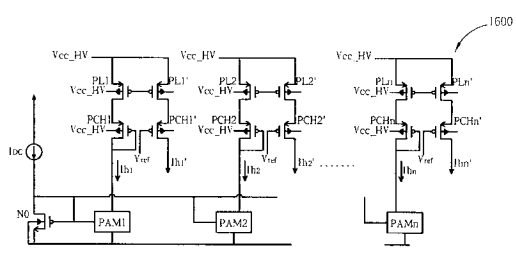
【図15】



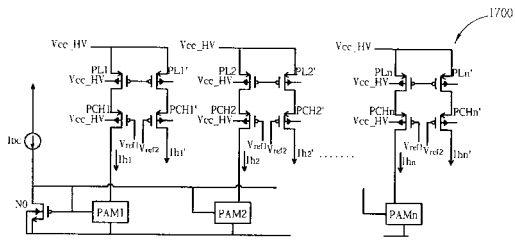
【図14】



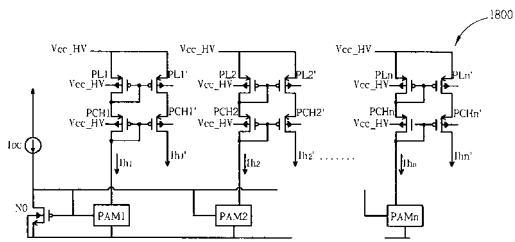
【図16】



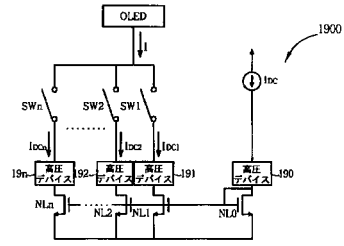
【図17】



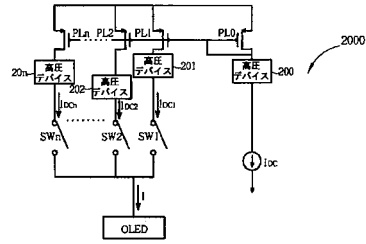
【図18】



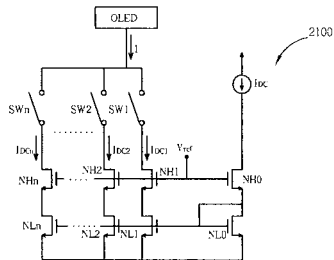
【図19】



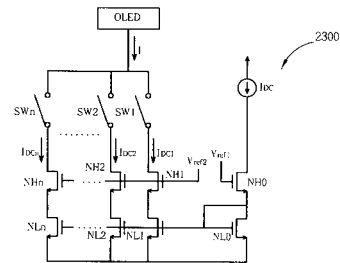
【図20】



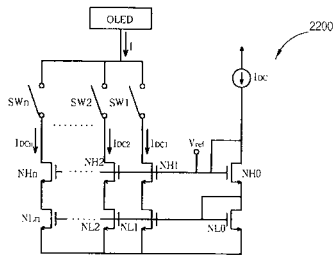
【図21】



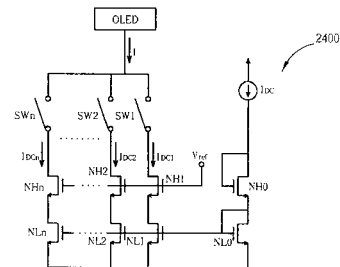
【図23】



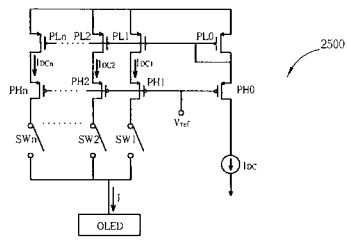
【図22】



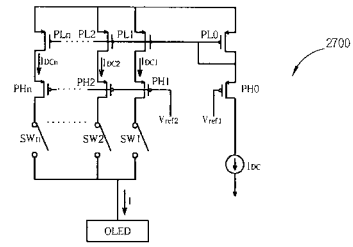
【図24】



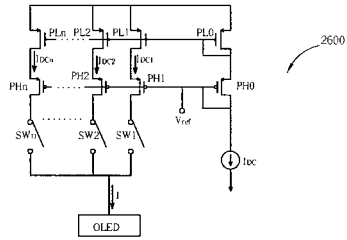
【 25 】



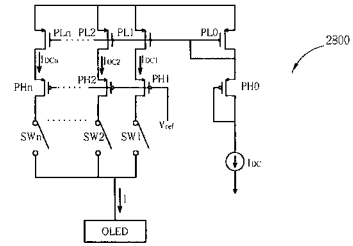
【 27 】



【 26 】



【 28 】



フロントページの続き

審査官 西島 篤宏

- (56)参考文献 特開2004-363813(JP,A)
特開2004-334170(JP,A)
特開2005-321759(JP,A)
特開2006-039577(JP,A)
特開平11-234060(JP,A)
特開2004-184985(JP,A)
特開2002-244618(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

