

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-2495  
(P2010-2495A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	5C080
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 622P	
	G09G 3/20 621A	
	G09G 3/20 611H	

審査請求 未請求 請求項の数 8 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2008-159345 (P2008-159345)  
(22) 出願日 平成20年6月18日 (2008.6.18)

(71) 出願人 000002185  
ソニー株式会社  
東京都港区港南1丁目7番1号  
(74) 代理人 100082131  
弁理士 稲本 義雄  
(74) 代理人 100121131  
弁理士 西川 孝  
(72) 発明者 山本 哲郎  
東京都港区港南1丁目7番1号 ソニー株式会社内  
(72) 発明者 内野 勝秀  
東京都港区港南1丁目7番1号 ソニー株式会社内  
Fターム(参考) 3K107 AA01 BB01 CC31 CC45 EE03  
HH02 HH04

最終頁に続く

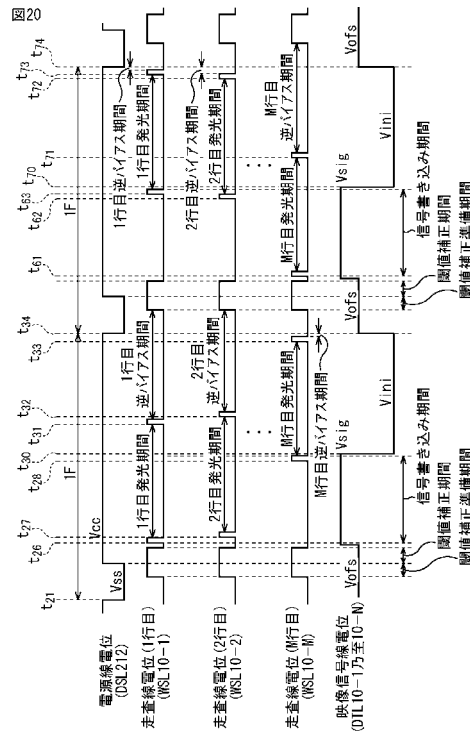
(54) 【発明の名称】 パネルおよび駆動制御方法

(57) 【要約】

【課題】低コスト化かつ画質の向上を実現することができるようにする。

【解決手段】各行の信号書き込みのタイミングを1フィールド毎に反転させ、同様に、各行の逆バイアス期間の開始タイミングも1フィールド毎に反転させる方式をいう。また、信号書き込み反転方式では、映像信号線DTL10-1乃至10-Nに印加する逆バイアス電位Viniは、2フィールド分の信号電圧を反映した電位とする。本発明は、例えば、ELパネルに適用できる。

【選択図】 図20



## 【特許請求の範囲】

## 【請求項 1】

駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の信号電位を保持するキャパシタとを備える画素回路を行列状に配置する画素アレイ部を備え、

前記画素アレイ部に対して、電源ラインを全画素で共通とし、1フィールドにおいて、閾値補正準備動作、閾値補正動作を全画素共通で行い、その後、行を単位とする信号書き込み動作を所定の順番で順次行っていく駆動制御を行うパネルにおいて、

前記駆動制御の少なくとも一部として、

書き込み動作が終了した行の前記駆動用トランジスタに対して逆バイアスをかける逆バイアス動作を行単位で行い、フィールド周期の整数倍である一定周期内での前記逆バイアス動作の総期間を各行で一致させる逆バイアス制御を含む

パネル。

## 【請求項 2】

前記逆バイアス制御は、信号書き込み動作のタイミング及び前記逆バイアス動作のタイミングについての前記行順番をフィールド毎に反転させる制御である

請求項 1 に記載のパネル。

## 【請求項 3】

前記逆バイアス制御は、各行のそれぞれについて、前記信号書き込み動作のタイミングおよび逆バイアスタイミングの位相を前記一定周期で変化させる制御である

請求項 1 に記載のパネル。

## 【請求項 4】

前記逆バイアス動作の開始タイミングは、前記サンプリング用トランジスタの状態がオン状態になるタイミングである

請求項 1 に記載のパネル。

## 【請求項 5】

前記逆バイアス制御は、

前記逆バイアスの開始時に前記駆動トランジスタのゲートに入力される電圧を、前記一定周期に含まれ得るフィールドのうちの 2 以上の信号電圧を反映した電圧とする制御を含む

請求項 1 に記載のパネル。

## 【請求項 6】

前記駆動制御は、

フィールド内で発生する閾値電圧の変動量を、フィールドで全画素共通で行う前記閾値補正動作によって補正する制御を含む

請求項 1 に記載のパネル。

## 【請求項 7】

前記逆バイアス制御は、

前記一定周期内で、前記駆動用トランジスタの正方向の閾値変動量と負方向の変動量とを一致させる制御を含む

請求項 1 に記載のパネル。

## 【請求項 8】

駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の信号電位を保持するキャパシタとを備える画素回路を行列状に配置する画素アレイ部を備えるパネルの駆動制御方法であって、

前記画素アレイ部に対して、電源ラインを全画素で共通とし、1フィールドにおいて、閾値補正準備動作、閾値補正動作を全画素共通で行い、その後、行を単位とする信号書き込み動作を所定の順番で順次行っていく駆動制御方法において、

前記駆動制御方法の少なくとも一部のステップとして、

10

20

30

40

50

書き込み動作が終了した行の前記駆動用トランジスタに対して逆バイアスをかける逆バイアス動作を行単位で行い、フィールド周期の整数倍である一定周期内での前記逆バイアス動作の総期間を各行で一致させる逆バイアス制御を

実行するステップを含む駆動制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パネルおよび駆動制御方法に関し、特に、低コスト化を実現することができるようにするパネルおよび駆動制御方法に関する。

【背景技術】

10

【0002】

発光素子として有機EL (Electro Luminescent) デバイスを用いた平面自発光型のパネル (ELパネル) の開発が近年盛んになっている。有機ELデバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ELデバイスは印加電圧が10V以下で駆動するため低消費電力である。また有機ELデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ELデバイスの応答速度は数 $\mu$ s程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機ELデバイスを画素に用いた平面自発光型のパネルの中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型平面自発光パネルは、例えば以下の特許文献1乃至5に記載されている。

20

【0004】

【特許文献1】特開2003-255856号公報

【特許文献2】特開2003-271095号公報

【特許文献3】特開2004-133240号公報

【特許文献4】特開2004-029791号公報

【特許文献5】特開2004-093682号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0005】

しかしながら、先行して普及してきている液晶ディスプレイ (LCD :Liquid Crystal Display) と比較すると、有機ELデバイスを画素に用いた平面自発光型のパネルについては、さらなる低コスト化が要請されている。

【0006】

本発明は、このような状況に鑑みてなされたものであり、低コスト化を実現することができるようにするものである。

【課題を解決するための手段】

【0007】

40

本発明の一側面のパネルは、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の信号電位を保持するキャパシタとを備える画素回路を行列状に配置する画素アレイ部を備え、前記画素アレイ部に対して、電源ラインを全画素で共通とし、1フィールドにおいて、閾値補正準備動作、閾値補正動作を全画素共通で行い、その後、行を単位とする信号書き込み動作を所定の行順番で順次行っていく駆動制御を行うパネルにおいて、前記駆動制御の少なくとも一部として、書き込み動作が終了した行の前記駆動用トランジスタに対して逆バイアスをかける逆バイアス動作を行単位で行い、フィールド周期の整数倍である一定周期内での前記逆バイアス動作の総期間を各行で一致させる逆バイアス制御を含む。

50

## 【 0 0 0 8 】

前記逆バイアス制御は、信号書き込み動作のタイミング及び前記逆バイアス動作のタイミングについての行順番をフィールド毎に反転させる制御である。

## 【 0 0 0 9 】

前記逆バイアス制御は、各行のそれぞれについて、前記信号書き込み動作のタイミングおよび逆バイアスタイミングの位相を前記一定周期で変化させる制御である。

## 【 0 0 1 0 】

前記逆バイアス動作の開始タイミングは、前記サンプリング用トランジスタの状態がオン状態になるタイミングである。

## 【 0 0 1 1 】

前記逆バイアス制御は、前記逆バイアスの開始時に前記駆動トランジスタのゲートに入力される電圧を、前記一定周期に含まれ得るフィールドのうちの2以上の信号電圧を反映した電圧とする制御を含む。

## 【 0 0 1 2 】

前記駆動制御は、フィールド内で発生する閾値電圧の変動量を、フィールドで全画素共通で行う前記閾値補正動作によって補正する制御を含む。

## 【 0 0 1 3 】

前記逆バイアス制御は、前記一定周期内で、前記駆動用トランジスタの正方向の閾値変動量と負方向の変動量とを一致させる制御を含む。

## 【 0 0 1 4 】

本発明の一側面の駆動制御方法は、上述した本発明のパネルに対応する駆動制御方法である。

## 【 0 0 1 5 】

本発明の一側面においては、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の信号電位を保持するキャパシタとを備える画素回路を行列状に配置する画素アレイ部を備えるパネルの駆動制御として、次のような制御が行われる。即ち、前記画素アレイ部に対して、電源ラインを全画素で共通とし、1フィールドにおいて、閾値補正準備動作、閾値補正動作を全画素共通で行い、その後、行を単位とする信号書き込み動作を所定の順番で順次行っていく駆動制御が行われる。そして、前記駆動制御の少なくとも一部として、書き込み動作が終了した行の前記駆動用トランジスタに対して逆バイアスをかける逆バイアス動作を行単位で行い、フィールド周期の整数倍である一定周期内での前記逆バイアス動作の総期間を各行で一致させる逆バイアス制御が実行される。

## 【 発明の効果 】

## 【 0 0 1 6 】

本発明の一側面によれば、ELパネルの低コスト化を実現することができる。

## 【 0 0 1 7 】

また、本発明の一側面によれば、画質を向上させることができる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 8 】

以下に本発明の実施の形態を説明するが、本発明の構成要件と、明細書又は図面に記載の実施の形態との対応関係を例示すると、次のようになる。この記載は、本発明をサポートする実施の形態が、明細書又は図面に記載されていることを確認するためのものである。従って、明細書又は図面中には記載されているが、本発明の構成要件に対応する実施の形態として、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その構成要件に対応するものではないことを意味するものではない。逆に、実施の形態が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その実施の形態が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

## 【 0 0 1 9 】

本発明の一側面のパネルは、駆動電流に応じて発光する発光素子（例えば、図5の発光素子34）と、映像信号をサンプリングするサンプリング用トランジスタ（例えば、図5のサンプリング用トランジスタ31）と、前記駆動電流を前記発光素子に供給する駆動用トランジスタ（例えば、図5の駆動用トランジスタ32）と、所定の信号電位を保持するキャパシタ（例えば、図5のキャパシタ33）とを備える画素回路を行列状に配置する画素アレイ部（例えば、図1の画素アレイ部102）を備え、

前記画素アレイ部に対して、電源ラインを全画素で共通とし（例えば、図16や図20に示されるように、電源線DSL212で共通とし）、1フィールドにおいて、閾値補正準備動作、閾値補正動作を全画素共通で行い、その後、行を単位とする信号書き込み動作を所定の順番で順次行っていく駆動制御（例えば、図20のタイミングで行っていく駆動制御）を行うパネル（例えば図16のELパネル200）において、

10

前記駆動制御の少なくとも一部として、

書き込み動作が終了した行の前記駆動用トランジスタに対して逆バイアスがかかる逆バイアス動作（例えば図20における1行目乃至M行目逆バイアス期間における動作）を行単位で行い、フィールド周期の整数倍である一定周期内での前記逆バイアス動作の総期間（例えば図20の例では、2Fの周期における各行目逆バイアス期間の総期間）を各行で一致させる逆バイアス制御を含む。

【0020】

以下、図を参照して、本発明の実施の形態について説明する。

【0021】

20

最初に、本発明の理解を容易にし、且つ、背景を明らかにするため、有機ELデバイスを用いたパネル（以下、ELパネルと称する）の基本となる構成と動作について図1乃至図15を参照して説明する。

【0022】

図1は、基本となるELパネルの構成例を示すブロック図である。

【0023】

図1のELパネル100は、 $N \times M$ 個の画素（画素回路）101 - (1, 1) 乃至 101 - (N, M) が行列状に配置されている画素アレイ部102と、これを駆動する駆動部である水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105とにより構成されている。

30

【0024】

また、ELパネル100は、M本の走査線WSL10 - 1 乃至 10 - M、M本の電源線DSL10 - 1 乃至 10 - M、およびN本の映像信号線DTL10 - 1 乃至 10 - Nも有する。

【0025】

なお、以下において、走査線WSL10 - 1 乃至 10 - M、映像信号線DTL10 - 1 乃至 10 - N、画素101 - (1, 1) 乃至 101 - (N, M)、または電源線DSL10 - 1 乃至 10 - Mのそれぞれを特に区別する必要がない場合、単に、走査線WSL10、映像信号線DTL10、画素101、または電源線DSL10と称する。

【0026】

40

画素101 - (1, 1) 乃至 101 - (N, M) のうちの第1行目の画素101 - (1, 1) 乃至 101 - (N, 1) は、走査線WSL10 - 1 でライトスキャナ104と、電源線DSL10 - 1 で電源スキャナ105とそれぞれ接続されている。また、画素101 - (1, 1) 乃至 101 - (N, M) のうちの第M行目の画素101 - (1, M) 乃至 101 - (N, M) は、走査線WSL10 - M でライトスキャナ104と、電源線DSL10 - M で電源スキャナ105とそれぞれ接続されている。画素101 - (1, 1) 乃至 101 - (N, M) の行方向に並ぶその他の画素101についても同様である。

【0027】

また、画素101 - (1, 1) 乃至 101 - (N, M) のうちの第1列目の画素101 - (1, 1) 乃至 101 - (1, M) は、映像信号線DTL10 - 1 で水平セクタ10

50

3と接続されている。画素101-(1,1)乃至101-(N,M)のうちの第N列目の画素101-(N,1)乃至101-(N,M)は、映像信号線DTL10-Nで水平セクタ103と接続されている。画素101-(1,1)乃至101-(N,M)の列方向に並ぶその他の画素101についても同様である。

【0028】

ライトスキャナ104は、走査線WSL10-1乃至10-Mに水平周期(1H)で順次制御信号を供給して画素101を行単位で線順次走査する。電源スキャナ105は、線順次走査に合わせて電源線DSL10-1乃至10-Mに第1電位(後述するVcc)または第2電位(後述するVss)の電源電圧を供給する。水平セクタ103は、線順次走査に合わせて各水平期間内(1H)で映像信号となる信号電位Vsigと基準電位Vofsとを切換えて列状の映像信号線DTL10-1乃至10-Mに供給する。

10

【0029】

図1のように構成されるELパネル100に、ソースドライバおよびゲートドライバとからなるドライバIC(Integrated Circuit)が付加されることによりパネルモジュールが構成され、さらに、パネルモジュールに、電源回路、画像LSI(Large Scale Integration)などを付加したものが表示装置となる。ELパネル100を含む表示装置は、例えば、携帯電話機、デジタルスチルカメラ、デジタルビデオカメラ、テレビジョン受像機、プリンタ等の表示部として使用することができる。

【0030】

図2は、図1に示したELパネル100に含まれるN×M個の画素101のうちの1つの画素101を拡大することにより、画素101の詳細な構成を示したブロック図である。

20

【0031】

なお、図2において画素101と接続されている走査線WSL10、映像信号線DTL10、および電源線DSL10は、図1から明らかなように、画素101-(n,m)(n=1,2,...,N,m=1,2,...,M)に対して、走査線WSL10-(n,m)、映像信号線DTL10-(n,m)、および電源線DSL10-(n,m)となる。

【0032】

図2に示す画素101の構成は、従来から用いられている構成であり、この構成を有する画素101を画素101aと呼ぶことにする。

30

【0033】

画素101aは、サンプリング用トランジスタ21、駆動用トランジスタ22、保持容量23、および有機EL素子である発光素子24を含む。ここで、サンプリング用トランジスタ21はNチャンネル型トランジスタであり、駆動用トランジスタ22はPチャンネル型トランジスタである。サンプリング用トランジスタ21のゲートは走査線WSL10に接続し、サンプリング用トランジスタ21のドレインが映像信号線DTL10に接続し、ソースが駆動用トランジスタ22のゲートgに接続している。

【0034】

駆動用トランジスタ22のソースsは電源線DSL10と接続され、ドレインdは発光素子24のアノードと接続されている。保持容量23は、駆動用トランジスタ22のソースsとゲートgの間に接続されている。また、発光素子24のカソードは接地されている。

40

【0035】

有機EL素子は電流発光素子であるため、発光素子24に流れる電流値をコントロールすることで、発色の階調を得ることができる。図2の画素101aでは、駆動用トランジスタ22のゲート印加電圧を変化させることで、発光素子24に流れる電流値をコントロールしている。

【0036】

より具体的には、駆動用トランジスタ22のソースsは電源線DSL10に接続されて

50

おり、常に飽和領域で動作するように設計されているので、駆動用トランジスタ 22 は、次式 (1) で表される電流値  $I_{ds}$  を流す定電流源として機能する。

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \quad \dots (1)$$

【0037】

式 (1) において、 $\mu$  は移動度を示し、 $W$  はゲート幅を表し、 $L$  はゲート長を表し、 $C_{ox}$  は単位面積あたりのゲート酸化膜容量を示す。また、 $V_{gs}$  は、駆動用トランジスタ 22 のゲート  $g$  とソース  $s$  間の電圧 (ゲートソース間電圧) であり、 $V_{th}$  は、駆動用トランジスタ 22 の閾値電圧である。なお、飽和領域とは、( $V_{gs} - V_{th} < V_{ds}$ ) の条件を満たした状態をいう ( $V_{ds}$  は、駆動用トランジスタ 22 のソース  $s$  とドレイン  $d$  間の電圧)。

10

【0038】

図 2 の画素 101a では、経時劣化により有機 EL 素子の  $I-V$  特性は、図 3 に示すように変化し、駆動用トランジスタ 22 のドレイン電圧は変化するが、駆動用トランジスタ 22 のゲートソース間電圧  $V_{gs}$  を一定に保つことで、発光素子 24 には一定量の電流  $I_{ds}$  が流れる。即ち、電流  $I_{ds}$  と、有機 EL 素子の発光輝度とは比例関係にあるので、輝度自体は経時劣化によってもほぼ変化しない。

【0039】

しかしながら、Pチャネル型トランジスタは、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができないため、より安価に画素回路を構成しようとする場合には、Nチャネル型トランジスタで構成する方が望ましい。

20

【0040】

そこで、図 4 の画素 101b に示すように、Pチャネル型である駆動用トランジスタ 22 を Nチャネル型の駆動用トランジスタ 25 に代えることが考えられる。

【0041】

すなわち、図 4 の画素 101b は、図 3 に示した画素 101a の構成のうち、Pチャネル型の駆動用トランジスタ 22 を Nチャネル型の駆動用トランジスタ 25 に代えた構成を示している。

30

【0042】

図 4 の画素 101b の構成では、駆動用トランジスタ 25 のソース  $s$  が発光素子 24 に接続されてしまうため、有機 EL 素子の経時変化とともに駆動用トランジスタ 25 のゲートソース間電圧  $V_{gs}$  が変化してしまう。これにより、発光素子 24 に流れる電流が変化し、発光輝度は変化してしまう。また、画素 101b ごとに駆動用トランジスタの閾値電圧  $V_{th}$  および移動度  $\mu$  は異なるため、式 (1) に応じて電流値  $I_{ds}$  にバラツキが生じ、発光輝度も画素ごとに異なることになる。

【0043】

そこで、有機 EL 素子の経時劣化、駆動用トランジスタの特性バラツキを防止し、かつ、画素 101 を構成する素子数が少ない回路として、後述する本発明を適用した EL パネルにも採用する図 5 に示す画素 101c の構成が、本出願人により提案されている。

40

【0044】

図 5 の画素 101c は、サンプリング用トランジスタ 31、駆動用トランジスタ 32、保持容量 33、および発光素子 34 を有する。サンプリング用トランジスタ 31 のゲートは走査線  $WSL10$  と接続され、サンプリング用トランジスタ 31 のドレインは映像信号線  $DTL10$  と接続されるとともに、ソースが駆動用トランジスタ 32 のゲート  $g$  と接続されている。

【0045】

駆動用トランジスタ 32 のソース  $s$  及びドレイン  $d$  の一方は発光素子 34 のアノードに接続され、他方が電源線  $DSL10$  に接続される。保持容量 33 は、駆動用トランジスタ

50

32のゲートgと発光素子34のアノードの間に接続されている。また、発光素子34のカソードは所定の電位V<sub>cat</sub>に設定されている配線35に接続されている。

【0046】

以上のように構成される画素101cにおいて、サンプリング用トランジスタ31が、走査線WSL10から供給された制御信号に応じてオン(導通)すると、保持容量33は、映像信号線DTL10を介して水平セクタ103から供給された電荷を蓄積して保持する。駆動用トランジスタ32は、第1電位V<sub>cc</sub>にある電源線DSL10から電流の供給を受け、保持容量33に保持された信号電位V<sub>sig</sub>に応じて駆動電流I<sub>ds</sub>を発光素子34に流す。発光素子34に所定の駆動電流I<sub>ds</sub>が流れることにより、画素101cが発光する。

10

【0047】

画素101cは、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ32の閾値電圧V<sub>th</sub>に相当する電圧を保持容量33に保持させる機能であり、これにより、ELパネル100の画素毎のばらつきの原因となる駆動用トランジスタ32の閾値電圧V<sub>th</sub>の影響をキャンセルすることができる。

【0048】

また、画素101cは、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、保持容量33に信号電位V<sub>sig</sub>を保持する際、駆動用トランジスタ32の移動度μに対する補正を信号電位V<sub>sig</sub>に加える機能である。

【0049】

さらに、画素101cは、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動用トランジスタ32のソース電位V<sub>s</sub>の変動にゲート電位V<sub>g</sub>を連動させる機能であり、これにより、駆動用トランジスタ32のゲートgとソースs間の電圧V<sub>gs</sub>を一定に維持することが出来る。

20

【0050】

なお、閾値補正機能、移動度補正機能、およびブートストラップ機能については、後述する図10、図14、および図15などでも説明する。

【0051】

以下では、単に画素101という場合であっても、画素101は、図5に示した画素101cの構成を有しているものとする。

30

【0052】

図6は、画素101の動作を説明するタイミングチャートである。

【0053】

図6は、同一の時間軸(図面横方向)に対する走査線WSL10、電源線DSL10、および映像信号線DTL10の電位変化と、それに対応する駆動用トランジスタ32のゲート電位V<sub>g</sub>及びソース電位V<sub>s</sub>の変化を示している。

【0054】

図6において、時刻t<sub>1</sub>までの期間は、前の水平期間(1H)の発光がなされている発光期間T<sub>1</sub>である。

【0055】

発光期間T<sub>1</sub>が終了した時刻t<sub>1</sub>から時刻t<sub>4</sub>までは、駆動用トランジスタ32のゲート電位V<sub>g</sub>及びソース電位V<sub>s</sub>を初期化することで閾電圧補正動作の準備を行う閾値補正準備期間T<sub>2</sub>である。

40

【0056】

閾値補正準備期間T<sub>2</sub>では、時刻t<sub>1</sub>において、電源スキャナ105が、電源線DSL10の電位を高電位であるV<sub>cc</sub>から低電位であるV<sub>ss</sub>に切換え、時刻t<sub>2</sub>において、水平セクタ103が、映像信号線DTL10の電位を信号電位V<sub>sig</sub>から基準電位V<sub>ofs</sub>に切換える。次に、時刻t<sub>3</sub>において、ライトスキャナ104が、走査線WSL10の電位を高電位に切換え、サンプリング用トランジスタ31をオンさせる。これにより、駆動用トランジスタ32のゲート電位V<sub>g</sub>が基準電位V<sub>ofs</sub>にリセットされ、且つ、ソ

50

ース電位  $V_s$  が映像信号線  $D T L 1 0$  の低電位  $V_{ss}$  にリセットされる。

【0057】

時刻  $t_4$  から時刻  $t_5$  までは、閾値補正動作を行う閾値補正期間  $T_3$  である。閾値補正期間  $T_3$  では、時刻  $t_4$  において、電源スキャナ  $1 0 5$  により、電源線  $D S L 1 0$  の電位が高電位  $V_{cc}$  に切換えられ、閾値電圧  $V_{th}$  に相当する電圧が、駆動用トランジスタ  $3 2$  のゲート  $g$  とソース  $s$  との間に接続された保持容量  $3 3$  に書き込まれる。

【0058】

時刻  $t_5$  から時刻  $t_7$  までの書き込み + 移動度補正準備期間  $T_4$  では、走査線  $W S L 1 0$  の電位が高電位から低電位一旦切換えられるとともに、時刻  $t_7$  の前の時刻  $t_6$  において、水平セクタ  $1 0 3$  が、映像信号線  $D T L 1 0$  の電位を基準電位  $V_{ofs}$  から階調に応じた信号電位  $V_{sig}$  に切換える。

【0059】

そして、時刻  $t_7$  から時刻  $t_8$  までの書き込み + 移動度補正期間  $T_5$  において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻  $t_7$  から時刻  $t_8$  までの間、走査線  $W S L 1 0$  の電位が高電位に設定され、これにより、映像信号の信号電位  $V_{sig}$  が閾値電圧  $V_{th}$  に足し込まれる形で保持容量  $3 3$  に書き込まれると共に、移動度補正用の電圧  $V_{\mu}$  が保持容量  $3 3$  に保持された電圧から差し引かれる。

【0060】

書き込み + 移動度補正期間  $T_5$  終了後の時刻  $t_8$  において、走査線  $W S L 1 0$  の電位が低電位に設定され、それ以降、発光期間  $T_6$  として、信号電圧  $V_{sig}$  に応じた発光輝度で発光素子  $3 4$  が発光する。信号電圧  $V_{sig}$  は、閾値電圧  $V_{th}$  に相当する電圧と移動度補正用の電圧  $V_{\mu}$  とによって調整されているため、発光素子  $3 4$  の発光輝度は駆動用トランジスタ  $3 2$  の閾値電圧  $V_{th}$  や移動度  $\mu$  のばらつきの影響を受けない。

【0061】

なお、発光期間  $T_6$  の最初でブートストラップ動作が行われ、駆動用トランジスタ  $3 2$  のゲート ソース間電圧  $V_{gs} = V_{sig} + V_{th} - V_{\mu}$  を一定に維持したまま、駆動用トランジスタ  $3 2$  のゲート電位  $V_g$  及びソース電位  $V_s$  が上昇する。

【0062】

また、時刻  $t_8$  から所定時間経過後の時刻  $t_9$  において、映像信号線  $D T L 1 0$  の電位が、信号電位  $V_{sig}$  から基準電位  $V_{ofs}$  に落とされる。図 6 において、時刻  $t_2$  から時刻  $t_9$  までの期間は水平期間 ( $1 H$ ) に相当する。

【0063】

以上のようにして、画素  $1 0 1$  として画素  $1 0 1 c$  の構成を有する  $E L$  パネル  $1 0 0$  では、駆動用トランジスタ  $3 2$  の閾値電圧  $V_{th}$  や移動度  $\mu$  のばらつきの影響を受けることがなく、発光素子  $3 4$  を発光させることができる。

【0064】

図 7 乃至図 1 5 を参照して、画素  $1 0 1$  ( $1 0 1 c$ ) の動作についてさらに詳細に説明する。

【0065】

図 7 は、発光期間  $T_1$  の画素  $1 0 1$  の状態を示している。

【0066】

発光期間  $T_1$  では、サンプリング用トランジスタ  $3 1$  がオフ (走査線  $W S L 1 0$  の電位が低電位)、かつ電源線  $D S L 1 0$  の電位が高電位  $V_{cc}$  となっており、駆動用トランジスタ  $3 2$  が駆動電流  $I_{ds}$  を発光素子  $3 4$  に供給している。このとき駆動用トランジスタ  $3 2$  は飽和領域で動作するように設定されているため、発光素子  $3 4$  に流れる駆動電流  $I_{ds}$  は、駆動用トランジスタ  $3 2$  のゲートソース間電圧  $V_{gs}$  に応じて式 (1) で表される値をとる。

【0067】

そして、閾値補正準備期間  $T_2$  の最初の時刻  $t_1$  において、図 8 に示すように、電源スキャナ  $1 0 5$  は、電源線  $D S L 1 0$  の電位を高電位  $V_{cc}$  (第 1 電位) から低電位  $V_{ss}$  (

10

20

30

40

50

第2電位)に切替える。このとき電源線DSL10の電位 $V_{ss}$ が発光素子34の閾値電圧 $V_{thel}$ とカソード電位 $V_{cat}$ の和よりも小さければ( $V_{ss} < V_{thel} + V_{cat}$ )発光素子34は消光し、駆動用トランジスタ32の電源線DSL10と接続された側がソースsとなる。また、発光素子34のアノードは電位 $V_{ss}$ に充電される。

【0068】

次に、図9に示すように、時刻 $t_2$ において、水平セレクタ103が映像信号線DTL10の電位を基準電位 $V_{ofs}$ にした後、時刻 $t_3$ において、ライトスキャナ104が、走査線WSL10の電位を高電位に切替えることより、サンプリング用トランジスタ31をオンにする。これにより、駆動用トランジスタ32のゲート電位 $V_g$ は $V_{ofs}$ となり、ゲートソース間電圧 $V_{gs}$ は、 $V_{ofs} - V_{ss}$ という値をとる。ここで、駆動用トランジスタ32のゲートソース間電圧 $V_{gs}$ である( $V_{ofs} - V_{ss}$ )は、次の閾値補正期間 $T_3$ で閾値補正動作を行うため、閾値電圧 $V_{th}$ よりも大である( $V_{ofs} - V_{ss} > V_{th}$ )必要がある。逆に言うと、( $V_{ofs} - V_{ss} > V_{th}$ )の条件を満たすように、電位 $V_{ofs}$ および $V_{ss}$ が設定される。

10

【0069】

そして、閾値補正期間 $T_3$ の最初の時刻 $t_4$ において、図10に示すように、電源スキャナ105が電源線DSL10の電位を低電位 $V_{ss}$ から高電位 $V_{cc}$ に切替えると、駆動用トランジスタ32の発光素子34のアノードと接続されている側がソースsとなり、図10において1点鎖線で示されるように電流が流れる。

【0070】

ここで、発光素子34は等価的にダイオード34Aと寄生容量を $C_{el}$ とする保持容量34Bで表すことができ、発光素子34のリーク電流が駆動用トランジスタ32に流れる電流よりもかなり小さい( $V_{el} - V_{cat} + V_{thel}$ を満たす)という条件の下では、駆動用トランジスタ32に流れる電流は保持容量33と34Bを充電するために使用される。発光素子34のアノード電位 $V_{el}$ (駆動用トランジスタ32のソース電位 $V_s$ )は、図11に示されるように、駆動用トランジスタ32を流れる電流に応じて上昇する。所定時間経過後、駆動用トランジスタ32のゲートソース間電圧 $V_{gs}$ が $V_{th}$ という値をとる。また、このときの発光素子34のアノード電位 $V_{el}$ は( $V_{ofs} - V_{th}$ )である。ここで、発光素子34のアノード電位 $V_{el}$ は、発光素子34の閾値電圧 $V_{thel}$ とカソード電位 $V_{cat}$ の和以下となっている( $V_{el} = (V_{ofs} - V_{th}) - (V_{cat} + V_{thel})$ )。

20

30

【0071】

その後、時刻 $t_5$ において、図12に示されるように、走査線WSL10の電位が高電位から低電位に切替えられ、サンプリング用トランジスタ31がオフして閾値補正動作(閾値補正期間 $T_3$ )が完了する。

【0072】

続く書き込み+移動度補正準備期間 $T_4$ の時刻 $t_6$ において、水平セレクタ103によって、映像信号線DTL10の電位が、基準電位 $V_{ofs}$ から、階調に応じた信号電位 $V_{sig}$ に切替えられた(図12)後、書き込み+移動度補正期間 $T_5$ に入り、図13に示されるように、時刻 $t_7$ において、走査線WSL10の電位が高電位に設定されることでサンプリング用トランジスタ31がオンして、映像信号の書き込みと移動度補正動作が行われる。駆動用トランジスタ32のゲート電位 $V_g$ は、サンプリング用トランジスタ31がオンしているため信号電位 $V_{sig}$ となるが、サンプリング用トランジスタ31には電源線DSL10からの電流が流れるため、駆動用トランジスタ32のソース電位 $V_s$ は、時間とともに上昇していく。

40

【0073】

駆動用トランジスタ32の閾値補正動作は既に完了している。よって、式(1)の右辺の閾値補正の項、即ち( $V_{sig} - V_{ofs}$ )<sup>2</sup>の項の影響はなくなるので、駆動用トランジスタ32が流す電流 $I_{ds}$ は移動度 $\mu$ を反映したものとなる。具体的には、図14に示されるように、移動度 $\mu$ が大きい場合には、駆動用トランジスタ32が流す電流 $I_{ds}$

50

は大きくなり、ソース電位  $V_s$  の上昇も早い。一方、移動度  $\mu$  が小さい場合には、駆動用トランジスタ 32 が流す電流  $I_{ds}$  は小さくなり、ソース電位  $V_s$  の上昇は遅くなる。換言すると、一定時間経過時点では、移動度  $\mu$  が大きい場合には、駆動用トランジスタ 32 のソース電位  $V_s$  の上昇量  $V_\mu$  (電位補正值) は大きくなり、移動度  $\mu$  が小さい場合には、駆動用トランジスタ 32 のソース電位  $V_s$  の上昇量  $V_\mu$  (電位補正值) は小さくなる。これによって、各画素 101 の駆動用トランジスタ 32 のゲートソース間電圧  $V_{gs}$  のバラツキが、移動度  $\mu$  を反映して小さくなり、一定時間経過後の各画素 101 のゲートソース間電圧  $V_{gs}$  は、移動度  $\mu$  のバラツキを完全に補正した電圧となる。

【0074】

時刻  $t_8$  において、走査線  $WSL10$  の電位が低電位に設定されることでサンプリング用トランジスタ 31 がオフして、書き込み + 移動度補正期間  $T_5$  が終了し、発光期間  $T_6$  となる(図15)。

10

【0075】

発光期間  $T_6$  では、駆動用トランジスタ 32 のゲートソース間電圧  $V_{gs}$  は一定であるので、駆動用トランジスタ 32 は一定電流  $I_{ds}'$  を発光素子 34 に供給し、発光素子 34 のアノード電位  $V_{el}$  は、発光素子 34 に一定電流  $I_{ds}'$  という電流が流れる電圧  $V_x$  まで上昇し、発光素子 34 は発光する。駆動用トランジスタ 32 のソース電位  $V_s$  が上昇すると、保持容量 33 のブートストラップ機能により、駆動用トランジスタ 32 のゲート電位  $V_g$  も連動して上昇する。

【0076】

20

画素 101c を採用した画素 101 においても、発光素子 34 は、発光時間が長くなると、 $I-V$  特性は変化する。そのため、図15に示されるB点の電位も時間とともに変化する。しかしながら、駆動用トランジスタ 32 のゲートソース間電圧  $V_{gs}$  は一定値に保たれているので、発光素子 34 に流れる電流は変化しない。したがって、発光素子の  $I-V$  特性が経時劣化しても、一定電流  $I_{ds}'$  が流れ続けるので、発光素子 34 の輝度が変化することはない。

【0077】

以上のように、画素 101 (101c) を備える図5のELパネル100においては、閾値補正機能および移動度補正機能によって画素 101 ごとの閾値電圧  $V_{th}$  及び移動度  $\mu$  の相違を補正することができる。また、発光素子 34 の経時変動(劣化)も補正することができる。

30

【0078】

これにより、図5のELパネル100を用いた表示装置では、高品位な画質を得ることが可能である。

【0079】

しかしながら、図5のELパネル100の構成を、液晶ディスプレイ(LCD)の構成と比較すると、液晶ディスプレイには電源線  $DSL10$  に相当する制御線がなく、ELパネル100は制御線の数が多いということが言える。

【0080】

そこで、より構成を簡素化し、より低コスト化を図ったELパネルとして、図16のELパネル200を示す。

40

【0081】

即ち、図16は、本発明を適用したELパネルの一実施の形態の構成例を示すブロック図である。なお、図16において、図1と対応する部分については同一の符号を付しており、その説明を適宜省略する。

【0082】

図1のELパネル100では、各行の画素 101 に対して個別に設けられていた電源線  $DSL10-1$  乃至  $10-M$  に代えて、ELパネル200では、全ての画素 101 に対して共通の電源線  $DSL212$  が設けられており、第1電位としての高電位  $V_{cc}$  または第2電位としての低電位  $V_{ss}$  の電源電圧が、電源供給部 211 から電源線  $DSL212$  を

50

介して、全ての画素 101 に一律に供給される。すなわち、電源供給部 211 は、画素アレイ部 102 の全ての画素 101 に対して同一の電源電圧制御を行う。

【0083】

EL パネル 200 の電源供給部 211 および電源線 212 以外の構成は、図 1 の EL パネル 100 と同様である。ただし、画素アレイ部 102 の各画素 101 は、図 5 に示した画素 101c の構成を有している。

【0084】

次に、図 17 を参照して、EL パネル 200 で基本となる駆動制御方式（以下、基本駆動制御方式という）について説明する。図 17 は、電源線 DSL 212 を介して電源供給部 211 から全ての画素 101 に電源電圧が供給されるタイミングと、各行の画素 101 の発光タイミングを示している。

10

【0085】

図 17 において、時刻  $t_{21}$  から時刻  $t_{34}$  までの期間が 1 枚の映像を表示するための単位時間（以下、1 フィールド期間（1F）という）であり、そのうちの時刻  $t_{21}$  から時刻  $t_{25}$  までの期間が全画素が共通に制御される期間（以下、全画素共通期間という）である。また、時刻  $t_{25}$  から時刻  $t_{34}$  までの期間は全画素 101 に対して線順次に走査を行う線順次走査期間である。

【0086】

最初に、全画素共通期間の時刻  $t_{21}$  において、電源供給部 211 は、電源線 DSL 212 に供給する電位を高電位  $V_{cc}$  から低電位  $V_{ss}$  に切換える。なお、時刻  $t_{21}$  においては、走査線 WSL 10-1 乃至 10-M の各電位および映像信号線 DTL 10-1 乃至 10-N の各電位は、低電位側に設定されている。

20

【0087】

そして、時刻  $t_{22}$  において、ライトスキャナ 104 が、供給する電位を走査線 WSL 10-1 乃至 10-M に対して同時に高電位に切換える。これにより、図 9 を参照して説明したように、駆動用トランジスタ 32 のゲート電位  $V_g$  は  $V_{ofs}$  となり、ソース電位  $V_s$  は  $V_{ss}$  となる。その結果、ゲートソース間電圧  $V_{gs}$  が駆動用トランジスタ 32 の閾値電圧  $V_{th}$  よりも大である  $V_{ofs} - V_{ss} (> V_{th})$  という値をとることになり、閾値補正を行う前の閾値補正準備動作が行われている。したがって、時刻  $t_{22}$  から時刻  $t_{23}$  までは閾値補正準備期間である。

30

【0088】

閾値補正の準備が完了すると、時刻  $t_{23}$  において、電源供給部 211 が電源線 DSL 212 に供給する電位を低電位  $V_{ss}$  から高電位  $V_{cc}$  に切換えることにより、全画素 101 で同時に閾値補正動作が開始される。すなわち、図 10 を参照して説明したように、発光素子 34 のアノード電位  $V_{el}$ （駆動用トランジスタ 32 のソース電位）が、駆動用トランジスタ 32 を流れる電流に応じて上昇し、所定時間後には  $(V_{ofs} - V_{th})$  に等しくなる。時刻  $t_{24}$  には、走査線 WSL 10-1 乃至 10-M それぞれに供給する電位が、ライトスキャナ 104 により、一斉に低電位に切換えられ、閾値補正動作が終了する。

【0089】

そして、時刻  $t_{25}$  から、画素 101 に対して線順次に映像信号を書き込む線順次走査期間が開始する。

40

【0090】

すなわち、時刻  $t_{25}$  から時刻  $t_{30}$  までの期間、映像信号線 DTL 10-1 乃至 10-N それぞれの電位が階調に応じた信号電位  $V_{sig}$  に設定され、その間に、ライトスキャナ 104 は、走査線 WSL 10-1 乃至 10-M に対して順番に（線順次に）、供給する電位を  $T_s$  時間だけ高電位に切換える。 $T_s$  時間だけ高電位に切換えられた行の画素 101 の発光素子 34 は発光する。

【0091】

なお、走査線 WSL 10 の電位が高電位に設定されるあいだは、図 13 を参照して説明したように、駆動用トランジスタ 32 のソース電位  $V_s$  も上昇していくので、映像信号の

50

書き込みとともに移動度補正も行われている。

【0092】

M行目の走査線WSL10-Mに対する高電位の電源電圧の供給が終了すると、時刻 $t_{30}$ に、映像信号線DTL10-1乃至10-Nそれぞれの電位が一斉に基準電位Vofsに切替えられる。

【0093】

そして、基準電位Vofsが映像信号線DTL10-1乃至10-Nそれぞれに対して供給されている状態で、時刻 $t_{31}$ から、ライトスキャナ104は、走査線WSL10-1乃至10-Mに対して順番に(線順次に)、Ts時間だけ高電位に切替える。Ts時間だけ高電位に切換えられた行の画素101では、駆動用トランジスタ32のゲートgに基準電位Vofsが供給されることとなり、駆動用トランジスタ32のゲートソース間電圧Vgsが閾値電圧Vth以下となって、発光素子34が消光する。ここで、発光素子34を消光させるためには、駆動用トランジスタ32のゲートgに供給する電位は、必ずしも基準電位Vofsである必要はなく、発光素子34のカソード電位Vcatと発光素子34の閾値電圧Vthel、および駆動用トランジスタ32の閾値電圧Vthの和( $Vcat + Vthel + Vth$ )以下であればよいが、閾値補正の基準電位Vofsと同一にすることで、制御を簡単にすることができる。

10

【0094】

基本制御方式においては、基準電位Vofsが映像信号線DTL10に供給されている状態でサンプリング用トランジスタ31をオンすることで発光素子34を消光させ、各行の発光期間を制御している。したがって、発光期間は、信号電位Vsigが映像信号線DTL10に供給されている状態におけるサンプリング用トランジスタ31のオフから、基準電位Vofsが映像信号線DTL10に供給されている状態におけるサンプリング用トランジスタ31のオンまでである。なお、発光期間は各行で同一とする必要があるため、最終行のM行目の映像信号の書き込みは、1フィールド期間の終了時から発光期間だけ前に行われる必要がある。

20

【0095】

以上のように、電源ラインである電源線DSL212を全画素共通として、全画素共通期間内に、閾値補正準備動作と閾値補正動作を全画素で同時に(一斉に)行うことにより、ELパネル200の回路を簡素化し、電源制御を容易にすることが可能となるので、パネル全体のコストを低減させることが可能となる。

30

【0096】

ここで各画素の駆動用トランジスタ32について考える。

【0097】

図18のAは、駆動用トランジスタ32に正バイアスをかけたときの、そのゲートソース間の電圧Vgsと電流値Idsとの関係を示す図である。図18のBは、駆動用トランジスタ32に負バイアスをかけたときの、そのソースsとドレインd間の電圧Vdsと電流値Idsとの関係を示す図である。図18のA、Bとも、実線は、初期状態の特性を示しており、点線は、経時変化後の特性を示している。

40

【0098】

駆動用トランジスタ32は、ゲートgにバイアスをかけることで、その閾値電圧Vthが変動する。この閾値電圧Vthの変動は、図18のA、Bにおいては、実線から点線に水平方向に引かれた矢印として示されている。即ち、図18のAの矢印によって示されるように、閾値電圧Vthは、正バイアスならば正方向に変動する。これに対して、図18のBの矢印によって示されるように、閾値電圧Vthは、負バイアスならば負方向に変動する。特に、駆動用トランジスタ32がアモルファスシリコンで作成されている場合には、時間に対する閾値電圧Vthの変動量が非常に大きい。

【0099】

本実施の形態では、上述の如く、駆動トランジスタ32の閾値電圧Vthを補正する方式をとっているが、閾値電圧補正動作前に駆動トランジスタ32のゲートソース間電圧V

50

$g_s$  を閾値電圧  $V_{th}$  以上にする必要がある。

【0100】

なぜならば、ゲートソース間電圧  $V_{gs}$  が閾値電圧  $V_{th}$  以下であると、電流  $I_{ds}$  としてはリーク電流しか流れなくなるため、駆動トランジスタ 32 のゲートソース間電圧  $V_{gs}$  は、 $V_{ofs} - V_{ss}$  ( $V_{ofs}$  と  $V_{ss}$  は例えば図 17 参照) からほとんど変化しなくなるため、閾値補正動作ができないという問題が発生するからである。

【0101】

そこで、かかる問題の解決策として、EL 素子を消光する際に EL 素子に信号電圧に応じた逆バイアスを印加して閾値電圧の変動量を小さくするという手法を採用することができる。具体的には例えば、図 19 は、かかる手法を、図 17 の基本駆動制御方式に適用した場合のタイミングチャートを示している。

10

【0102】

逆バイアスをかける時間(以下、逆バイアス期間という)は、EL 素子を消光してから、電源線  $DSL_{212}$  を高電位である  $V_{cc}$  から低電位である  $V_{ss}$  に切替えるまでの期間となる。このため、図 19 中では、1 行目逆バイアス期間が最も長く、最終行目 (= M 行目) 逆バイアス期間が最も短くなる。このため、各行の各 EL 素子はたとえ同一の輝度で発光していても、逆バイアス期間が行毎に異なってしまうという問題(以下、逆バイアス行間アンバランス問題という)が発生してしまう。

【0103】

そこで、本発明人は、逆バイアス行間アンバランス問題を解消すべく、図 20 に示されるような駆動制御方式(以下、信号書き込み反転方式)をさらに発明した。即ち、図 20 は、本発明が適用される駆動制御方式の一例である信号書き込み反転方式を説明するタイミングチャートである。

20

【0104】

なお、図 21 は、かかる信号書き込み反転方式を模式的に説明する図である。図 21 において、四角の形状は 1 つのフィールドを示しており、各フィールドの左辺近傍の数字は行(ライン)を示している。

【0105】

図 20 や図 21 に示されるように、信号書き込み反転方式とは、駆動制御方式自体は図 19 の方式を踏襲するが、各行の信号書き込みのタイミングを 1 フィールド毎に反転させ、同様に、各行の逆バイアス期間の開始タイミングも 1 フィールド毎に反転させる方式をいう。また、信号書き込み反転方式では、映像信号線  $DTL_{10-1}$  乃至  $10-N$  に対して印加する逆バイアス電位の電位  $V_{ini}$  (以下、逆バイアス電位  $V_{ini}$  という)は、2 フィールド分の信号電圧  $V_{sig}$  を反映した電位とする。具体的には例えば、2 フィールド間の変化が、白 白のときが、逆バイアス電位の絶対値  $|V_{ini}|$  は最大値となり、黒 黒のときが、逆バイアス電位の絶対値  $|V_{ini}|$  は最小値となる。

30

【0106】

具体的には例えば、図 20 に示されるように、2 フィールドのうちの最初のフィールドの信号書き込み期間では、映像信号線  $DTL_{10-1}$  乃至  $10-N$  それぞれの電位が階調に応じた信号電圧  $V_{sig}$  に設定され、その間に、ライトスキャナ 104 は、走査線  $WSL_{10-1}$  乃至  $10-M$  に対して順番に(線順次に)、供給する電位を  $T_s$  時間だけ高電位に切替える。 $T_s$  時間だけ高電位に切替えられた行の画素 101 の発光素子 34 は発光する。

40

【0107】

詳細には、最初に、1 行目の走査線  $WSL_{10-1}$  の電位が時刻  $t_{26}$  で高電位に切り替えられ  $T_s$  時間経過後、1 行目発光期間が開始する。次に、2 行目の走査線  $WSL_{10-2}$  の電位が時刻  $t_{27}$  で高電位に切り替えられ  $T_s$  時間経過後、2 行目発光期間が開始する。その後、各行の発光期間が順次開始され、最終的に、最終行(M 行)目の走査線  $WSL_{10-M}$  の電位が時刻  $t_{28}$  で高電位に切り替えられ  $T_s$  時間経過後、M 行目発光期間が開始する。

50

## 【0108】

その後、時刻  $t_{30}$  に、映像信号線 DTL10-1 乃至 10-N それぞれの電位が一斉に、基準電位  $V_{ofs}$  よりも低い逆バイアス電位  $V_{ini}$  に切替えられる。これにより、各行毎に、その発光期間が順次終了していく度に、その順番で逆バイアス期間に順次移行していく（図21の左側のフィールドの矢印参照）。

## 【0109】

即ち、逆バイアス電位  $V_{ini}$  が映像信号線 DTL10-1 乃至 10-N それぞれに対して供給されている状態で、時刻  $t_{31}$  から、ライトスキャナ104は、走査線 WSL10-1 乃至 10-M に対して順番に（線順次に）、Ts 時間だけ高電位に切替える。Ts 時間だけ高電位に切換えられた行の画素101では、駆動用トランジスタ32のゲートgに逆バイアス電位  $V_{ini}$  が供給されることとなり、駆動用トランジスタ32のゲートソース間電圧  $V_{gs}$  が閾値電圧  $V_{th}$  以下となって、発光素子34が消光し、逆バイアス期間に移行する。

10

## 【0110】

詳細には、最初に、1行目の走査線 WSL10-1 が高電位に切り替えられた時刻  $t_{31}$  で1行目発光期間が終了し、Ts 時間経過後に1行目逆バイアス期間に移行する。次に、2行目の走査線 WSL10-2 が高電位に切り替えられた時刻  $t_{32}$  で2行目発光期間が終了し、Ts 時間経過後に2行目逆バイアス期間に移行する。その後、発光期間終了から逆バイアス期間移行への動作が各行毎にその順番で順次行われ、最終的に、最終行（M行）の走査線 WSL10-M が高電位に切り替えられた時刻  $t_{33}$  でM行目発光期間が終了し、Ts 時間経過後にM行目逆バイアス期間に移行する。

20

## 【0111】

その後、時刻  $t_{34}$  に、電源供給部211は、電源線 DSL212 に供給する電位を高電位  $V_{cc}$  から低電位  $V_{ss}$  に切替える。また、映像信号線 DTL10-1 乃至 10-N それぞれの電位が一斉に、逆バイアス電位  $V_{ini}$  から基準電位  $V_{ofs}$  に切替えられる。これにより、全ての行の逆バイアス期間が終了する。

## 【0112】

換言すると、時刻  $t_{34}$  とは、次のフィールドについての全画素共通期間の開始時刻でもある。即ち、時刻  $t_{34}$  の後、次のフィールドについても、前のフィールドと全く同様に、閾値補正準備動作と閾値補正動作が行われる。その後、次のフィールドの信号書き込み動作が行われる。ただし、次のフィールドの信号書き込み動作は、上述したフィールド（次のフィールドにとっての直前のフィールド）の信号書き込み動作と反転した動作になる。

30

## 【0113】

即ち、映像信号線 DTL10-1 乃至 10-N それぞれの電位が階調に応じた信号電位  $V_{sig}$  に設定され、その間に、ライトスキャナ104は、走査線 WSL10-1 乃至 10-M に対して逆の順番に（線順次とは逆に）、供給する電位を Ts 時間だけ高電位に切替える。Ts 時間だけ高電位に切換えられた行の画素101の発光素子34は発光する。

## 【0114】

詳細には、最初に、最終行（M行）目の走査線 WSL10-M の電位が時刻  $t_{61}$  で高電位に切り替えられ Ts 時間経過後、M行目発光期間が開始する。次に、図20に図示はしないが、最終行（M行）の1つ上の行（M-1行）目の走査線 WSL10-(M-1) の電位が高電位に切り替えられ Ts 時間経過後、(M-1)行目発光期間が開始する。その後、各行の発光期間が、下から上に向かう順番（逆の順番）で順次開始される。そして、2行目の走査線 WSL10-2 の電位が時刻  $t_{62}$  で高電位に切り替えられ Ts 時間経過後、2行目発光期間が開始した後、最終的に、1行目の走査線 WSL10-1 の電位が時刻  $t_{63}$  で高電位に切り替えられ Ts 時間経過後、1行目発光期間が開始する。

40

## 【0115】

その後、時刻  $t_{70}$  に、映像信号線 DTL10-1 乃至 10-N それぞれの電位が一斉に、基準電位  $V_{ofs}$  よりも低い逆バイアス電位  $V_{ini}$  に切替えられる。これにより、各行毎に、その発光期間が、下から上に向かう順番（逆の順番）で順次終了していく度に、

50

その逆の順番で逆バイアス期間に順次移行していく（図 2 1 の右側のフィールドの矢印参照）。

【 0 1 1 6 】

即ち、逆バイアス電位  $V_{ini}$  が映像信号線  $D T L 1 0 - 1$  乃至  $1 0 - N$  それぞれに対して供給されている状態で、時刻  $t_{71}$  から、ライトスキャナ  $1 0 4$  は、走査線  $W S L 1 0 - 1$  乃至  $1 0 - M$  に対して逆の順番に（線順次とは逆に）、 $T_s$  時間だけ高電位に切替える。 $T_s$  時間だけ高電位に切換えられた行の画素  $1 0 1$  では、駆動用トランジスタ  $3 2$  のゲート  $g$  に逆バイアス電位  $V_{ini}$  が供給されることとなり、駆動用トランジスタ  $3 2$  のゲートソース間電圧  $V_{gs}$  が閾値電圧  $V_{th}$  以下となって、発光素子  $3 4$  が消光し、逆バイアス期間に移行する。

10

【 0 1 1 7 】

詳細には、最初に、 $M$  行目の走査線  $W S L 1 0 - M$  が高電位に切り替えられた時刻  $t_{71}$  で  $M$  行目発光期間が終了し、 $T_s$  時間経過後に  $M$  行目逆バイアス期間に移行する。次に、図 2 0 に図示はしないが、最終行（ $M$  行）の 1 つ上の行（ $M - 1$  行）目の走査線  $W S L 1 0 - (M - 1)$  の電位が高電位に切り替えられた時刻で（ $M - 1$ ）行目発光期間が終了し、 $T_s$  時間経過後に（ $M - 1$ ）行目逆バイアス期間に移行する。その後、発光期間終了から逆バイアス期間移行への動作が各行毎にその逆の順番（下から上に向かう順番）で順次行われる。そして、2 行目の走査線  $W S L 1 0 - 2$  が高電位に切り替えられた時刻  $t_{72}$  で 2 行目発光期間が終了し、 $T_s$  時間経過後に 2 行目逆バイアス期間に移行した後、最終的に、1 行目の走査線  $W S L 1 0 - 1$  が高電位に切り替えられた時刻  $t_{73}$  で 1 行目発光期間が終了し、 $T_s$  時間経過後に 1 行目逆バイアス期間に移行する。

20

【 0 1 1 8 】

その後、時刻  $t_{74}$  に、電源供給部  $2 1 1$  は、電源線  $D S L 2 1 2$  に供給する電位を高電位  $V_{cc}$  から低電位  $V_{ss}$  に切替える。また、映像信号線  $D T L 1 0 - 1$  乃至  $1 0 - N$  それぞれの電位が一斉に、逆バイアス電位  $V_{ini}$  から基準電位  $V_{ofs}$  に切替えられる。これにより、全ての行の逆バイアス期間が終了する。

【 0 1 1 9 】

以上図 2 0 や図 2 1 を用いて説明したように、信号書き込み反転方式を採用することで、即ち、1 フィールド毎に  $E L$  素子の消光タイミングを反転させることで、2 フィールド単位でみると、 $E L$  素子にかかる逆バイアスの時間、即ち、逆バイアス期間を全行で一定とすることができる。また、2 フィールド分の信号電圧を反映した逆バイアス電位  $V_{ini}$  を印加することができるので、同じ白表示においても、各行毎に信号線電位を変える必要もなくなる。

30

【 0 1 2 0 】

なお、信号書き込み反転方式を採用するにあたって、2 フィールドで駆動トランジスタ  $3 2$  の閾値電圧  $V_{th}$  の正方向と負方向の両変動量を合わせる必要がある。このため、逆バイアス動作を行っても、1 フィールド終了時には表示画像の行によって駆動トランジスタ  $3 2$  の閾値電圧  $V_{th}$  の変動量が補正されていない場合もある。しかしながら、この変動は、次のフィールドの最初に行う閾値補正動作によって補正されるため、問題とならない。また、1 フィールドで閾値補正動作を行うことで、1 フィールドでの閾値電圧  $V_{th}$  の変動量を補正することができる。

40

【 0 1 2 1 】

さらに、信号書き込み反転方式は、例えば、1 行目の発光が最終行の信号書き込み以前に終了する場合についても、映像信号線  $D T L 1 0 - 1$  乃至  $1 0 - N$  の電位を、逆バイアス電位  $V_{ini}$ 、信号電位  $V_{sig}$  という順で出力することで適用可能である。さらに、1 フィールドで閾値補正動作を行い、さらに信号書き込み動作前に再び閾値補正動作を行う方式であっても、映像信号線  $D T L 1 0 - 1$  乃至  $1 0 - N$  の電位を、閾値補正のための基準電位  $V_{ofs}$ 、逆バイアス電位  $V_{ini}$ 、信号電位  $V_{sig}$  とすることで、信号書き込み反転方式を適用することができる。

【 0 1 2 2 】

50

このように、信号書き込み反転方式を採用することで、2フィールドの単位でみると、白表示時でも黒表示時でも、発光期間時における閾値電圧 $V_{th}$ の正方向の変動分だけ非発光時である逆バイアス期間に逆バイアスをかけて、閾値電圧 $V_{th}$ の変動量を補正することができるので、その結果、経時変化後もTFT起因の焼き付き等のない均一な画質を得ることができるようになる。

【0123】

さらに、本発明人は、逆バイアス行間アンバランス問題を解消すべく、信号書き込み反転方式のみならず、次のような駆動制御方式も発明した。即ち、図22に示されるように、各行のそれぞれについて、信号書き込みによる発光期間の開始タイミングと、非発光期間である逆バイアス期間の開始タイミングの位相を1フィールド毎に一定周期で変化させる方式（以下、信号書き込み位相変化方式という）を、本発明人はさらに発明した。なお、図22において、白色の期間が各行の発光期間を示しており、濃い灰色の期間が各行の逆バイアス期間（非発光期間）を示しており、薄い灰色の期間が各行の閾値補正準備から信号書き込みが行われるまでの動作期間を示している。

10

【0124】

また、図示はしないが、信号書き込み位相変化方式では、映像信号線DTL10-1乃至10-Nに印加する逆バイアス電位 $V_{ini}$ は、一定周期内の信号電圧全てを反映した電位とする。

【0125】

具体的には例えば、図23は、4フィールドを一定周期とした場合の信号書き込み位相変化方式の一例を模式的に説明する図である。図23において、四角の形状は1つのフィールドを示しており、各フィールドの左辺近傍の数字は行（ライン）を示している。なお、このことは、図24も同様であるとする。

20

【0126】

図23に示されるように、4フィールドのうち1番目のフィールドでは、1行乃至M行（最終行）の行順番で順次、各行のそれぞれについて、信号書き込みによる発光期間が開始され、それが終了すると、非発光期間である逆バイアス期間が開始される。

【0127】

次の2番目のフィールドでは、例えば50行乃至M行（最終行）の行順番で順次、各行のそれぞれについて、信号書き込みによる発光期間が開始され、それが終了すると、非発光期間である逆バイアス期間が開始される。その後、さらに、1行乃至49行の行順番で順次、各行のそれぞれについて、信号書き込みによる発光期間が開始され、それが終了すると、非発光期間である逆バイアス期間が開始される。

30

【0128】

なお、例えば50行乃至M行（最終行）の行順番と記述したのは、先頭の行を50行とすることは必須でなく、単なる例示に過ぎないからである。

【0129】

次の3番目のフィールドでは、49行乃至1行の逆の行順番で順次、各行のそれぞれについて、信号書き込みによる発光期間が開始され、それが終了すると、非発光期間である逆バイアス期間が開始される。その後、さらに、M行（最終行）乃至50行の行順番で順次、各行のそれぞれについて、信号書き込みによる発光期間が開始され、それが終了すると、非発光期間である逆バイアス期間が開始される。

40

【0130】

最後の4番目のフィールドでは、M行（最終行）乃至1行の逆の行順番で順次、各行のそれぞれについて、信号書き込みによる発光期間が開始され、それが終了すると、非発光期間である逆バイアス期間が開始される。

【0131】

ここで、例えば49行目の視点から上述した内容を換言すると、1番目のフィールドでは、49番目のタイミング（位相）で、信号書き込みによる発光期間が開始され、それが終了すると、非発光期間である逆バイアス期間が開始される。次の2番目のフィールドで

50

は、今度は、M番目のタイミング（位相）で、信号書き込みによる発光期間が開始され、それが終了すると、非発光期間である逆バイアス期間が開始される。次の3番目のフィールドでは、今度は、1番目のタイミング（位相）で、信号書き込みによる発光期間が開始され、それが終了すると、非発光期間である逆バイアス期間が開始される。そして、最後の4番目のフィールドでは、今度は、M-49番目のタイミング（位相）で、信号書き込みによる発光期間が開始され、それが終了すると、非発光期間である逆バイアス期間が開始される。

【0132】

以上図22や図23を用いて説明したように、信号書き込み位相変化方式を採用することで、即ち、1フィールド毎にEL素子の消光タイミングの位相を一定周期内で変化させていくことで、一定周期単位でみると、EL素子にかかる逆バイアスの時間、即ち、逆バイアス期間を全行で一定とすることができる。また、一定周期内の信号電圧を全て反映した逆バイアス電位 $V_{ini}$ を印加することができるので、同じ白表示においても、各行毎に信号線電位を変える必要もなくなる。

10

【0133】

換言すると、1フィールド毎のEL素子の消光タイミングの位相の変化の仕方は、一定周期単位でみて、EL素子にかかる逆バイアスの時間、即ち、逆バイアス期間を全行で一定とすることができる変化の仕方であれば足り、特に限定されない。具体的には例えば、図23の代わりに、図24に示されるように位相を変化させるようにしても構わない。

20

【0134】

このように、信号書き込み位相変化方式を採用することで、一定周期単位でみると、白表示時でも黒表示時でも、発光期間時における閾値電圧 $V_{th}$ の正方向の変動分だけ非発光時である逆バイアス期間に逆バイアスをかけて、閾値電圧 $V_{th}$ の変動量を補正することができるので、その結果、経時変化後もTFT起因の焼き付き等のない均一な画質を得ることができるようになる。また、一定周期内で発生する閾値電圧 $V_{th}$ の変動量は閾値補正動作で補正することができるようになる。

【0135】

以上、図19の駆動制御方式で発生する逆バイアス行間アンバランス問題を解消できる駆動制御方式として、信号書き込み反転方式と、信号書き込み位相変化方式とについて説明した。しかしながら、これらの方式に限定されず、結局、次のような方式であれば、図19の駆動制御方式で発生する逆バイアス行間アンバランス問題を解消できる。即ち、次の方式とは、本発明が適用される駆動制御方式であって、信号書き込み反転方式と、信号書き込み位相変化方式とは、かかる駆動制御方式の例示にしか過ぎない。

30

【0136】

即ち、書き込み動作が終了した行の駆動用トランジスタ32に対して逆バイアスをかける逆バイアス動作を行単位で行い、フィールド周期の整数倍である一定周期内での逆バイアス動作の総期間を各行で一致させる逆バイアス制御を含むような駆動制御方式であれば、逆バイアス行間アンバランス問題を解消できる。

【0137】

また、上述した例では、最初の閾値補正をELパネル200の全画素（すべての行）に対して行う例について説明したが、2行以上の単位で順次閾値補正を行うようにしてもよい。この場合、電源供給部211と電源線DSL212は、最初の閾値補正を行う単位である複数行単位で制御を可能とするように構成される。

40

【0138】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【0139】

【図1】基本となるELパネルの構成例を示すブロック図である。

【図2】従来の画素の構成例を示したブロック図である。

50

- 【図 3】有機 EL 素子の I - V 特性を示す図である。  
 【図 4】従来の画素の構成例を示したブロック図である。  
 【図 5】本発明を適用した EL パネルに採用する画素の構成例を示すブロック図である。  
 【図 6】図 6 の画素の動作を説明するタイミングチャートである。  
 【図 7】図 6 の画素の動作について詳細に説明する図である。  
 【図 8】図 6 の画素の動作について詳細に説明する図である。  
 【図 9】図 6 の画素の動作について詳細に説明する図である。  
 【図 10】図 6 の画素の動作について詳細に説明する図である。  
 【図 11】図 6 の画素の動作について詳細に説明する図である。  
 【図 12】図 6 の画素の動作について詳細に説明する図である。  
 【図 13】図 6 の画素の動作について詳細に説明する図である。  
 【図 14】図 6 の画素の動作について詳細に説明する図である。  
 【図 15】図 6 の画素の動作について詳細に説明する図である。  
 【図 16】本発明を適用した EL パネルの一実施の形態の構成例を示すブロック図である

10

。【図 17】図 16 の EL パネルによる基本駆動制御方式を説明するタイミングチャートである。

【図 18】駆動用トランジスタに正バイアスまたは負バイアスをかけたときの特性を示す図である。

【図 19】図 17 の基本駆動制御方式に対して、逆バイアスを印加して閾値電圧の変動量を小さくするという手法を適用した場合のタイミングチャートである。

20

【図 20】図 19 の駆動制御方式で発生する逆バイアス行間アンバランス問題を解消できる駆動制御方式の一例としての、信号書き込み反転方式を説明するタイミングチャートである。

【図 21】図 20 の信号書き込み反転方式を模式的に説明する図である。

【図 22】図 19 の駆動制御方式で発生する逆バイアス行間アンバランス問題を解消できる駆動制御方式の一例としての、信号書き込み位相変化方式を模式的に説明する図である

。【図 23】図 22 の信号書き込み位相変化方式を別の視点から模式的に説明する図である

30

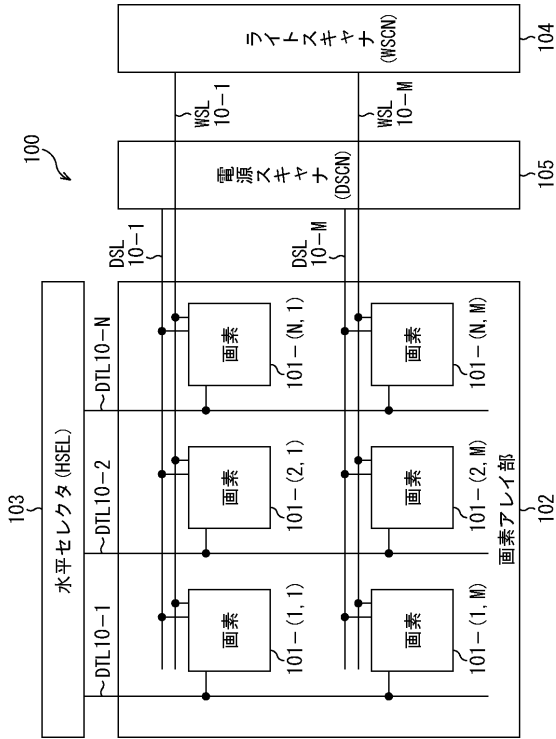
。【図 24】図 22 の信号書き込み位相変化方式を別の視点から模式的に説明する図である

【符号の説明】

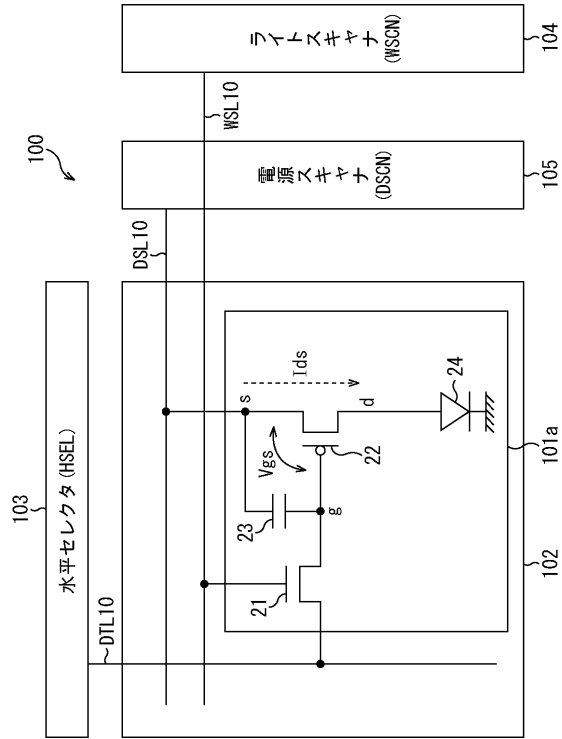
【0140】

31 サンプリング用トランジスタ, 32 駆動用トランジスタ, 33 キャパシタ, 34 発光素子, 101 画素(画素回路), 103 水平セレクタ, 104 ライトスキャナ, 200 EL パネル, 211 電源供給部, 212 電源線

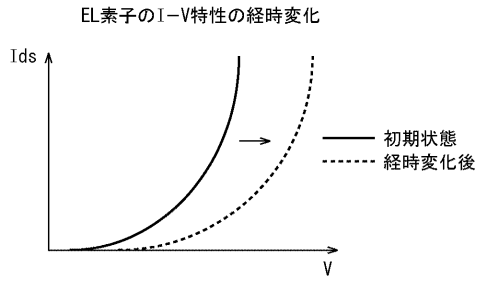
【図1】  
図1



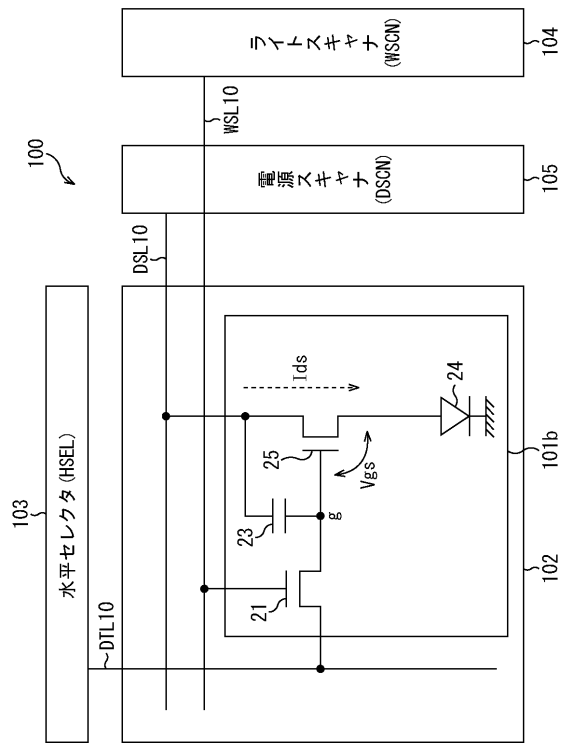
【図2】  
図2



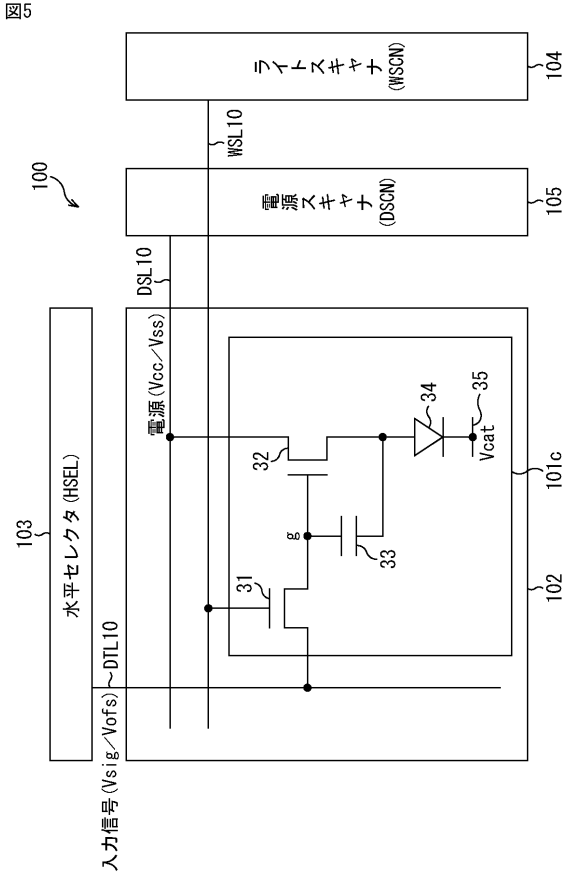
【図3】  
図3



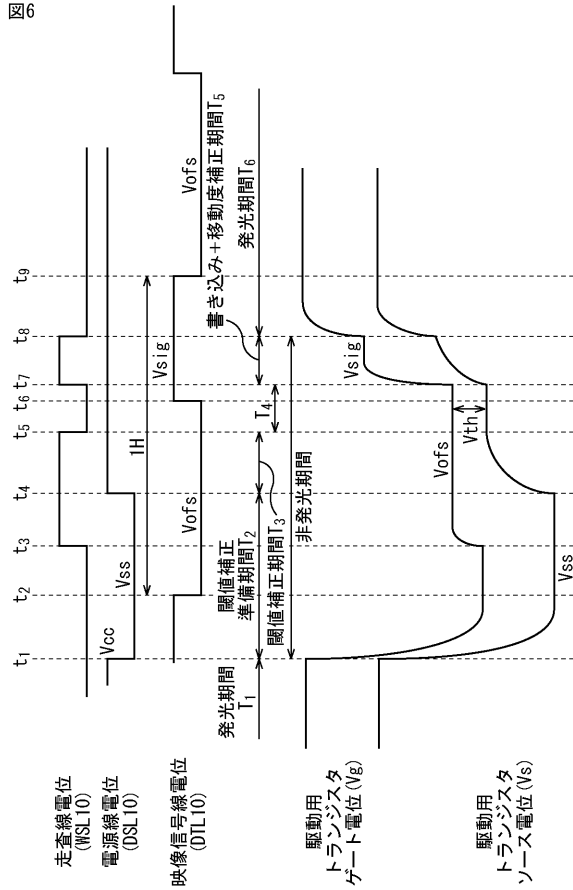
【図4】  
図4



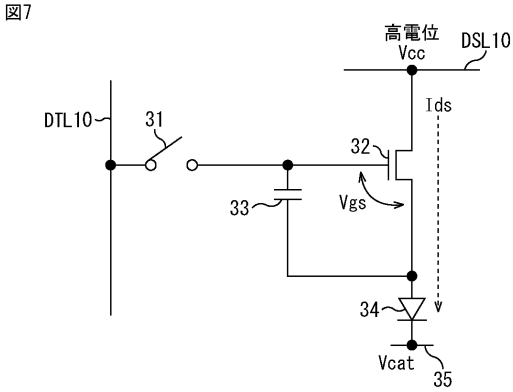
【図5】



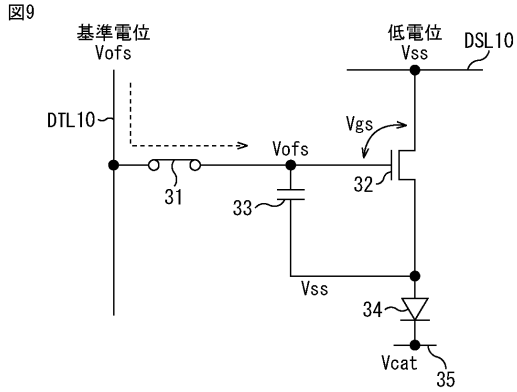
【図6】



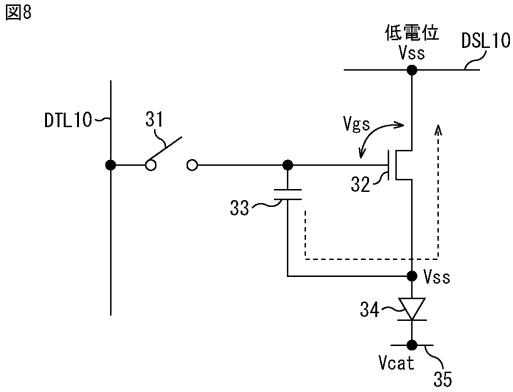
【図7】



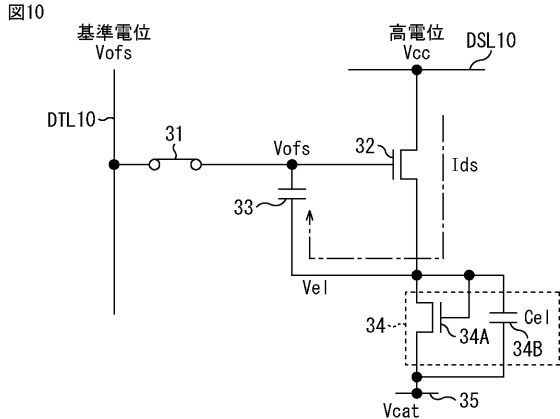
【図9】



【図8】



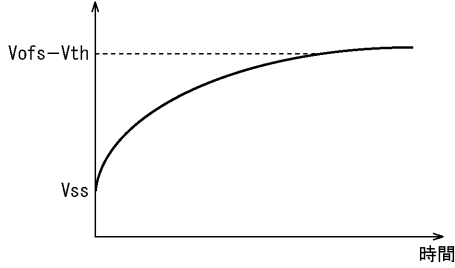
【図10】



【図11】

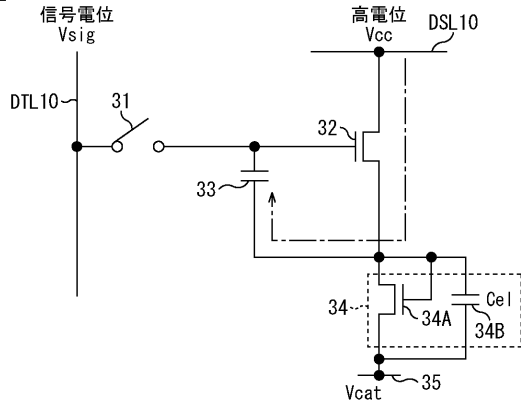
図11

駆動用トランジスタの  
ソース電位Vs



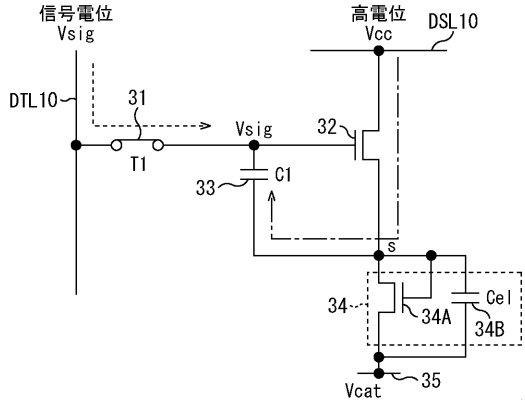
【図12】

図12



【図13】

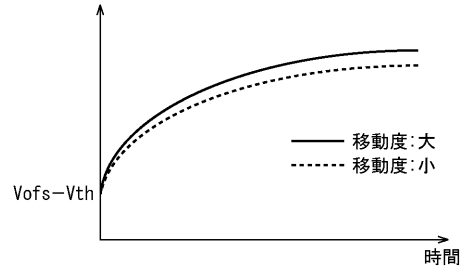
図13



【図14】

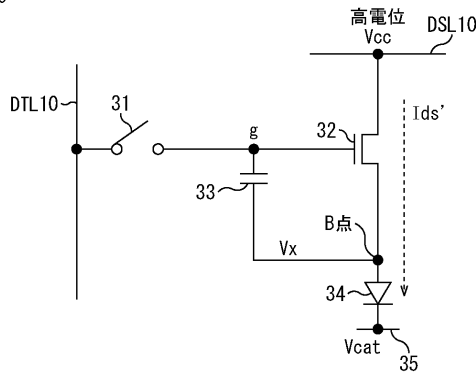
図14

駆動用トランジスタの  
ソース電位Vs



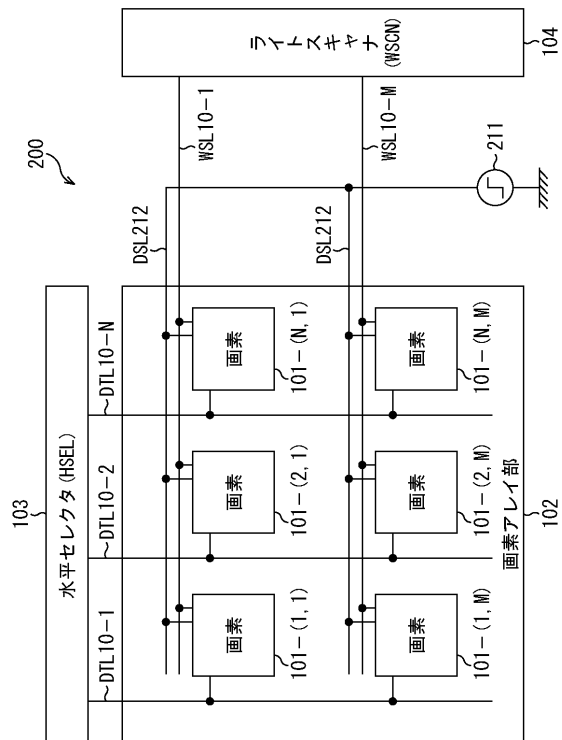
【図15】

図15

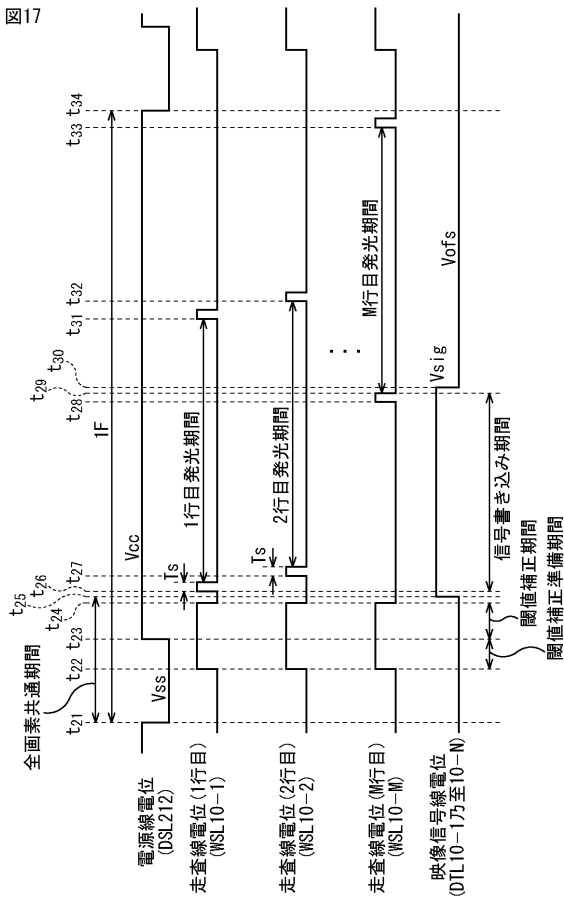


【図16】

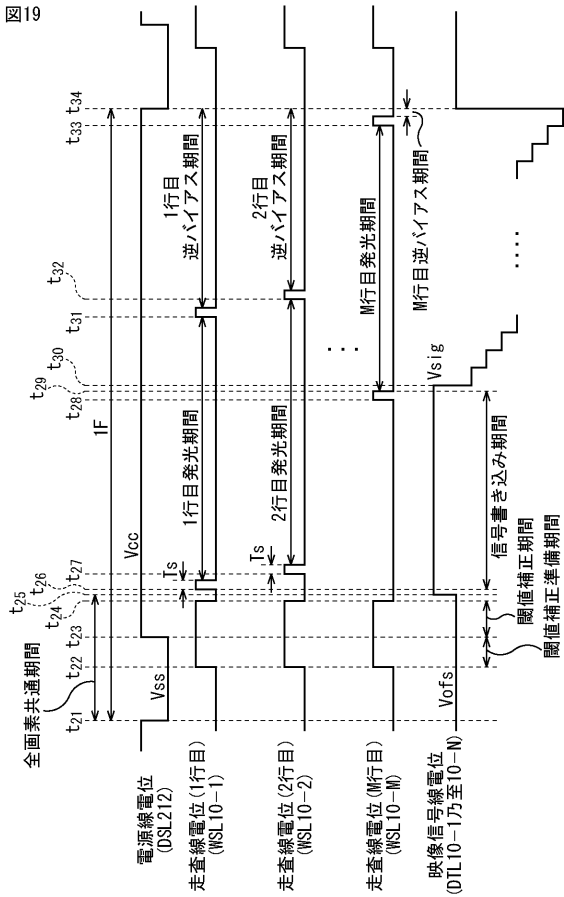
図16



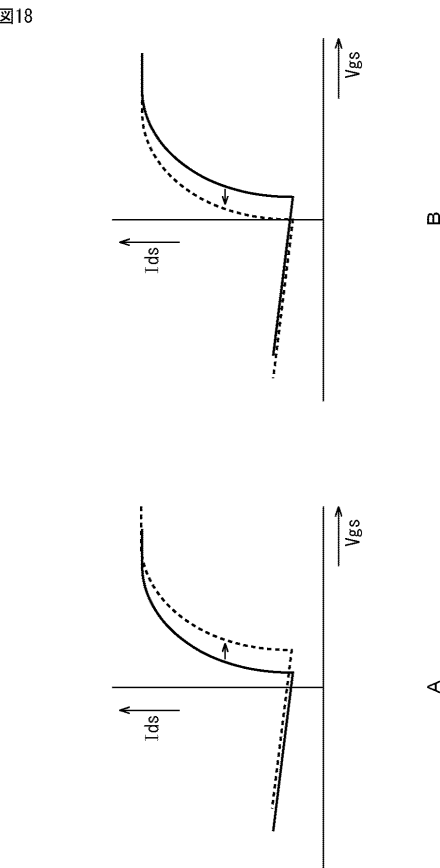
【図 17】



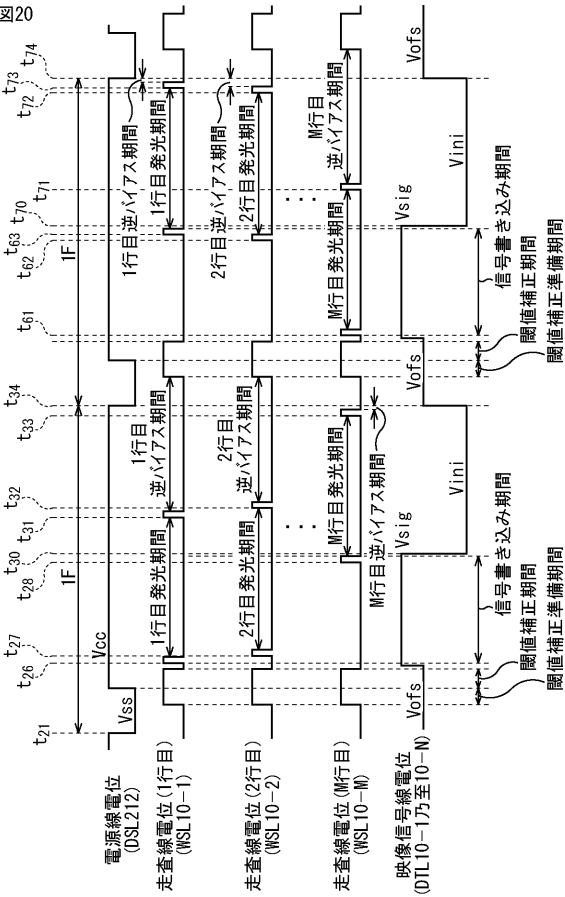
【図 19】



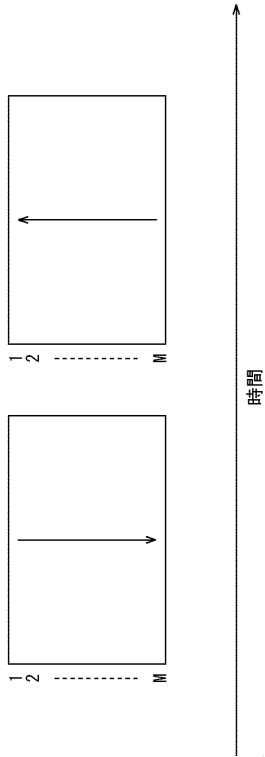
【図 18】



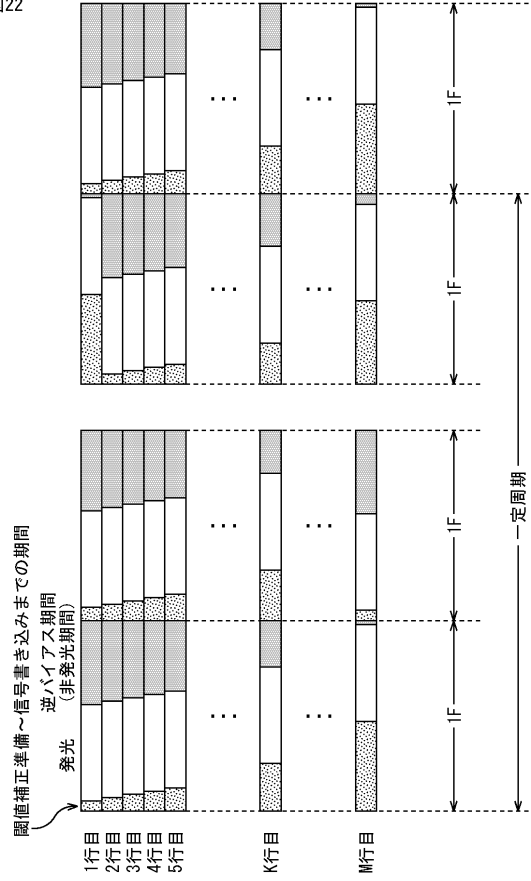
【図 20】



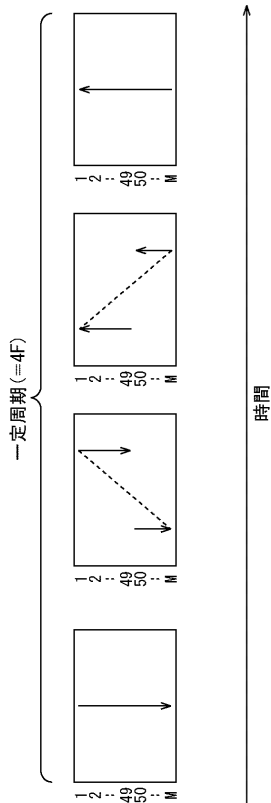
【図 2 1】  
図21



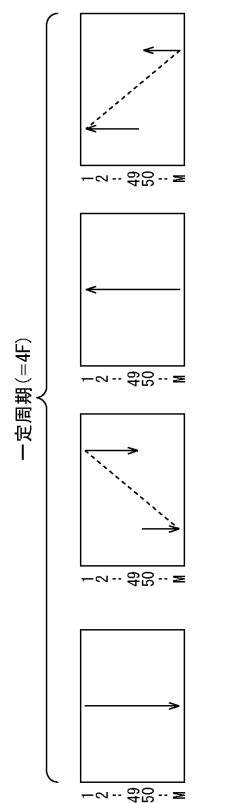
【図 2 2】  
図22



【図 2 3】  
図23



【図 2 4】  
図24



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 7 0 K  
H 0 5 B 33/14 A

Fターム(参考) 5C080 AA06 BB05 CC03 DD05 DD27 EE29 FF11 FF12 HH10 HH11  
JJ02 JJ03 JJ04 JJ05

专利名称(译)	<无法获取翻译>		
公开(公告)号	<a href="#">JP2010002495A5</a>	公开(公告)日	2011-06-30
申请号	JP2008159345	申请日	2008-06-18
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀		
发明人	山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.P G09G3/20.621.A G09G3/20.611.H G09G3/20.670.K H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD27 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH10 5C080/HH11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB46 5C380/AC07 5C380/AC09 5C380/AC11 5C380/BA11 5C380/BA14 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BA41 5C380/BB02 5C380/BD02 5C380/BD08 5C380/BD09 5C380/BD10 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB04 5C380/CB20 5C380/CB29 5C380/CB30 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CC71 5C380/CD012 5C380/DA02 5C380/DA06 5C380/DA35 5C380/DA47		
代理人(译)	西川 孝		
其他公开文献	JP2010002495A		

#### 摘要(译)

要解决的问题要实现降低成本和提高图像质量。对于每个场，每行的信号写入的定时是反转的，并且类似地，对于每个场，每行的反向偏置时段的开始定时也是反转的。在信号写入反转方法中，施加到视频信号线DTL 10-1到10-N的反向偏置电位Vini被设置为反映两个场的信号电压的电位。本发明可以应用于例如EL面板。 .The 20