

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-156929

(P2009-156929A)

(43) 公開日 平成21年7月16日(2009.7.16)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 642A	
	G09G 3/20 641D	
審査請求 未請求 請求項の数 15 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2007-332283 (P2007-332283)	(71) 出願人	000001007
(22) 出願日	平成19年12月25日 (2007.12.25)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100090538
			弁理士 西山 恵三
		(74) 代理人	100096965
			弁理士 内尾 裕一
		(72) 発明者	丸 博之
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC33 CC35 EE04
			HH04 HH05
			5C080 AA06 BB05 DD05 EE29 FF11
			GG12 HH09 JJ02 JJ03 JJ04
			JJ05 KK43

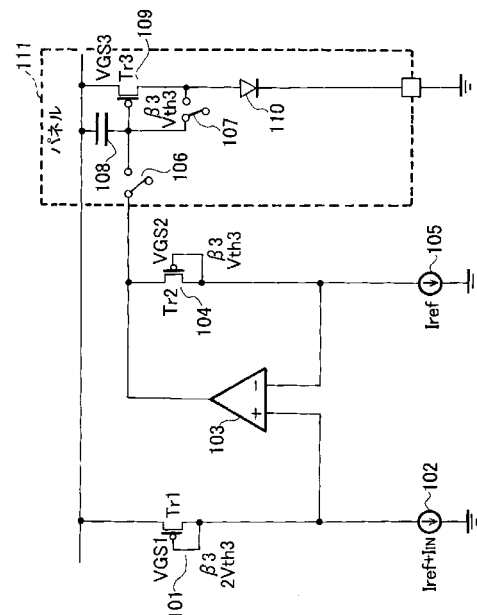
(54) 【発明の名称】 表示装置並びにそれを備えるディスプレイ及びデジタルカメラ

(57) 【要約】

【課題】表示装置内の画素回路の電流増幅率 β 、閾値電圧 V_{th} のばらつきによって有機EL素子に均一な電流を流すことが出来ず、輝度ムラを発生させていた。または、電流増幅率 β 、閾値電圧 V_{th} を補正する為に画素回路に素子を追加して、画素面積が大きくなり高精細化を阻害していた。

【解決手段】画素回路の電流増幅率 β 、閾値電圧 V_{th} のばらつき情報を予めデジタル的にメモリに蓄え、画素毎にデジタルデータを読み込み、2つのMOSのゲート-ソース間電圧 V_{gs} 電圧を差分を得て、これを画素回路に入力することで有機EL素子には電流増幅率 β 、閾値電圧 V_{th} に依存しない駆動電流を値を得る。

【選択図】図1



【特許請求の範囲】

【請求項 1】

演算増幅器と、

前記演算増幅器の非反転入力端子に接続され、参照電流と信号電流とを足し合わせた電流を流す第 1 の電流源と、

前記演算増幅器の反転入力端子に接続され、前記参照電流と同量の電流を流す第 2 の電流源と、

一端が電源に接続され、他端が前記演算増幅器の非反転入力端子及び前記第 1 の電流源に接続された第 1 のトランジスタと、

一端が前記演算増幅器の出力端子に接続され、他端が前記演算増幅器の反転入力端子及び前記第 2 の電流源に接続された第 2 のトランジスタと、

ソースが前記電源に接続され、ゲートが前記演算増幅器の出力端子に接続された第 3 のトランジスタと、

アノードが前記第 3 のトランジスタのドレインと接続され、カソードが接地された電流駆動型表示素子と、

を備えることを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、

前記第 1 のトランジスタの全体の電流増幅率は、前記第 3 のトランジスタの電流増幅率と等しく、

前記第 2 のトランジスタの全体の電流増幅率は、前記第 3 のトランジスタの電流増幅率と等しく、

前記第 1 のトランジスタの全体の閾値電圧は、前記第 3 のトランジスタの閾値電圧の 2 倍であり、

前記第 2 のトランジスタの全体の閾値電圧は、前記第 3 のトランジスタの閾値電圧と等しいことを特徴とする表示装置。

【請求項 3】

請求項 2 に記載の表示装置において、

前記第 1 のトランジスタは、3 つの第 1 のトランジスタに置き換わり、1 つ目の第 1 のトランジスタは、第 1 の主要ダイオードを構成し、2 つ目の第 1 のトランジスタは、第 1 の閾値電圧調整用ダイオードを構成し、3 つ目の第 1 のトランジスタは、第 1 の電流増幅率調整用トランジスタを構成し、

前記第 1 の主要ダイオードのアノードと、前記第 1 の閾値電圧調整用ダイオードのカソードと、前記第 1 の電流増幅率調整用トランジスタのアノードとが接続され、

前記第 1 の主要ダイオードのカソードは前記電源に接続され、

前記第 1 の電流増幅率調整用トランジスタのドレインは前記電源に接続され、

動作時に、前記第 1 の閾値電圧調整用ダイオードのアノードは前記演算増幅器の非反転入力端子に接続され、

前記第 2 のトランジスタは、3 つの第 2 のトランジスタに置き換わり、1 つ目の第 2 のトランジスタは、第 2 の主要ダイオードを構成し、2 つ目の第 2 のトランジスタは、第 2 の閾値電圧調整用ダイオードを構成し、3 つ目の第 2 のトランジスタは、第 2 の電流増幅率調整用トランジスタを構成し、

前記第 2 の主要ダイオードのアノードと、前記第 2 の閾値電圧調整用ダイオードのカソードと、前記第 2 の電流増幅率調整用トランジスタのアノードとが接続され、

動作時に、前記第 2 の主要ダイオードのカソードは前記電源に接続され、

前記第 2 の電流増幅率調整用トランジスタのドレインは前記電源に接続され、

動作時に、前記第 2 の閾値電圧調整用ダイオードのアノードは前記演算増幅器の反転入力端子に接続されることを特徴とする表示装置。

【請求項 4】

請求項 3 に記載の表示装置において、

前記第 2 の主要ダイオードに、第 3 のトランジスタの閾値電圧を僅かに上回る電圧に対応した電流を流し、

前記第 3 のトランジスタに、第 3 のトランジスタの閾値電圧を僅かに上回る電圧に対応した電流を流している間に、

前記第 2 の閾値電圧調整用ダイオードと前記第 2 の電流増幅率調整用トランジスタとを流れる電流を調整することにより、前記 3 つの第 2 のトランジスタの全体の閾値電圧を前記第 3 のトランジスタの閾値電圧と等しくする第 1 の閾値電圧調整手段を更に備えることを特徴とする表示装置。

【請求項 5】

請求項 4 に記載の表示装置において、

10

前記第 2 の主要ダイオードに、第 3 のトランジスタの閾値電圧を僅かに上回る電圧に対応した電流を流し、

前記第 3 のトランジスタに、前記第 3 のトランジスタの閾値電圧を僅かに上回る電圧に対応した電流を流し、

前記第 2 の閾値電圧調整用ダイオードと前記第 2 の電流増幅率調整用トランジスタに、前記 3 つの第 2 のトランジスタの全体の閾値電圧を前記第 3 のトランジスタの閾値電圧と等しくする電流を流している間に、

前記第 1 の閾値電圧調整用ダイオードと前記第 1 の電流増幅率調整用トランジスタを流れる電流を調整することにより、前記 3 つの第 1 のトランジスタの全体の閾値電圧を前記第 3 のトランジスタの閾値と等しくする第 2 の閾値電圧調整手段を更に備えることを特徴とする表示装置。

20

【請求項 6】

請求項 5 に記載の表示装置において、

前記第 3 のトランジスタに、前記第 3 のトランジスタの閾値電圧を僅かに上回る電圧よりも高い電圧に対応した電流を流し、

前記第 1 の閾値電圧調整用ダイオードと前記第 1 の電流増幅率調整用トランジスタに、前記 3 つの第 1 のトランジスタの全体の閾値電圧を前記第 3 のトランジスタの閾値と等しくするための電流を流している間に、

前記第 1 の主要ダイオードを流れる電流を調整することより、前記 3 つの第 1 のトランジスタの全体の電流増幅率を前記第 3 のトランジスタの電流増幅率と等しくする第 1 の電流増幅率調整手段を更に備えることを特徴とする表示装置。

30

【請求項 7】

請求項 6 に記載の表示装置において、

前記第 3 のトランジスタに、前記第 3 のトランジスタの閾値電圧を僅かに上回る電圧よりも高い電圧に対応した電流を流し、

前記第 2 の主要ダイオードに、前記第 3 のトランジスタの閾値電圧を僅かに上回る電圧よりも高い電圧に対応した電流を流し、

前記第 2 の閾値電圧調整用ダイオードと前記第 2 の電流増幅率調整用トランジスタに、前記 3 つの第 2 のトランジスタの全体の閾値電圧を前記第 3 のトランジスタの閾値と等しくするための電流を流している間に、

40

前記第 2 の主要ダイオードを流れる電流を調整することより、前記 3 つの第 2 のトランジスタの全体の電流増幅率を前記第 3 のトランジスタの電流増幅率と等しくする第 2 の電流増幅率調整手段を更に備えることを特徴とする表示装置。

【請求項 8】

請求項 7 に記載の表示装置において、

前記第 3 のトランジスタに、前記第 3 のトランジスタの閾値電圧を僅かに上回る電圧に対応した電流を流し、

前記第 2 の閾値電圧調整用ダイオードと前記第 1 の電流増幅率調整用トランジスタに、前記 3 つの第 2 のトランジスタの全体の閾値電圧を前記第 3 のトランジスタの閾値と等しくするための電流を流し、

50

前記第 2 の主要ダイオードのカソードを前記第 3 のトランジスタのゲートと接続している間に、

前記第 1 の閾値電圧調整用ダイオードと第 1 の電流増幅率調整用トランジスタを流れる電流を調整することにより、前記 3 つの第 1 のトランジスタの閾値電圧を前記第 3 のトランジスタの閾値電圧の 2 倍に調整する第 3 の閾値電圧調整手段を更に備えることを特徴とする表示装置。

【請求項 9】

請求項 4 に記載の表示装置において、

前記第 1 の閾値電圧調整手段は、

前記第 3 のトランジスタのゲートとドレインとを接続し、

10

前記第 3 のトランジスタのゲートを前記演算増幅器の反転入力端子に接続し、

前記第 2 の主要ダイオードのアノードを電源に接続し、

前記第 2 の閾値電圧調整用ダイオードのアノードを前記演算増幅器の非反転入力端子に接続し、

前記演算増幅器の反転入力端子と非反転入力端子の電圧が等しくなったときに前記第 2 の閾値電圧調整用ダイオードと前記第 2 の電流増幅率調整用トランジスタを流れる電流を、前記 3 つの第 2 のトランジスタの全体の閾値電圧を前記第 3 のトランジスタの閾値電圧とを等しくするための電流とすることを特徴とする表示装置。

【請求項 10】

請求項 5 に記載の表示装置において、

20

前記第 2 の閾値電圧調整手段は、

前記第 3 のトランジスタのゲートとドレインとを接続し、

前記第 2 の主要ダイオードに前記第 3 のトランジスタを流れる電流と同量の電流を流し、

前記第 2 の閾値電圧調整用ダイオードと前記第 2 の電流増幅率調整用トランジスタに、前記 3 つの第 2 のトランジスタの全体の閾値電圧を前記第 3 のトランジスタの閾値電圧とを等しくするための電流を流し、

前記第 1 の閾値電圧調整用ダイオードのアノードを前記演算増幅器の非反転入力端子に接続し、

前記第 2 の閾値電圧調整用ダイオードのアノードを前記演算増幅器の反転入力端子に接続し、

30

前記演算増幅器の反転入力端子と非反転入力端子の電圧が等しくなったときに前記第 1 の閾値電圧調整用ダイオードと第 1 の電流増幅率調整用トランジスタを流れる電流を、前記 3 つの第 1 のトランジスタの全体の閾値電圧と前記第 3 のトランジスタの閾値電圧とを等しくするための電流とすることを特徴とする表示装置。

【請求項 11】

請求項 6 に記載の表示装置において、

前記第 1 の電流増幅率調整手段は、

前記第 3 のトランジスタのゲートとドレインとを接続し、

前記第 2 の主要ダイオードのカソードを電源に接続し、

40

前記第 3 のトランジスタのゲートを前記演算増幅器の反転入力端子に接続し、

前記第 1 の閾値電圧調整用ダイオードのアノードを前記演算増幅器の非反転入力端子に接続し、

前記演算増幅器の反転入力端子と非反転入力端子の電圧が等しくなったときに前記第 1 の主要ダイオードを流れる電流を、前記 3 つの第 1 のトランジスタの全体の電流増幅率と前記第 3 のトランジスタの電流増幅率とを等しくするための電流とすることを特徴とする表示装置。

【請求項 12】

請求項 7 に記載の表示装置において、

前記第 2 の電流増幅率調整手段は、

50

前記第 3 のトランジスタのゲートとドレインとを接続し、

前記第 2 の主要ダイオードのカソードを電源に接続し、

前記第 3 のトランジスタのゲートを前記演算増幅器の反転入力端子に接続し、

前記第 2 の閾値電圧調整用ダイオードのアノードを前記演算増幅器の非反転入力端子に接続し、

前記演算増幅器の反転入力端子と非反転入力端子の電圧が等しくなったときに前記第 2 の主要ダイオードを流れる電流を、前記 3 つの第 2 のトランジスタの全体の電流増幅率と前記第 3 のトランジスタの電流増幅率とを等しくするための電流とすることを特徴とする表示装置。

【請求項 13】

10

請求項 8 に記載の表示装置において、

前記第 3 の閾値電圧調整手段は、

前記第 3 のトランジスタのゲートとドレインとを接続し、

前記第 1 の閾値電圧調整用ダイオードのアノードを前記演算増幅器の非反転入力端子に接続し、

前記第 2 の閾値電圧調整用ダイオードのアノードを前記演算増幅器の反転入力端子に接続し、

前記演算増幅器の反転入力端子と非反転入力端子の電圧が等しくなったときに前記第 1 の閾値電圧調整用ダイオードを流れる電流を、前記 3 つの第 1 のトランジスタの全体の電流増幅率を前記第 3 のトランジスタの電流増幅率の 2 倍とする電流とすることを特徴とする表示装置。

20

【請求項 14】

請求項 1 乃至 13 のいずれか 1 項に記載の表示装置を表示部に有することを特徴とするディスプレイ。

【請求項 15】

請求項 1 乃至 13 のいずれか 1 項に記載の表示装置を表示部に有することを特徴とするデジタルカメラ。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は表示装置並びにそれを備えるディスプレイ及びデジタルカメラに関する。

【背景技術】

【0002】

有機エレクトロルミネッセンス（有機 EL (Electro-Luminescence)、OLED (Organic Light Emitting Diode)）を用いた表示装置の開発が盛んである。

【0003】

有機 EL 素子を点灯させる方法は、大別して、パッシブマトリックス駆動方法、アクティブマトリックス駆動方法が知られている。

【0004】

パッシブマトリックス駆動方法は表示装置内の有機 EL 素子で構成される画素全てに行列の配線がなされ、この行列の配線をそれぞれ選択し ON させることで所望の画素を点灯させる。

40

【0005】

アクティブマトリックス駆動方法は表示装置内の有機 EL 素子を低温多結晶シリコントランジスタ（以下 TFT (Thin Film Transistor)）を用いて、これを ON することで所望の画素を点灯させることができる。

【0006】

ここでパッシブマトリックス駆動方法の場合、行列の配線を表示装置内に配列させることから画素と前述配線が占有しており、配線のための空間分画素の空間が狭くなっている。

50

【 0 0 0 7 】

つまりパッシブマトリックス駆動方法の場合配線による影響で画素の面積が縮小される。

【 0 0 0 8 】

これに対して、T F Tを用いたアクティブマトリックス表示装置は、画素毎にT F Tを用い、T F Tの上面または下面に有機E L素子を積層配置することで、画素の開口率の高い表示装置ができる。

【 0 0 0 9 】

この開口率を大きく取れることは画素をより縮小することを可能にするため、高精細な表示装置に向いている。

10

【 0 0 1 0 】

よって有機E L素子を用いた高精細な表示装置はアクティブマトリックス駆動方法が主流である。

【 0 0 1 1 】

T F Tを用いて有機E L素子を駆動して表示装置を点灯させる特許文献が以下にある。

【特許文献1】特開2006-038965号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

特許文献1では、有機E L素子とそれを駆動するT F T(以下、「駆動T F T」という。)がスイッチを介して直列に接続され、駆動T F Tのゲートに保持容量Cを設けた形になっており、駆動T F Tには以下の動作特性の関係式があることが示されている。

20

【 0 0 1 3 】

$$I d s = (1 / 2) \mu (W / L) C o x (V g s - V t h) ^ 2 \quad \dots \text{式 (1)}$$

ここで、I d sは駆動T F Tのドレイン - ソース間電流、 μ は駆動T F Tのゲートチャネル下のキャリア移動度、(W / L)は駆動T F Tの(チャネル幅 / チャネル長)、C o xはゲート容量、V g sはゲート - ソース間電圧、V t hは駆動T F Tに電流を流し始めるのに要する電圧(閾値電圧)である。

【 0 0 1 4 】

ここで駆動T F Tのキャリア移動度 μ と閾値電圧V t hが全ての画素間で均一である時には、有機E L素子に流れる電流が画素の輝度情報に応じて最適、かつ、ばらつきのない値となり、表示装置の輝度均一性が得られるはずである。

30

【 0 0 1 5 】

しかし実際には駆動T F Tのキャリア移動度 μ と閾値電圧V t hには製造上のばらつきが存在する。したがって、有機E L素子に流れる電流はばらつき、表示装置の輝度は均一性がない。

【 0 0 1 6 】

特許文献1には、駆動T F Tのキャリア移動度 μ と閾値電圧V t hのばらつきを補正する手段が開示されている。

【 0 0 1 7 】

つまり、閾値電圧V t hのばらつきに関しては、最初に保持容量に閾値電圧V t hを保持させて、次に、直列接続された容量によって、閾値電圧V t hに入力電圧信号(以下、「V s i g」ということもある。)が足された電圧(V t h + V s i g)を保持容量に再度保持させる。

40

【 0 0 1 8 】

これによって画素毎によってばらついている閾値電圧V t hの補正ができる。

【 0 0 1 9 】

キャリア移動度 μ のばらつきに関しては、有機E L素子にドレイン - ソース電流I d sを流し、これによって有機E L素子の電圧V E Lを発生させる。

【 0 0 2 0 】

50

ドレイン - ソース間電流に誤差が生じている時の電流を $I_{ds} + \Delta I_{ds}$ とした場合、有機 EL に発生した電圧を $V_{EL} + \Delta V_{EL}$ とすると、誤差電圧 ΔV_{EL} を再度別の容量を介して保持容量にネガティブフィードバックして ΔV_{EL} がなくなるように動作させている。

【 0 0 2 1 】

これによってドレイン - ソース間電流が画素間で均一となり、表示装置の輝度均一性が得られる。

【 0 0 2 2 】

特許文献 1 では、以上の様にキャリア移動度 μ 及び閾値電圧 V_{th} のばらつきを保持容量に保持させる電圧として記憶もしくはネガティブフィードバックを行うことで表示装置の輝度均一性を得ることが開示されている。

10

【 0 0 2 3 】

しかし上述した従来例では、下記の 2 つの問題点がある。

(1) 入力電圧信号 V_{sig} のダイナミックレンジについて明記されていない。

【 0 0 2 4 】

有機 EL 素子に流す電流は、素子の面積に依存する。また、有機 EL 素子に流す電流は、デジタルカメラ、携帯電話等に用いるモバイル用途の表示装置を例にとると、有機 EL 素子の発光効率にもよるが一般に数 10 nA ~ 数 $10 \mu\text{A}$ の範囲に及ぶ。

【 0 0 2 5 】

よって前述駆動 TFT のゲート - ソース間電圧 V_{gs} 電圧は以下の様に概略見積もることができる。

20

【 0 0 2 6 】

式 (1) をゲート - ソース間電圧 V_{gs} に書き直すと

$$V_{gs} = V_{th} + \sqrt{(2 \cdot L / (\mu \cdot W \cdot C_{ox})) \cdot I_{ds}} = V_{th} + \sqrt{(2 \cdot I_{ds} / \beta)}$$

... 式 (2)

と表される。ここで

$$\beta = 1 / (\mu \cdot C_{ox} \cdot (W / L))$$

である。

【 0 0 2 7 】

例として $W / L = 10 / 5$ 、 $V_{th} = 1 \text{ V}$ 、 $1 / 2 \cdot \mu \cdot C_{ox} = 10 \times 10^{(-6)} [\text{A} / \text{V}^2]$ 、 $(C_{ox} = 1 / T_{ox} \cdot \epsilon_{SiO_2} \cdot \epsilon)$ 、 $T_{ox} = 300$ 、 $\epsilon_r SiO_2 = 3.9$ 、 $\epsilon_0 = 8.854 \times 10^{(-12)}$ とすると、

30

$I_{ds} = 10 \text{ nA}$ の時のゲート - ソース間電圧 $V_{gs} (10 \text{ nA})$ 電圧は

式 (2) より

$$V_{gs} (10 \text{ nA}) = V_{th} + \sqrt{(I_{ds} / (1 / 2 \cdot \mu \cdot C_{ox} (W / L)))} = V_{th} + 22.36 \text{ mV} = 1.02236 \text{ V}$$

$I_{ds} = 10 \mu\text{A}$ の時のゲート - ソース間電圧 $V_{gs} (10 \mu\text{A})$ 電圧は

式 (2) より

$$V_{gs} (10 \mu\text{A}) = V_{th} + \sqrt{(I_{ds} / (1 / 2 \cdot \mu \cdot C_{ox} (W / L)))} = V_{th} + 0.71 \text{ V} = 1.71 \text{ V}$$

40

よって、入力電圧信号 V_{sig} は $1.02236 \sim 1.71 \text{ V}$ の範囲となり、これを 8 bit 階調のデジタル - アナログ変換部 (DAC (Digital Analog Converter)) によって出力させると 1 LSB (Least Significant Bit) = $(0.71 - 0.02236) / 256 = 2.68 \text{ mV}$ と見積もれる。

【 0 0 2 8 】

これは V_{sig} を発生させる DAC 出力部の精度が高いことが要求され、DAC に入力される基準電圧源、および電源電圧などのばらつき範囲を抑えた高い精度が要求され、コストアップの原因となる。

(2) 有機 EL に所望の電流 I_{EL} を流す為に、スイッチングトランジスタが 6 個となり、またこのスイッチングトランジスタの制御信号が 5 本必要となっている。

50

【 0 0 2 9 】

これら、スイッチングトランジスタと制御信号線を画素内に配置する為に、画素面積が大きくなり、より高精細な表示装置に不向きである。

【 0 0 3 0 】

そこで、本発明は、高い精度の電圧型の D A C が不要である表示装置を提供することを目的とする。

【 0 0 3 1 】

また、本発明は、利用するスイッチングトランジスタの数が少ない表示装置を提供することを目的とする。

【 課題を解決するための手段 】

10

【 0 0 3 2 】

上記を鑑みて、本発明では、ビデオ信号に応じて電流を出力する電流出力型 D A C を用い、一方の電流をこの電流出力型 D A C の出力と「或る有限の電流」を加算させたものとし、他方の電流をその「或る有限の電流」のみとした。

【 0 0 3 3 】

これら 2 つの電流を発生させるための電流源を設け、その電流源の 2 つの出力端子には、駆動 T F T の静特性と相似形状で同極の M O S トランジスタが直列にそれぞれ接続されている。

【 0 0 3 4 】

これら 2 つの M O S はゲートとドレインが短絡され、一方の M O S のソースは T F T のソースに接続される電源と共通に接続もしくは同電位である。

20

【 0 0 3 5 】

一方の M O S のドレインにオペアンプの非反転入力端子に、他方の M O S のドレインにオペアンプの反転入力端子にそれぞれ接続される。

【 0 0 3 6 】

他方の M O S のソースをオペアンプの出力に接続させて、一方と他方の M O S に発生する電圧をそれぞれ引き算する。

【 0 0 3 7 】

前述引き算した電圧を駆動 T F T のゲートに印加することで、 β 、 V_{th} のばらつきに依存しないで所望の電流を有機 E L 素子に流すことができる。

30

【 発明の効果 】

【 0 0 3 8 】

本発明によれば、有機 E L 素子を駆動する駆動 T F T の静特性と擬似的に相似形の特性を示す、M O S を 2 つ用いて、M O S に電流を注入した時に発生した電圧を引き算することによって、得られる電圧を駆動 T F T のゲートに印加することで以下の効果がある。

(1) T F T の β ($= 1 / 2 \cdot \mu \cdot C_{ox} (W / L)$)、 V_{th} に関係なく有機 E L に流れる電流 I_{EL} を所望の電流とすることができる。

(2) ビデオ信号に応じてデジタル - アナログ変換する D A C においてこれを電流出力にすることで高精度な基準電圧、電源を必要とせず、安価に回路を構成できる。

(3) 有機 E L 素子を駆動する画素回路部が駆動 T F T とスイッチ用の T F T となり、構成素子数を低減できる。

40

【 発明を実施するための最良の形態 】

【 0 0 3 9 】

以下、図面を参照して本発明を実施するための最良の形態について詳細に説明する。

【 0 0 4 0 】

以下に実施例を説明する。

【 実施例 1 】

【 0 0 4 1 】

本実施の形態を適応できる実施例 1 を図 1 に示す。

【 0 0 4 2 】

50

図 1 中、101 は P 型 MOS トランジスタ (Tr 1) (第 1 のトランジスタ) であり、このゲートとこのドレインが接続され、このソースが電源に接続されている。

【0043】

102 はシンク型の定電流源 (第 1 の電流源) を示し、参照電流 I_{ref} とビデオ信号に対応する信号電流 I_{IN} とが足された値の電流を引き込む。

【0044】

シンク型定電流源 102 は、Tr 1 (符号 101) のドレインと接続されている。

【0045】

103 はオペアンプ (オペレーショナル・アンプリフィア (演算増幅器) の略称) であり、この非反転入力端子に Tr 1 (符号 101) のドレインとシンク型定電流源 102 が接続される。

10

【0046】

104 は P 型 MOS トランジスタ (Tr 2) (第 2 のトランジスタ) であり、このゲートとこのドレインが接続され、このソースがオペアンプ 103 の出力端子に接続されている。

【0047】

105 はシンク型の定電流源 (第 2 の電流源) を示し、参照電流 I_{ref} を引き込む。

【0048】

103 のオペアンプの反転入力端子にトランジスタ Tr 2 (符号 104) のドレインと、シンク型定電流源 105 が接続される。

20

【0049】

106 は画素を選択する 1 対 n のスイッチである。ここで n は、ディスプレイに含まれる画素数である。

【0050】

107 は駆動 TFT (Tr 3) (符号 109) (第 3 のトランジスタ) のゲートとドレインを接続するためのスイッチである。

【0051】

108 は駆動 TFT (Tr 3) (符号 109) のゲート - ソース間電圧を保持するための保持容量である。

【0052】

30

109 は有機 EL 素子 110 (電流駆動型表示素子の一例) に所望の電流を注入することにより有機 EL 素子 110 を駆動する TFT (Tr 3) である。

【0053】

110 は有機 EL 素子であり、注入される電流に比例した輝度で発光する。有機 EL 素子 110 のアノードはトランジスタ 223 のドレインと接続され、動作には、カソードは接地される。

【0054】

駆動 TFT (Tr 3) (符号 109) のドレインと有機 EL 素子 110 のアノードは接続されている。

【0055】

40

有機 EL 素子 110 のカソードは共通端子に接続され、この共通端子を介して、外部の GND に接続されている。

【0056】

111 は 1 つ以上の画素回路 (108 ~ 110) を含む表示装置 (パネル) を示す。スイッチ 106 は、1 対 n (n はパネルの画素数) のスイッチであり、オペアンプ 103 の出力といずれかの画素とを接続する。

【0057】

P 型 MOS (Tr 1) 101 の電流増幅率 β と閾値 V_{th} は、それぞれ、駆動 TFT (Tr 3) 109 の電流増幅率 β_3 と閾値 V_{th3} と次の関係にある: $\beta = \beta_3$ 、 $V_{th} = 2 \cdot V_{th3}$ 。すなわち、P 型 MOS 101 の電流増幅率は駆動 TFT 109 の電流増幅

50

率と等しく、P型MOS 101の閾値は駆動TF T 109の電流増幅率の2倍である。

【0058】

P型MOS (Tr 2) 104の電流増幅率 β と閾値 V_{th} は、それぞれ、駆動TF T (Tr 3) 109の電流増幅率 β_3 と閾値 V_{th3} と次の関係にある： $\beta = \beta_3$ 、 $V_{th} = V_{th3}$ 。すなわち、P型MOS 104の電流増幅率は駆動TF T 109の電流増幅率と等しく、P型MOS 101の閾値は駆動TF T 109の電流増幅率と等しい。

【0059】

次に、回路動作の詳細を述べる。

【0060】

電流源102によるシンク電流によってトランジスタTr 1 (符号101)に $I_{ref} + I_{IN}$ の電流が流入する。そしてトランジスタTr 1 (符号101)はMOSダイオード接続構成をしているので、ゲート - ソース間に電圧 V_{gs1} が発生する。

【0061】

電流源105によるシンク電流によってトランジスタTr 2 (符号104)に I_{ref} の電流が流入する。トランジスタTr 1 (符号101)に流れる電流 $I_{ref} + I_{IN}$ のうち電流 I_{ref} は、トランジスタTr 2に流れる電流 I_{ref} と同量である。そして、トランジスタTr 1 (符号101)に流れる電流 $I_{ref} + I_{IN}$ のうち電流 I_{IN} が信号電流である。そしてトランジスタTr 2 (符号104)はMOSダイオード接続構成をしているので、ゲート - ソース間に電圧 V_{gs2} が発生する。

【0062】

V_{gs1} の電圧がオペアンプ103の非反転入力端子にかかり、ゲート - ソース間電圧 V_{gs2} の電圧がオペアンプ103の反転入力端子にかかり、オペアンプ103の出力端子がTr 2 (符号104)のソースに接続されていることからトランジスタTr 2 (符号104)のドレインの電位はトランジスタTr 1 (符号101)のドレイン電位と同じになる様にフィードバック制御が働く。

【0063】

つまりオペアンプの出力端子には $V_{gs1} - V_{gs2}$ の電圧が発生していることになる。

【0064】

ゲート - ソース間電圧 V_{gs1} 、ゲート - ソース間電圧 V_{gs2} の電圧は式(2)より

$$V_{gs1} = \sqrt{(2 / \beta_3) \cdot (I_{ref} + I_{IN})} + 2 \cdot V_{th3} \quad \dots \text{式(3)}$$

$$V_{gs2} = \sqrt{(2 / \beta_3) \cdot (I_{ref})} + V_{th3} \quad \dots \text{式(4)}$$

と表される。よって、 $V_{gs1} - V_{gs2}$ は、式(3)、(4)から

$$V_{gs1} - V_{gs2} = \sqrt{(2 / \beta_3) \cdot (I_{ref} + I_{IN})} - \sqrt{(2 / \beta_3) \cdot I_{ref}} + V_{th3} \quad \dots \text{式(5)}$$

となる。

【0065】

式(5)に示す $V_{gs1} - V_{gs2}$ 電圧が、駆動TF T 109のゲートに書き込まれる。

【0066】

よって有機EL素子に流れる電流 I_{EL} は式(1)に式(5)を代入すると

$$I_{EL} = I_{ds} = (\sqrt{(I_{ref} + I_{IN})} - \sqrt{I_{ref}})^2 \quad \dots \text{式(6)}$$

を得る。

【0067】

式(6)によってTF Tの電流増幅率 β 、閾値 V_{th} に依存しないで I_{ref} と I_{IN} の関係だけで有機ELに電流を注入できることが示される。

【0068】

ここで I_{ref} の意味について説明する。

【0069】

10

20

30

40

50

図 15 に式 (6) の関係を表したグラフがある。

【0070】

図中 1501 は $I_{ref} = 0$ の時の特性、1502 は $I_{ref} = 10 \mu A$ の時の特性、1503 は $I_{ref} = 100 \mu A$ の時の特性をそれぞれ示している。

【0071】

$I_{ref} = 0$ の時は図 1 で示された回路はカレントミラー係数 1 のカレントミラーとして動作する、よって入力 I_{IN} がそのまま I_{EL} として出力される。

【0072】

有機 EL 素子に流す電流が微小なので、 I_{IN} の電流出力制御も微小な精度が要求されるため、これは難しい。

10

【0073】

これに対して $I_{ref} = 10 \mu A$ の時は、同じ I_{EL} を流すための I_{IN} の値が μA オーダーとなり、前述の $n A$ オーダーに比較して約 1000 倍程要求精度に余裕がある。

【0074】

$I_{ref} = 100 \mu A$ の時は、 I_{IN} の要求精度にさらに余裕がある。

【0075】

つまり I_{ref} の電流値が高ければ高い程、 I_{IN} の入力ダイナミックレンジを大きくできる。

【実施例 2】

【0076】

20

本実施の形態を適応できる実施例 2 を図 2 ~ 8 及び図 9 ~ 14 に示す。

【0077】

図 2 ~ 8 は駆動 TFT 109 の電流増幅率 β 並びに閾値電圧 V_{th} 及び $2V_{th}$ を等価的に PMOS にコピーをする方法とその回路結線図をしめしている。

【0078】

図 9 ~ 14 は PMOS トランジスタに TFT の電流増幅率 β 及び閾値電圧 V_{th} をコピーした場合の等価的静特性を示している。

【0079】

図 2 中、201 は定電流源である。202 は PMOS のカレントミラー回路であり、これは、定電流源 201 と直列に接続されている。

30

【0080】

203 はカレントミラー 202 の出力の電流を受ける NMOS のカレントミラー回路である。

【0081】

204 はカレントミラー 203 の出力であるゲート - ソース間電圧から電流の重み付けを行ったシンク型の定電流源を示す。

【0082】

205 は定電流源 204 による重み付けを行ったシンク型定電流源の ON/OFF を行うスイッチを示し、定電流源とスイッチが一对一の関係で接続されている。スイッチ 205 のドレインを共通接続し、定電流源 204 で重み付けされた定電流が加算された定電流が引き込まれる。

40

【0083】

206 はカウンタでその出力がスイッチ 205 に接続されている。

【0084】

したがって、カウンタ 206 と定電流源 204 とスイッチ 205 の組合せにより、カウンタ 206 のカウント値が 1 だけ増加する度に、カレントミラー 204 が出力する電流は 1 単位ずつ増加する。また、演算増幅器の出力がカウンタのカウントイネーブル信号として利用される。これは、カウンタ 213 と定電流源 211 とスイッチ 212 の組合せ、カウンタ 225 と定電流源 223 とスイッチ 224 の組合せ、及び、カウンタ 230 と定電流源 228 とスイッチ 229 の組合せについても同様である。

50

【 0 0 8 5 】

2 0 7 はカウンタのデジタルデータを保持するためのメモリを示す。すなわち、メモリ 2 0 7 は、各画素毎に決定されたカウンタ 2 0 6、2 1 3、2 2 5、2 3 0 のカウント値を全ての画素について保持する。各画素を表示する時に、その画素に対応するアドレスに保持されたカウント値が読み出され、利用される。

【 0 0 8 6 】

2 0 8 はゲート - ドレインが接続された MOS ダイオード（第 1 の主要ダイオード）を示す、ドレインがスイッチ 2 0 5 を介して定電流源 2 0 4 に接続されている。

【 0 0 8 7 】

2 0 9 は定電流源を示す。

10

【 0 0 8 8 】

2 1 0 は定電流 2 0 9 を受けてゲート - ソース間電圧 V_{gs} を発生させる NMOS である。

【 0 0 8 9 】

2 1 1 は NMOS 2 1 0 の出力であるゲート - ソース間電圧から電流の重み付けを行ったシンク型の定電流源を示す。

【 0 0 9 0 】

2 1 2 は定電流源 2 1 1 による重み付けを行ったシンク型定電流源の ON / OFF を行うスイッチを示し、定電流源 1 1 とスイッチ 2 1 2 が一対一の関係で接続されている。スイッチ 2 1 2 のドレインを共通接続し、定電流源 2 1 1 で重み付けされた定電流が加算された定電流が引き込まれる。

20

【 0 0 9 1 】

2 1 3 はカウンタでその出力がスイッチ 2 1 2 に接続されている。

【 0 0 9 2 】

2 1 4 は PMOS のゲートドレインが接続された MOS ダイオード（第 1 の閾値電圧調整用ダイオード）となっている。ソースを PMOS 2 0 8 のドレインに接続してある。

【 0 0 9 3 】

2 1 6 は定電流源 2 1 1、スイッチ 2 1 2 で構成される重み付けを施した定電流源を受けてソース型の定電流源にするカレントミラー回路を示してある。

【 0 0 9 4 】

2 1 5 はカレントミラー回路 2 1 6 と同じ電流を供給する電流源（第 1 の電流増幅率調整用トランジスタ）である。

30

【 0 0 9 5 】

2 1 7、2 1 8 は定電流源 2 1 1、スイッチ 2 1 2 で構成される重み付けを施した定電流源を受けてシンク型の定電流源にするカレントミラー回路を示してある。

【 0 0 9 6 】

2 3 7 は定電流源である。2 3 1 は PMOS のカレントミラー回路であり、定電流源 2 3 7 と直列に接続されている。

【 0 0 9 7 】

2 2 8 はカレントミラー 2 3 1 の出力電流から電流の重み付けを行ったシンク型の定電流源を示す。

40

【 0 0 9 8 】

2 2 9 は定電流源 2 2 8 で重み付けを行ったシンク型定電流源の ON / OFF を行うスイッチを示す。定電流源 2 2 8 とスイッチ 2 2 9 が一対一の関係で接続されている。スイッチのドレインを共通接続し、定電流源 2 2 8 で重み付けされた定電流が加算された定電流が出力される。

【 0 0 9 9 】

2 3 0 はカウンタでその出力がスイッチ 2 2 9 に接続されている。

【 0 1 0 0 】

2 2 7 はゲート - ドレインが接続された MOS ダイオード（第 2 の主要ダイオード）を

50

示す。MOSダイオード227のドレインがスイッチ229を介して定電流源228に接続されている。MOSダイオード227のソースはTF T 233のゲートに接続されている。

【0101】

223はカレントミラー210の出力であるゲート-ソース間電圧から電流の重み付けを行ったシンク型の定電流源を示す。

【0102】

224は定電流源223で重み付けを行ったシンク型定電流源のON/OFFを行うスイッチを示す。定電流源223とスイッチ224が一对一の関係で接続されている。スイッチ224のドレインを共通接続し、定電流源223で重み付けされた定電流が加算された定電流が出力される。

10

【0103】

225はカウンタでその出力がスイッチ224に接続されている。

【0104】

222はPMOSのゲートドレインが接続されたMOSダイオード(第2の閾値電圧調整用ダイオード)となっている。MOSダイオード222のソースをPMOS227のドレインに接続してある。

【0105】

221は定電流源223、スイッチ224で構成される重み付けを施した定電流源を受けてソース型の定電流源にするカレントミラー回路を示してある。

20

【0106】

226はカレントミラー回路221と同じ電流を供給する電流源(第2の電流増幅率調整用トランジスタ)である。

【0107】

219、220は定電流源223、スイッチ224で構成される重み付けを施した定電流源を受けてシンク型の定電流源にするカレントミラー回路を示す。

【0108】

ダイオード208、トランジスタ215及びダイオード214の全体で、図1に示すトランジスタ101を構成し、ダイオード227、トランジスタ226及びダイオード222の全体で、図1に示すトランジスタ104を構成する。

30

【0109】

図2に示す回路の動作を時系列に説明する。

【0110】

時系列の順序を図3→図4→図5→図6→図7→図8と示している。

【0111】

またその時のトランジスタT1, Tr2, T3の静特性を図9→図10→図11→図12→図13→図14の順に示してある。

【0112】

まず、トランジスタTr2の閾値電圧(主要ダイオード227、閾値電圧調整用ダイオード222及び電流増幅率調整用トランジスタ226の組)をトランジスタTr3の閾値電圧Vth3と等しくする場合について、図3及び図9を参照して説明をする。

40

【0113】

図3は、トランジスタTr2(符号227)の閾値電圧VthをトランジスタTr3(符号233)の閾値電圧Vth3に等しくなるように閾値電圧Vthのシフト動作を行うための結線を示している。

【0114】

定電流源236にて電流I3を流す。トランジスタTr3(符号233)はゲートドレインが接続され、MOSダイオードとなっている。

【0115】

ここで電流I3を低くすると、トランジスタTr3(符号233)のゲート-ソース間

50

電圧 V_{gs} は V_{th3} に収束していく、この電圧をオペアンプ 232 のマイナス入力端子に接続、 $Tr2$ (符号 227) に I_3 の電流が流れるように 228 カレントミラーと 229 スイッチによって設定し固定する。トランジスタ $Tr3$ (符号 233) のゲート・ソース間電圧は閾値電圧を僅かに上回る低度にし、電流 I_3 をこのゲート・ソース間電流にすることにより、電流増幅率のばらつきからの影響を最小限に抑えて、カウンタ 213、225 の値を決定することが可能となる。

【0116】

次に、オペアンプ 232 の出力端子をカウンタ 225 に接続し、この値が H の時にカウンタがカウントアップをする。

【0117】

カウンタ 225 の出力値をもって、カレントミラー 223 とスイッチ 224 で構成される、電流源の電流を変える、カウントアップしている間前述電流源は電流値を上昇させる。

10

【0118】

オペアンプ 232 のプラス入力端子に $Tr2$ のゲート・ソース間電圧 V_{gs2} と $TrOFS2$ (符号 222) の V_{OFS2} が足された電圧が入力される。

【0119】

オペアンプ 232 のプラス入力端子の電圧がマイナス入力端子の電圧に等しくなるようにオペアンプの出力が常に H レベルを出力する。

【0120】

オペアンプ 232 のプラス入力端子の電圧とマイナス入力端子の電圧が等しくなった場合、カウンタ 225 のカウントアップがなくなり、あるデジタルデータを出力し続ける。

20

【0121】

この場合 I_2' の電流となるように、カレントミラー 223 をスイッチ 224 で切り替えている。

【0122】

この I_2' の電流値の時 $V_{th2} + V_{OFS2} = V_{th3}$ の関係となる。そして I_2' のデジタルデータをメモリに蓄える。

【0123】

図 9 に $Tr2$ の閾値電圧 V_{th} が、電流 I_3 で、 $V_{th2} \rightarrow V_{th2} + V_{OFS2} = V_{th3}$ にシフトしている様子を示している。

30

【0124】

次に、トランジスタ $Tr1$ の閾値電圧 (主要ダイオード 208、閾値電圧調整用ダイオード 214 及び電流増幅率調整用トランジスタ 215 の組) をトランジスタ $Tr3$ の閾値電圧 V_{th3} と等しくする場合について、図 4 及び図 10 を参照して説明をする。

【0125】

図 4 は、 $Tr1$ (符号 208) の V_{th} を $Tr3$ (符号 233) の V_{th3} に等しくなるように V_{th} 電圧のシフト動作を行うための結線を示している。

【0126】

$TrOFS2$ (符号 222) に電流 I_2' を流し、 $V_{th2} + V_{OFS2} = V_{th3}$ の電圧をオペアンプ 232 のマイナス入力端子に接続、 $Tr1$ (符号 208) に I_3 の電流が流れるようにカレントミラー 204 とスイッチ 205 を設定し固定する。

40

【0127】

次に、オペアンプ 232 の出力端子をカウンタ 213 に接続し、この値が H の時にカウンタがカウントアップをする。

【0128】

カウンタ 213 の出力値をもって、カレントミラー 211 とスイッチ 212 で構成される、電流源の電流を変える。カウントアップしている間、前述電流源は電流値を上昇させる。

【0129】

50

オペアンプ 232 のプラス入力端子に $T_r 1$ のゲート - ソース間電圧 V_{gs1} と $T_r OFS 1$ (符号 214) の $V_{OF 1}$ が足された電圧が入力される。

【 0130 】

オペアンプ 232 のプラス入力端子の電圧がマイナス入力端子の電圧に等しくなるようにオペアンプの出力が常に H レベルを出力する。

【 0131 】

オペアンプ 232 のプラス入力端子の電圧とマイナス入力端子の電圧が等しくなった場合、カウンタ 213 のカウントアップがなくなり、あるデジタルデータを出力し続ける。

【 0132 】

この場合、カレントミラー 211 の出力電流が電流 $I_{2'}$ となるように、カレントミラー 211 をスイッチ 212 で切り替えている。

10

【 0133 】

カレントミラー 211 の出力電流が電流 $I_{2'}$ の時 $V_{th1} + V_{OF 1} = V_{th3}$ の関係となる。そして $I_{2'}$ のデジタルデータをメモリに蓄える。

【 0134 】

図 10 に $T_r 1$ の閾値電圧 V_{th} が、電流 I_3 で、 $V_{th1} \rightarrow V_{th1} + V_{OF 1} = V_{th3}$ にシフトしている様子を示している。

【 0135 】

次に、トランジスタ $T_r 1$ の電流増幅率をトランジスタ $T_r 3$ の電流増幅率 β_3 と等しくする場合について、図 5 及び図 11 を参照して説明する。

20

【 0136 】

図 5 は、 $T_r 1$ (符号 208) の電流増幅率 β を $T_r 3$ (符号 233) の電流増幅率 β_3 に等しくなるように電流増倍係数を変えるための結線を示している。

【 0137 】

定電流源 236 にて I_4 の電流を流す (但し $I_4 > I_3$)。 $T_r 3$ (符号 233) はゲートとドレインが接続され MOS ダイオードとなっている。

【 0138 】

ここで、 $T_r 3$ (符号 233) に電流 I_4 を流した時に発生するゲート - ソース間電圧 V_{gs3} 電圧を、オペアンプ 232 のマイナス入力端子に接続し、定電流源 201 に電流 I_4 を流し、この電流 I_4 の値をカレントミラー 204 と、スイッチ 205 にてミラー係数 (k_1) を設定している。

30

【 0139 】

スイッチ 205 はカウンタ 206 の出力によって ON / OFF される。

【 0140 】

次に、オペアンプ 232 の出力端子をカウンタ 206 に接続し、この値が H の時にカウンタがカウントアップをする。

【 0141 】

カウンタ 206 の出力値をもって、カレントミラー 204 とスイッチ 205 で構成される電流源の電流を変える。カウントアップしている間、カレントミラー 204 とスイッチ 205 で構成される電流源は電流値を上昇させる。

40

【 0142 】

オペアンプ 232 のプラス入力端子に $T_r 1$ のゲート - ソース間電圧 V_{gs1} と $T_r OFS 1$ (符号 214) の $V_{OF 1}$ が足された電圧が入力される。

【 0143 】

オペアンプ 232 のプラス入力端子の電圧がマイナス入力端子の電圧に等しくなるようにオペアンプの出力が常に H レベルを出力する。

【 0144 】

オペアンプ 232 のプラス入力端子の電圧とマイナス入力端子の電圧が等しくなった場合、カウンタ 225 のカウントアップがなくなり、あるデジタルデータを出力し続ける。

【 0145 】

50

この場合、カレントミラー 204 とスイッチ 205 で構成される電流源の電流が $k_1 \cdot I_4$ の値の電流となるように、カレントミラー 204 をスイッチ 205 で切り替えている。

【0146】

カレントミラー 204 とスイッチ 205 で構成される電流源の電流が $k_1 \cdot I_4$ の値の電流である時、 $V_{gs1} + V_{OF1} = V_{gs3}$ の関係となる。そして k_1 のデジタルデータをメモリに蓄える。

【0147】

図 11 は、トランジスタ Tr_3 (符号 233) を流れる電流が電流 I_4 であるときに、 Tr_1 (符号 208) のゲート - ソース間電圧 V_{gs} が $V_{gs1} \rightarrow V_{gs1} (k_1 \cdot I_4) + V_{OF1} (I_2') = V_{gs3} (I_4)$ に電流がシフトしている様子を示している。

10

【0148】

同様に、図 6 及び図 12 は、カレントミラー 228 とスイッチ 229 で構成される電流源を流れる電流が $k_2 \cdot I_4$ の電流の時、 $V_{gs2} + V_{OF2} = V_{gs3}$ の関係となることを示している。そして k_2 のデジタルデータをメモリに蓄える。

【0149】

図 12 は、トランジスタ Tr_3 (符号 233) を流れる電流が I_4 電流であるときに、トランジスタ Tr_2 (符号 227) のゲート - ソース間電圧 V_{gs} が $V_{gs2} \rightarrow V_{gs2} (k_1 \cdot I_4) + V_{OF2} (I_2') = V_{gs3} (I_4)$ に電流がシフトしている様子を示している。

20

【0150】

図 7 及び図 13 は、 Tr_1 (符号 208) の閾値電圧 V_{th} を V_{th3} から $2 \cdot V_{th3}$ にシフトするための結線図及び静特性を示している。

【0151】

定電流源 236 にて I_3 の電流を流す。 Tr_3 (符号 233) はゲートとドレインが接続され MOS ダイオードとなっている。

【0152】

ここで I_3 の電流を低くすると、 Tr_3 (符号 233) のゲート - ソース間電圧 V_{gs} は V_{th3} に収束していく。このとき、トランジスタ Tr_2 (符号 227) のソースに電流 I_3 を流す電流源 238 を接続する。

30

【0153】

Tr_{OF2} (符号 222) に I_2' の電流を流し、 $V_{th2} + V_{OF2} + V_{th3} = 2 \cdot V_{th3}$ の電圧をオペアンプ 232 のマイナス入力端子に接続する。 Tr_1 (符号 208) に I_3 の電流が流れるようにカレントミラー 204 とスイッチ 205 を設定し固定する。

【0154】

次に、オペアンプ 232 の出力端子をカウンタ 213 に接続し、オペアンプ 232 の出力端子の値が H の時にカウンタ 213 がカウントアップをする。

【0155】

40

カウンタ 213 の出力値をもって、カレントミラー 211 とスイッチ 212 で構成される電流源の電流を変える。カウントアップしている間、カレントミラー 211 とスイッチ 212 で構成される電流源は電流値を上昇させる。

【0156】

オペアンプ 232 のプラス入力端子にトランジスタ Tr_1 (符号 208) のゲート - ソース間電圧 V_{gs1} と Tr_{OF1} (符号 214) のゲート - ソース間電圧 V_{OF1} とが足された電圧が入力される。

【0157】

オペアンプ 232 のプラス入力端子の電圧がマイナス入力端子の電圧に等しくなるようにオペアンプ 232 の出力が常に H レベルを出力する。

50

【0158】

オペアンプ232のプラス入力端子の電圧とマイナス入力端子の電圧が等しくなった場合、カウンタ213のカウントアップがなくなり、カウンタ213は、あるデジタルデータを出力し続ける。

【0159】

この場合、 $T r O F S 1$ (符号214)を流れる電流の値が $I 2 ' ' '$ となるように、カレントミラー211をスイッチ212で切り替えている。

【0160】

この $T r O F S 1$ (符号214)を流れる電流の値が $I 2 ' ' '$ である時、 $V t h 1 + V O F 1 = 2 \cdot V t h 3$ の関係となる。そして $I 2 ' ' '$ に対応したデジタルデータをメモリに蓄える。

10

【0161】

図13に、トランジスタ $T r 3$ (符号233)を流れる電流が $I 3$ であるときに、トランジスタ $T r 1$ (符号208)の $V t h$ が $V t h 1 \rightarrow V t h 1 + V O F 1 (I 2 ' ' ')$ $= 2 \cdot V t h 3$ に電圧がシフトしている様子を示している。

【0162】

トランジスタ $T r 1$ に関連した閾値電圧 $2 \cdot V t h 3$ に対応したカウンタ213の値を求める前に、トランジスタ $T r 1$ に関連した閾値電圧 $V t h 3$ に対応したカウンタ213の値を求め、これを暫定的にメモリ207に保持しているのは、これらの間に、トランジスタ $T r 1$ に関連した電流増幅率 $\beta 1$ に対応したカウンタ206のカウント値及びトランジスタ $T r 2$ に関連した電流増幅率 $\beta 2$ に対応したカウンタ230のカウント値を求めるためである。また、電流増幅率 $\beta 1$ 、 $\beta 2$ を決定した後に、トランジスタ $T r 1$ に関連した閾値電圧 $2 \cdot V t h 3$ に対応したカウンタ213の値を求めるため、カウンタ213の値の精度が高くなる。

20

【0163】

図8は、動作時の回路図を示し、図1の回路図に対応するものである。

【0164】

図14にトランジスタ $T r 1$ 、 $T r 2$ 、及び $T r 3$ の静特性をそれぞれ示す。

【0165】

以上述べたように、画素毎の駆動 $T F T$ の特性をデジタルデータとして保持し、これを駆動する場合にデジタルデータを読み込むことで $T F T$ の電流増幅率 β 、閾値電圧 $V t h$ のばらつきの影響がない表示装置を提供できる。

30

【0166】

またパネルの構成素子数が $T F T$ 3個、それに伴う制御信号線が3本であり、これらの数は少ない。

【0167】

実施の形態2においてメモリを用いてデジタルデータを保持もしくは出力するとあるが、これを不揮発性のメモリを用いてもよい。

【0168】

パネルの駆動 $T F T$ 233をP型、トランジスタ $T r 208$ 、227をPMOSトランジスタとしているが、パネル駆動 $T F T$ がN型の場合、トランジスタ $T r 208$ 、227は、NMOSトランジスタであってもよい。

40

【実施例3】

【0169】

図16に本発明適応の第3の実施例を示す。

【0170】

実施例2に示すような結線方法を用い最終的に、トランジスタ $T r 308$ の閾値電圧 $V t h$ を $V t h \rightarrow V t h ' + V t h 3$ として、トランジスタ $T r 308$ の電流増幅率を $\beta 3$ としている。

【0171】

50

また、トランジスタ T_{r327} の閾値電圧 V_{th} を $V_{th} \rightarrow V_{th}'$ として、トランジスタ T_{r327} の電流増幅率を β_3 としている。

【0172】

ここで V_{th}' は PMOS トランジスタ 308、327 の電圧シフト前の閾値電圧 V_{th} である。

【0173】

閾値電圧 V_{th3} は TFT 333 の閾値電圧 V_{th} である。

【0174】

本実施例でも、有機 EL 素子も 335 には (6) 式で示す電流が流れる。

【産業上の利用可能性】

10

【0175】

本発明による表示装置を多数マトリックス状に並べて、ディスプレイを形成することができる。また、このディスプレイは、デジタルカメラなどの表示部として利用することができる。

【図面の簡単な説明】

【0176】

【図1】有機 EL 素子を駆動する為の全体を示した回路図

【図2】有機 EL 素子を駆動する為の全体を詳細に示した回路図

【図3】TFT の V_{th} 電圧を他方の MOS に等価的にコピーをする為の結線を示した図

【図4】TFT の V_{th} 電圧を一方の MOS に等価的にコピーをする為の結線を示した図

20

【図5】TFT の β を他方の MOS に等価的にコピーをする為の結線を示した図

【図6】TFT の β を一方の MOS に等価的にコピーをする為の結線を示した図

【図7】一方の MOS に等価的に $2V_{th}$ をコピーをする為の結線を示した図

【図8】TFT の β 、 V_{th} 、 $2V_{th}$ をコピーし、有機 EL に所望の電流を流入させることを示した図

【図9】TFT の V_{th} を他方の MOS に等価的にコピーし静特性を示した図

【図10】TFT の V_{th} を一方の MOS に等価的にコピーし静特性を示した図

【図11】TFT の β を一方の MOS に等価的にコピーし静特性を示した図

【図12】TFT の β を他方の MOS に等価的にコピーし静特性を示した図

【図13】一方の MOS に等価的に $2V_{th}$ をコピーし静特性を示した図

30

【図14】TFT の β 、 V_{th} 、 $2V_{th}$ をコピーし静特性を示した図

【図15】本発明による入力電流と有機 EL 電流の関係を示した図

【図16】本発明の第3の実施例を示した図

【図17】従来例を示した図

【図18】従来例の動作を時系列に説明した図

【符号の説明】

【0177】

101 P 型 MOS トランジスタ

102 定電流源

103 オペアンプ

40

104 P 型 MOS トランジスタ

105 定電流源

106 スイッチ

107 スイッチ

108 保持容量

109 TFT

110 有機 EL 素子

111 パネル

201 定電流源

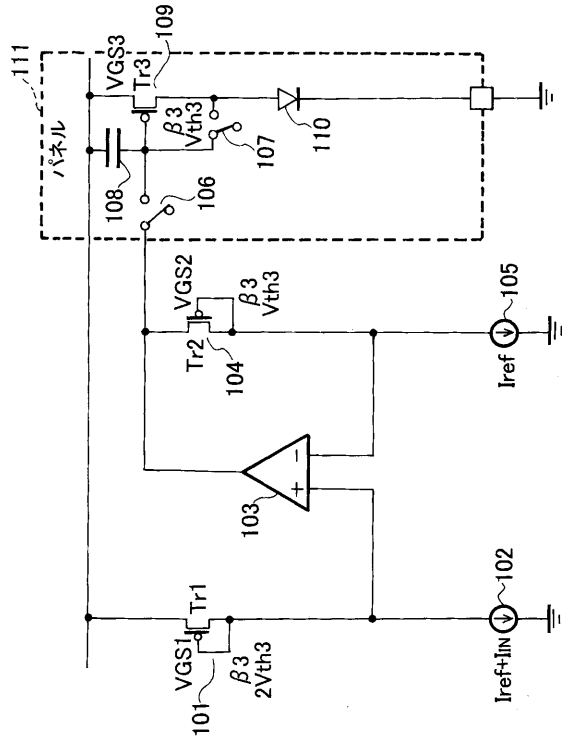
202 カレントミラー

50

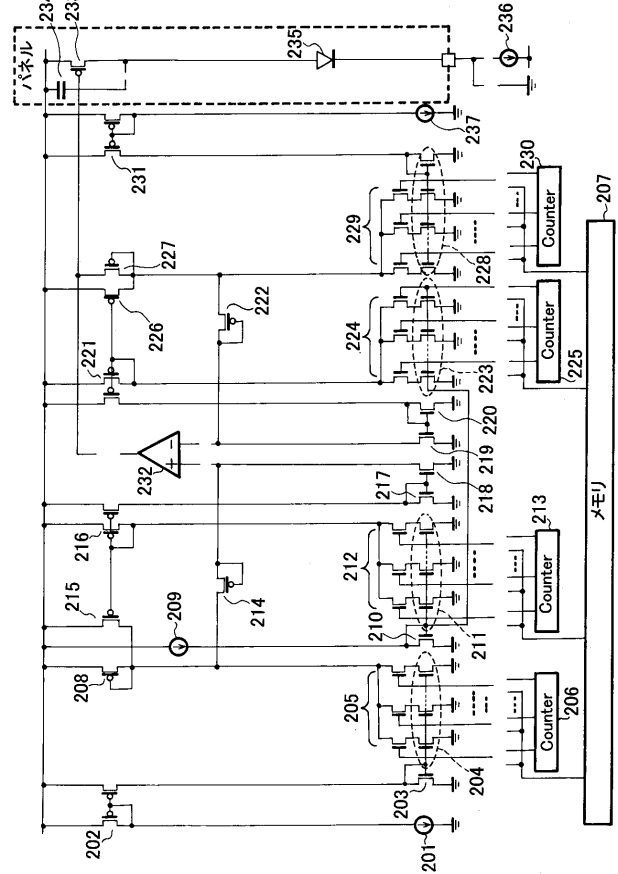
2 0 3	カレントミラー	
2 0 4	重み付け電流源	
2 0 5	スイッチ	
2 0 6	n B i t カウンタ	
2 0 7	メモリ	
2 0 8	P 型 M O S トランジスタ	
2 0 9	定電流源	
2 1 0	カレントミラー	
2 1 1	重み付け電流源	
2 1 2	スイッチ	10
2 1 3	n B I T カウンタ	
2 1 4	P 型 M O S トランジスタ	
2 1 5	ソース型定電流源	
2 1 6	カレントミラー	
2 1 7	カレントミラー	
2 1 8	シンク型定電流源	
2 1 9	シンク型定電流源	
2 2 0	カレントミラー	
2 2 1	カレントミラー	
2 2 2	P 型 M O S トランジスタ	20
2 2 3	重み付け電流源	
2 2 4	スイッチ	
2 2 5	n B i t カウンタ	
2 2 6	ソース型定電流源	
2 2 7	P 型 M O S トランジスタ	
2 2 8	重み付け電流源	
2 2 9	スイッチ	
2 3 0	n B I T カウンタ	
2 3 1	カレントミラー	
2 3 2	オペアンプ	30
2 3 3	P 型 T F T	
2 3 4	保持容量	
2 3 5	有機 E L 素子	
2 3 6	シンク型定電流源	
2 3 7	シンク型定電流源	
2 3 8	ソース型定電流源	
3 0 1	シンク型定電流源	
3 0 2	カレントミラー	
3 0 3	カレントミラー	
3 0 4	重み付け電流源	40
3 0 5	スイッチ	
3 0 6	N b i t カウンタ	
3 0 7	メモリ	
3 0 8	P 型 M O S トランジスタ	
3 0 9	ソース型定電流源	
3 1 0	カレントミラー	
3 1 1	重み付け電流源	
3 1 2	スイッチ	
3 1 3	N b i t カウンタ	
3 1 4	P 型 M O S トランジスタ	50

3 1 5	ソース方定電流源	
3 1 6	カレントミラー	
3 1 7	カレントミラー	
3 1 8	シンク型定電流源	
3 2 7	P型MOSトランジスタ	
3 2 8	重み付け電流源	
3 2 9	スイッチ	
3 3 2	オペアンプ	
3 3 3	P型TFT	
3 3 4	保持容量	10
3 3 5	有機EL素子	
3 3 6	シンク型定電流源	
9 0 1	P型MOSトランジスタの静特性	
9 0 2	P型MOSトランジスタの静特性	
9 0 3	P型MOSトランジスタの静特性を電圧シフトした特性	
9 0 4	TFTの静特性	
1 0 0 1	P型MOSトランジスタの静特性	
1 0 0 2	P型MOSトランジスタの静特性を電圧シフトした特性	
1 0 0 3	P型MOSトランジスタの静特性	
1 0 0 4	P型MOSトランジスタの静特性を電圧シフトした特性	20
1 0 0 5	TFTの静特性	
1 0 1	P型MOSトランジスタの静特性	
1 1 0 2	P型MOSトランジスタの静特性の電流係数 β を変えたときの特性	
1 1 0 3	P型MOSトランジスタの静特性	
1 1 0 4	TFTの静特性	
1 2 0 1	P型MOSトランジスタの静特性	
1 2 0 2	P型MOSトランジスタの静特性	
1 2 0 3	P型MOSトランジスタの静特性の電流係数 β を変えたときの特性	
1 2 0 4	TFTの静特性	
1 3 0 1	P型MOSトランジスタの静特性	30
1 3 0 2	P型MOSトランジスタの静特性を電圧シフトした特性	
1 3 0 3	P型MOSトランジスタの静特性を電圧シフトした特性	
1 3 0 4	P型MOSトランジスタの静特性	
1 3 0 5	TFTの静特性	
1 4 0 1	P型MOSトランジスタの静特性 (2 V t h)	
1 4 0 2	P型MOSトランジスタの静特性 (V t h)	
1 4 0 3	TFTの静特性	
1 5 0 1	$I_{ref} = 0$ 時の $I_{IN} - I_{EL}$ 特性	
1 5 0 2	$I_{ref} = 10 \mu A$ 時の $I_{IN} - I_{EL}$ 特性	
1 5 0 3	$I_{ref} = 100 \mu A$ 時の $I_{IN} - I_{EL}$ 特性	40

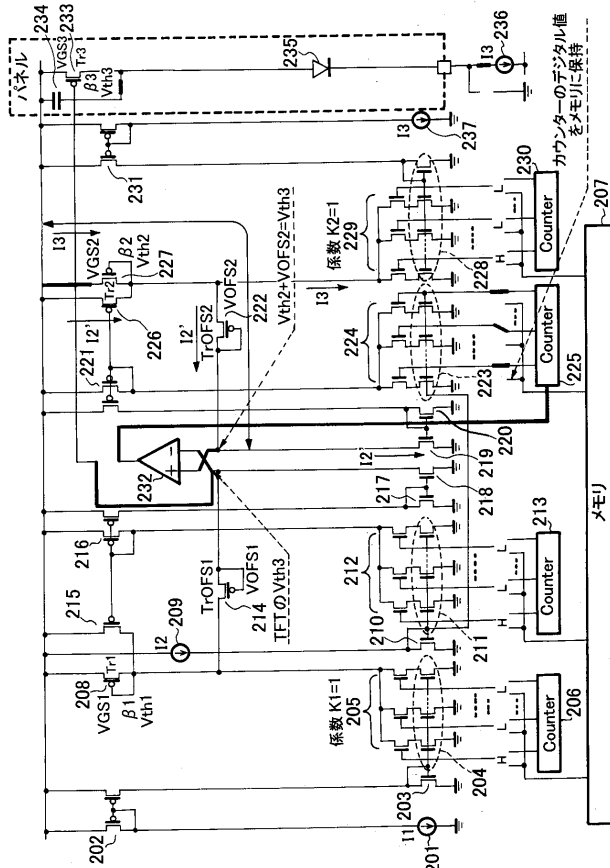
【図 1】



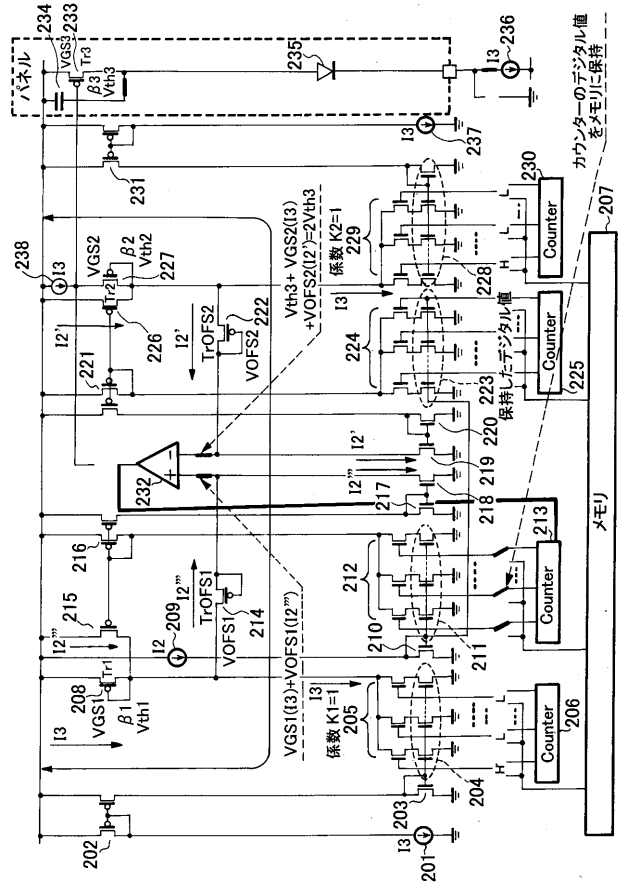
【図 2】



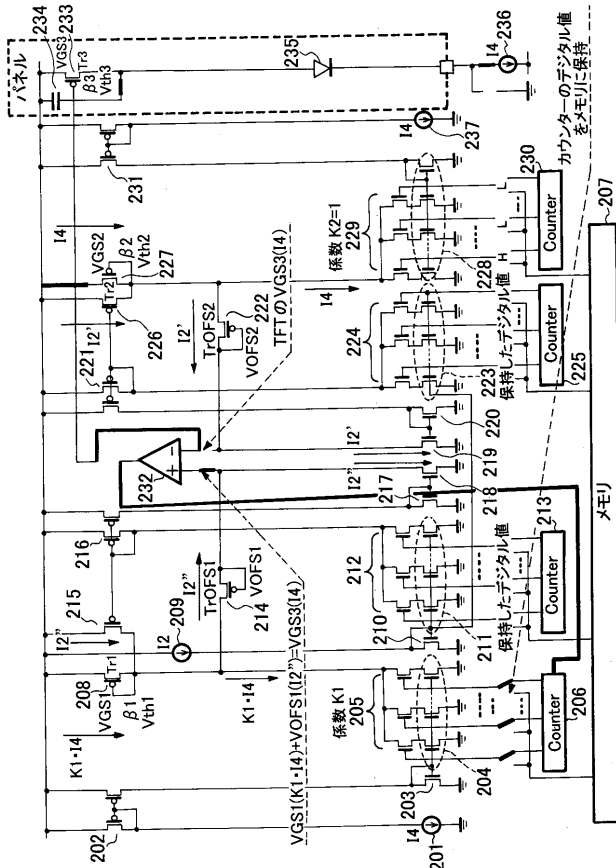
【図 3】



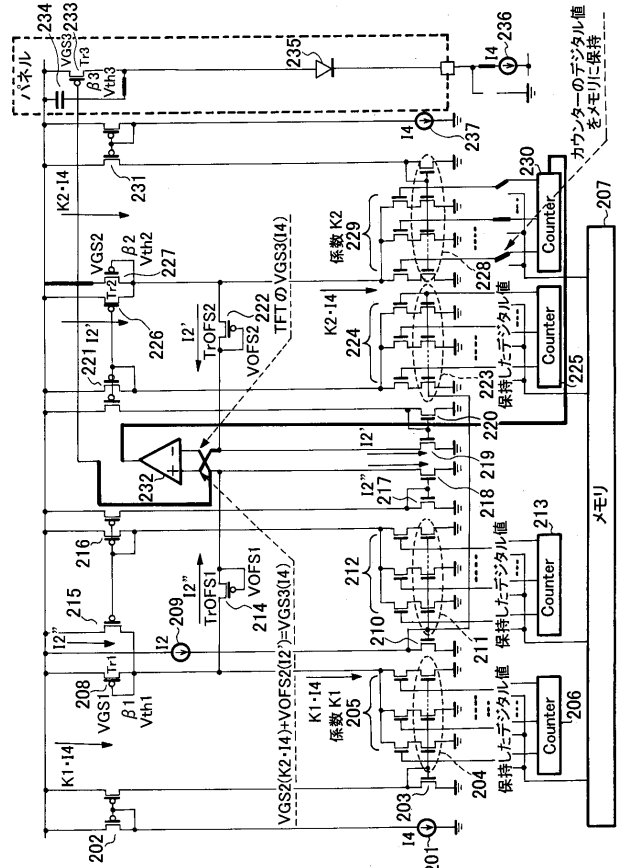
【図 4】



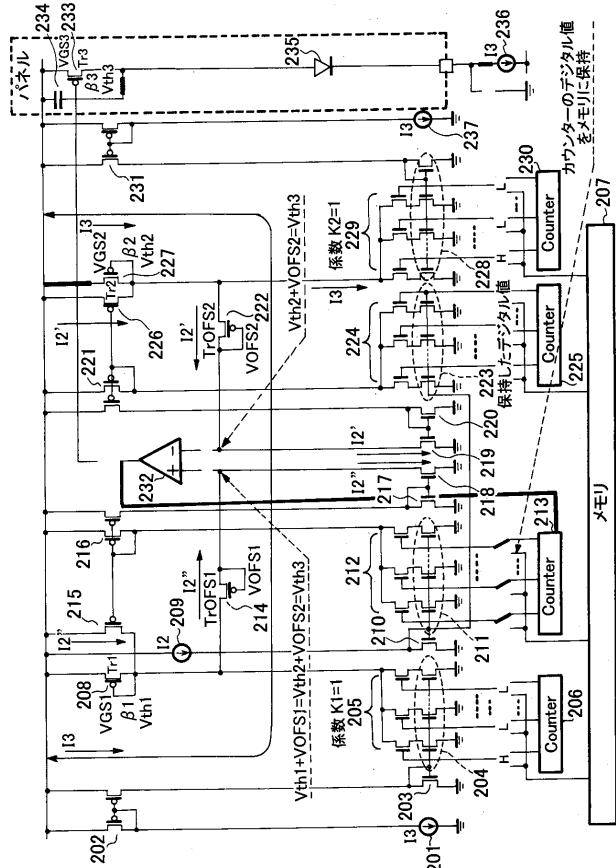
【図 5】



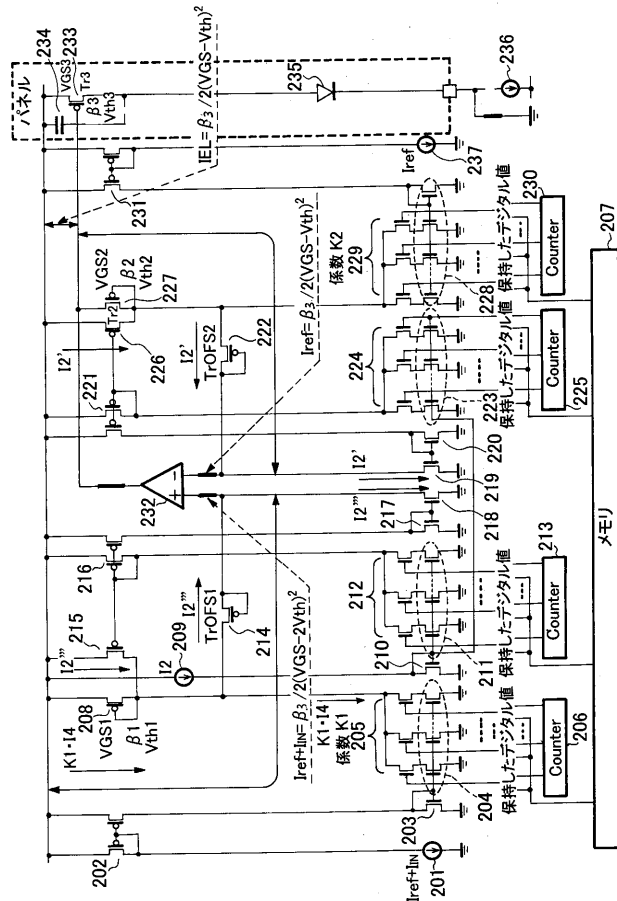
【図 6】



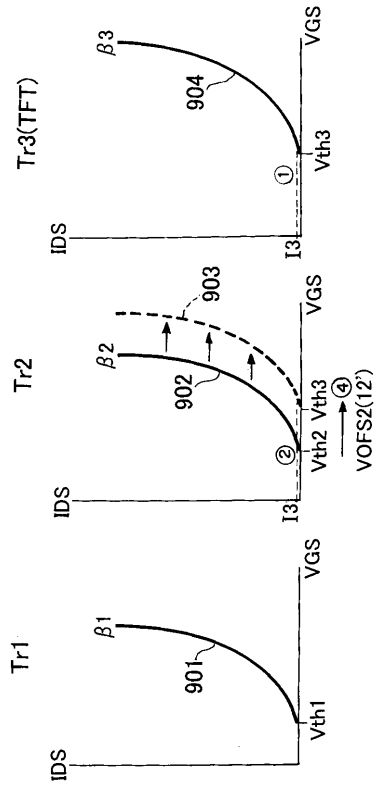
【図 7】



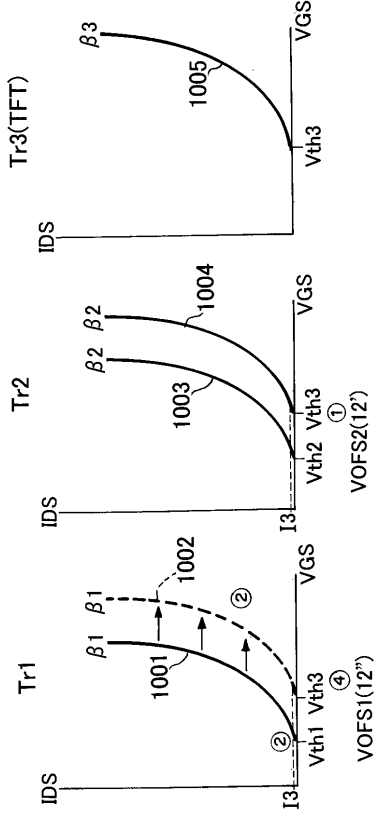
【図 8】



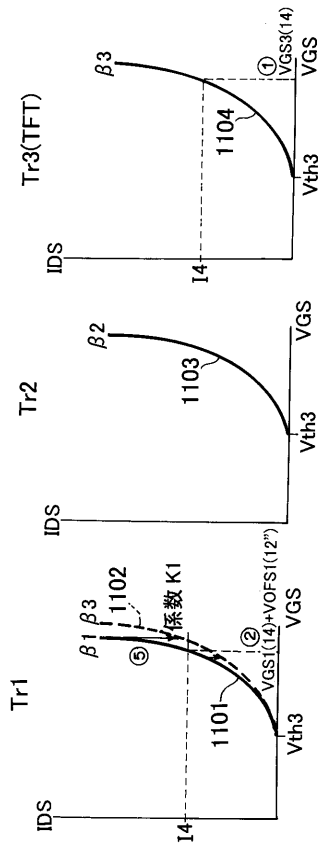
【図 9】



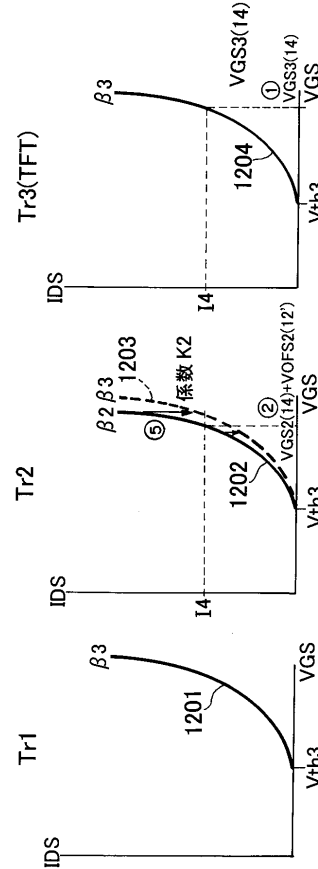
【図 10】



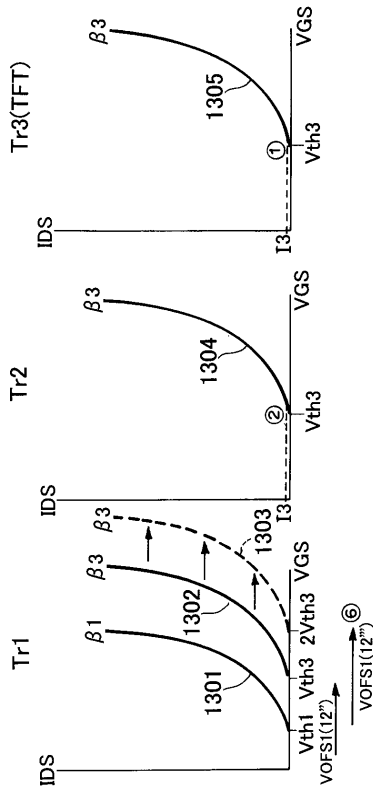
【図 11】



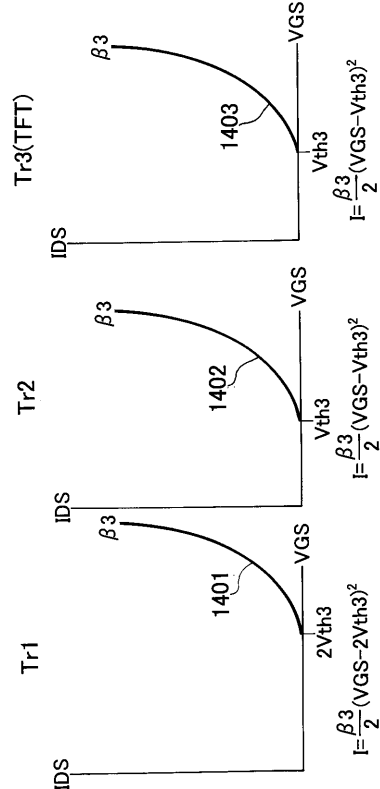
【図 12】



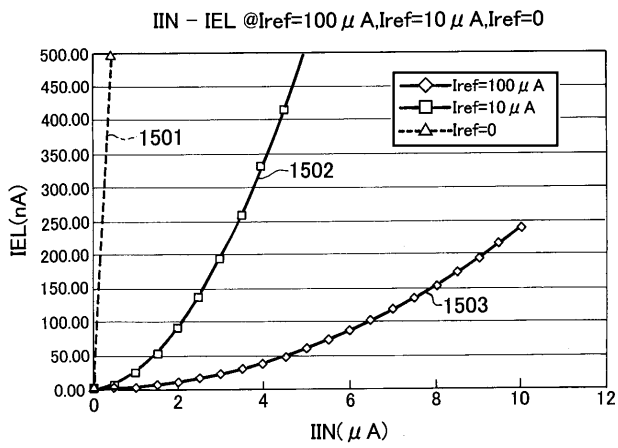
【図 1 3】



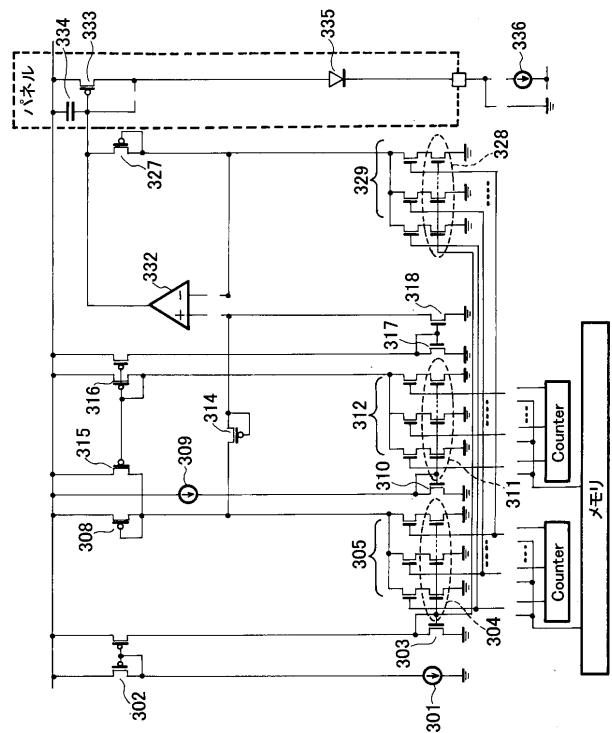
【図 1 4】



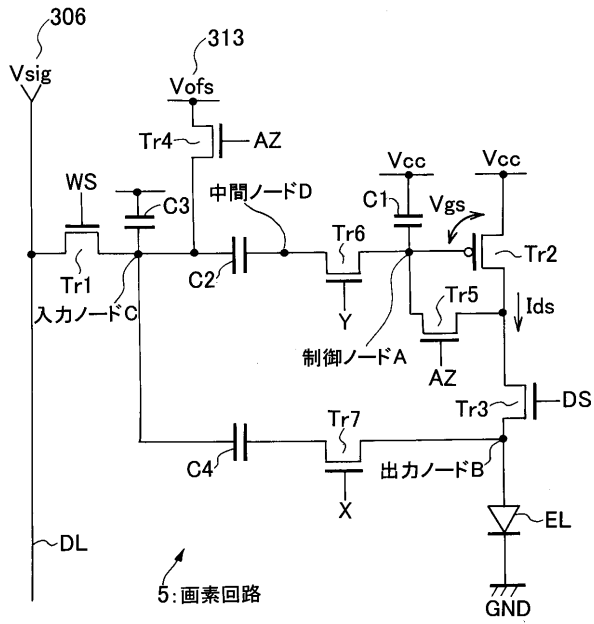
【図 1 5】



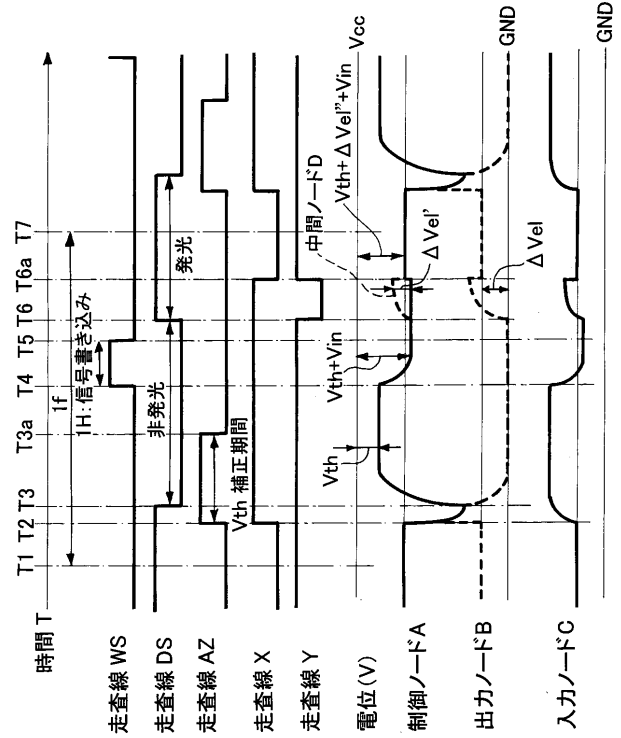
【図 1 6】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 3 1 V

G 0 9 G 3/20 6 8 0 V

H 0 5 B 33/14 A

专利名称(译)	显示设备，显示相同的设备		
公开(公告)号	JP2009156929A	公开(公告)日	2009-07-16
申请号	JP2007332283	申请日	2007-12-25
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	丸博之		
发明人	丸 博之		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.641.D G09G3/20.631.V G09G3/20.680.V H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AC09 5C380/AC11 5C380/BA12 5C380/BA13 5C380/BA28 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB04 5C380/BB25 5C380/CA04 5C380/CA13 5C380/CA17 5C380/CA32 5C380/CB16 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC12 5C380/CC13 5C380/CC17 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC51 5C380/CC57 5C380/CC63 5C380/CC64 5C380/CC66 5C380/CD013 5C380/CD037 5C380/CE04 5C380/CF01 5C380/CF05 5C380/CF18 5C380/CF26 5C380/CF27 5C380/CF48 5C380/CF56 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA50 5C380/FA03 5C380/FA21 5C380/FA28 5C380/HA02 5C380/HA12		
代理人(译)	雄一Uchio		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决引起亮度变化的问题，因为由于电流放大系数 β 和像素电路的阈值电压 V_{th} 的变化，不能使均匀电流流到有机EL元件，显示装置或向像素电路添加元件以校正电流放大系数 β 和阈值电压 V_{th} 会增加阻碍分辨率增强的像素区域。
 ŽSOLUTION：将像素电路的电流放大系数 β 和阈值电压 V_{th} 的色散信息预先数字地存储在存储器中，并且每个像素读取数字数据以获得两个MOS的栅极 - 源极电压 V_{gs} 之间的差值；并且，通过向像素电路输入差值，由此在有机EL元件中获得不依赖于电流放大因子 β 或阈值电压 V_{th} 的驱动电流值。Ž

